

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

パワーデリバリー対応の USB Type-C ポート コントローラー

概要説明

CCG1 は完全な USB Type-C と USB 電源供給ポート制御ソリューションを提供します。CCG1 のコア アーキテクチャは、マルチプレクス代替モードのサポートで最大 100W の USB 給電を実現できるベースの Type-C ソリューションを提供します。また、CCG1 はアクティブ ケーブルとパッシブ ケーブル用の Type-C ケーブル ID IC です。CCG1 コントローラーはコネクタ挿入信号、プラグ方向信号および VCONN スwitching 信号を検出します。CCG1 は、外部 VBUS と VCONN 電源管理ソリューションを管理する制御信号、および殆どのシングル ケーブル クロック供給ソリューション用の外部マルチプレクサ制御を提供するため、USB パワーデリバリー機能をあらゆるアーキテクチャに容易に組み込めるようにします。

CCG1 ファミリのデバイスはコンフィギュレーション テーブルを使用して異なるアプリケーションでの動作を制御する固定機能製品です。その機能はファームウェアで実現され、USB 実装者フォーラム (USB-IF) コンプライアンス テストが使用可能になる時、認証されます。プログラマビリティにより、CCG1 デバイスは USB 仕様の変更に追従することができます。ソース コードへのアクセスについては、[サイプレス サポート](#)までご連絡ください。

アプリケーション

- ノート PC、タブレット、モニター、ドッキングステーション
- 電源アダプタ、USB Type-C ケーブル

特長

32 ビット MCU サブシステム

- 32KB フラッシュと 4KB SRAM を備えた 48MHz ARM Cortex-M0 CPU

内蔵アナログ ブロック

- VBUS 電圧と電流監視用の 12 ビット、1Msps ADC
- ダイナミックな過電流と過電圧保護

内蔵デジタル ブロック

- 2 個の設定可能な 16 ビット TCPWM ブロック
- 1 個の I²C マスターまたはスレーブ

Type-C サポート

- 内蔵トランシーバー (BB PHY)
- 最大2個のパワーデリバリー (PD) が可能な USB ポートに対応
- すべてのプロトコルの外部 MUX への配線に対応

PD サポート

- プロバイダとコンシューマ役割に対応
- すべての電源プロファイルに対応

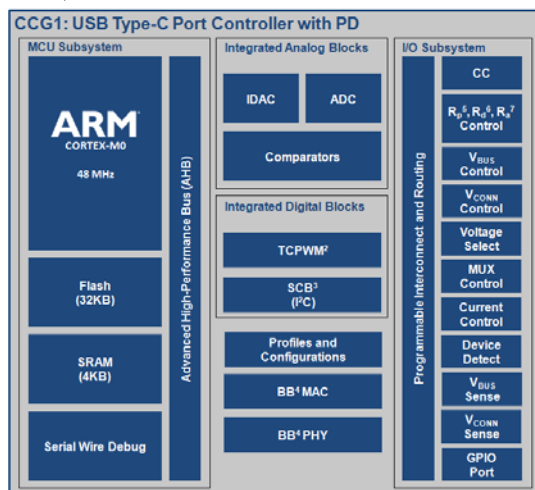
低消費電力動作

- 3.2V ~ 5.5V の動作電圧
- スリープ モード時: 1.3mA
ディープスリープ モード時: 1.3 μA^[1]

パッケージ

- 40 ピン QFN
- 16 ピン SOIC
- 35 ボール ウェハー レベル CSP (WLCSP)

表 1. CCG1 ブロック図^[2, 3, 4, 5, 6, 7]



注

1. CCG1 チップのみで測定された値です。特定のアプリケーションでの電源はより高い場合があります。
2. タイマー、カウンター、パルス幅変調ブロック。
3. I²C として構成可能なシリアル通信ブロック。
4. ベースバンド。
5. ダウンストリーム側のポート (DFP) を示す終端抵抗。
6. アップストリーム側のポート (UFP) を示す終端抵抗。
7. Electronically Marked Cable Assembly (EMCA) を示す終端抵抗。

目次

機能の詳細	3	注文情報	23
CPU およびメモリ サブシステム.....	3	注文コードの定義.....	23
システム リソース.....	3	パッケージ	24
GPIO.....	3	略語	27
ピンの機能	4	本書の表記法	28
ピン配置	10	測定単位.....	28
電源	11	改訂履歴	29
電氣的仕様	12	セールス、ソリューションおよびリーガル情報	30
絶対最大定格.....	12	ワールドワイド販売と設計サポート.....	30
デバイス レベルの仕様.....	12	製品.....	30
デジタル ペリフェラル.....	14	PSoC® ソリューション.....	30
メモリ.....	15	サイプレス開発者コミュニティ.....	30
システム リソース.....	16	テクニカル サポート.....	30
アプリケーションの詳細	18		

機能の詳細

CPU およびメモリ サブシステム

CPU

CCG1 内の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットを実行します。これにより、Cortex-M3 と M4 などより高性能プロセッサへのバイナリコードの完全互換と前方移行が可能になるため、前方互換が可能になります。サイプレスには、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含めて実装しています。これは、32 の割り込み入力を持つネスト型ベクタ割り込みコントローラ (NVIC) ブロックとウェイクアップ割り込みコントローラ (WIC) を含んでいます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにある時にメインプロセッサへの電源を切ることができます。Cortex-M0 CPU はマスク不可能割り込み (NMI) 入力を提供しています。これは、ユーザーが要求したシステム機能用に使用されていない時、ユーザーによって使用できます。

また CPU は、2 線式の JTAG であるシリアルワイヤデバッグ (SWD) インターフェースも備えています。CCG1 用のデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

CCG1 デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU に密結合された、フラッシュアクセラレータを備えたフラッシュモジュールを内蔵しています。フラッシュブロックは、48MHz では 1 ウェイトステート (WS) アクセス時間、24MHz では 0 WS アクセス時間に対応しています。フラッシュアクセラレータはシングルサイクル SRAM のアクセス性能の平均 85% を達成します。必要に応じて、EEPROM 動作をエミュレートするためにフラッシュモジュールの一部を使用することができます。

SRAM

ブートおよびコンフィギュレーションルーチンを含んでいる監視 ROM が提供されます。

システム リソース

電源システム

電源システムは 11 ページの電源の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルに達するまでモードへの移行を遅延させる (例えば、パワーオンリセット (POR) の時)、またはリセット (電圧低下検出 (BOD)) が割り込み (低電圧検出 (LVD)) を生成します。CCG1 は、3.2 ~ 5.5V の範囲において単一の外部電源で動作し、アクティブ、スリープとディープスリープという 3 つの異なる電力モードに対応し、モード間の遷移が電力システムによって管理されます。

シリアル通信ブロック (SCB)

CCG1 は I²C インターフェースを実装できる 1 個の SCB を備えています。ハードウェア I²C ブロックは完全なマルチマスターとスレーブインターフェースを実装します (マルチマスターのアービトラーションが可能)。このブロックは、最大 1Mbps (ファーストモードプラス) で動作でき、CPU 用の割り込みオーバヘッドとレイテンシを削減するためにバッファリングオプションを柔軟に選択できます。また、CCG1 のメモリでメールボックス範囲を作ってメモリアレイへの読み書きの I²C 通信を効果的に削減する EZ-I²C にも対応しています。また、ブロックは送信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す一定の時間を増加することで、時間通

りに CPU が読み出すデータがないことに起因したクロックストレッチの必要性を大幅に低減することができます。

I²C ペリフェラルは、NXP I²C バス仕様とユーザーマニュアル (UM10204) で定義された通りに I²C 標準モード、ファーストモード、ファーストモードプラスのデバイスと互換性があります。I²C バス I/O は、オープンドレインモードにある GPIO を使って実装されます。

CCG1 は、以下の点では、I²C 仕様と完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I²C システムの残りの部分から独立して電源を投入することができません。
- ファーストモードプラスは、0.4V の V_{OL} で 20mA の I_{OL} 仕様があります。GPIO セルは、最大 0.6V の V_{OL} で最大 8mA の I_{OL} を吸い込むことができます。
- ファーストモードとファーストモードプラスは、GPIO セルで満たせない最小立ち下がり時間を指定しています。低速ストロークモードは、バス負荷によってこの仕様を満たすことがあります。
- SCB が I²C マスターである時、NACK と反復 START の間にアイドル状態を介入させます。I²C 仕様では、バスフリー状態が STOP 条件の後に続くものとして定義されるため、他のアクティブマスターは介入しません。しかし、アクティブになったばかりのマスターはアービトラーションサイクルを開始することがあります。
- SCB が I²C スレーブモードにあって、外部クロック上のアドレスマッチが有効にされ (EC_AM = 1)、内部クロック供給モードで動作する (EC_OP = 0) 時、その I²C アドレスは偶数でなければなりません。

GPIO

CCG1 には様々な機能にコンフィギュレーションされる最大 34 個の GPIO があります。詳細については、ピン配置テーブルを参照してください。GPIO ブロックは以下のものを実装します。

- 8 つのドライブ能力モード：
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 軽プルアップ、重プルダウン
 - 重プルアップ、軽プルダウン
 - オープンドレイン、重プルダウン
 - オープンドレイン、重プルアップ
 - 重プルアップ、重プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値セレクト (CMOS あるいは LVTTTL)
- 駆動能力モード以外に、入力と出力バッファのイネーブル/ディスエーブルの個別制御
- 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するため)
- EMI を改善するために、dV/dt に起因するノイズを制御するために選択可能なスルーレート

電源投入とリセットの時、入力への過電圧を防ぐため、および/または電源投入時に過電流を発生させないために、I/O ピンは無効状態に移行させられます。高速 I/O マトリックスとして知られている多重化ネットワークは、I/O ピンに接続できる複数の信号間を多重化するのに使用されます。

ピンの機能

表 1 には、ケーブル/EMCA アプリケーション用の 35 ボール WLCSP のピン定義を記載します。製品番号とパッケージのマッピングについては、表 23 を参照してください。

表 1. EMCA ケーブルアプリケーションの 35 ボール WLCSP のピン定義

機能的ピン名	CYPD1103-35FNXIT ボール	タイプ	説明
CC1_RX	C4	I	CC1 制御 0: TX 有効 z: RX 検知
CC1_TX	D7	O	コンフィギュレーション チャンネル 1
SWD_IO	D1	I/O	SWD I/O
SWD_CLK	C1	I	SWD クロック
I2C_SCL	B1	I/O	I ² C クロック信号
I2C_SDA	B2	I/O	I ² C データ信号
XRES	B6	I	リセット
VCCD	A7	電源	安定化デジタル電源出力。1μF ~ 1.6μF コンデンサに接続。外部ソースに接続すべきでない。
VDDD	C7	電源	アナログとデジタル セクション用の電源供給
VSSA	B7	GND	アナログ グランド
CC_VREF	C5	I	CC ライン用のデータ基準信号
TX_U	B3	O	内部専用の信号。TX_U 出力信号を TX_M 信号に接続すべき。
TX_M	B5	I	—
TX_REF_IN	D3	I	内部使用の基準信号。2.4KΩ±1% 抵抗を介して TX_REF 出力に接続
TX_GND	A3	I	2K 1% 抵抗介して GND に接続
TX_REF_OUT	D4	O	内部電流を 2 個の 1KΩ の外部抵抗に接続することにより生成される基準信号
RA_DISCONNECT	E4	O	VCONN 挿入後に RA を取り外すための任意の制御信号 0: RA 切断 1: RA 接続
VCONN_DET	C6	I	ローカル VCONN 検出信号 0: VCONN がローカルで適用されない 1: VCONN がローカルで適用される
CC1_LPREF	A5	I	内部使用の基準信号。VDDD から抵抗分周器の出力に接続
RA_FAR_DISCONNECT	E5	O	VCONN 挿入後に RA を取り外すための任意の制御信号 (ケーブル毎に 2 チップの場合は未接続) 0: RA 切断 1: RA 接続
BYPASS	D5	I	内部アナログ回路用のバイパス コンデンサ
CC1_LPRX	C3	I	低消費電力の状態用のコンフィギュレーション チャンネル 1 の RX 信号
GPIO	A1、A2、A4、 A6、B4、C2、 D2、D6、E1、 E2、E3、E6、E7	—	汎用 I/O

表 2 には、ノート PC、タブレット、スマートフォンおよびモニターアプリケーション用の 40 ピン QFN、35 ボール WLCSP 用のピン定義を記載します。製品番号とパッケージのマッピングについては、23 ページの表 23 を参照してください。

表 2. ノート PC、タブレット、スマートフォンおよびモニターアプリケーションの 40-QFN と 35 ボール WLCSP パッケージのピン定義

機能的ピン	CYPD 1122-40LQXI ピン ^[8]	CYPD 1121-40LQXI ピン ^[9]	CYPD 1131-35FNXIT ボール ^[10]	タイプ	説明
MUXSEL_1	1	1	D5	O	外部データ マルチプレクサ選択信号 1
MUXSEL_2	2	2	D6	O	外部データ マルチプレクサ選択信号 2
CC1_CTRL	3	3	D3	I/O	CC1 制御 0: TX 有効 z: RX 検知
CC2_CTRL	4	4	E4	I/O	CC2 制御 0: TX 有効 z: RX 検知
MUXSEL_3	5	5	E5	O	外部データ マルチプレクサ選択信号 3
MUXSEL_4	6	6	E6	O	外部データ マルチプレクサ選択信号 4
CS_P	7	7	E3	I	電流検出 + 入力
CS_M	8	8	E2	I	電流検出 - 入力 I
VSS	9	9	-	GND	グラウンド
CC1	10	10	-	I/O	コンフィギュレーション チャネル 1
CC_SEL_REF_1	11	11	E1	O	CC リファレンス選択信号
SWD_IO	12	12	D1	I/O	SWD IO
SWD_CLK	13	13	C1	I	SWD クロック
HOTPLUG_DET	14	14	C2	I/O	ディスプレイポート代替モード用のホットプラグ検出
GPIO1	15	-	-	I/O	汎用 I/O
VSEL2	-	15	-	O	出力電圧選択用の電圧選択信号 2
GPIO2	16	-	-	I/O	汎用 I/O
GPIO3	17	-	-	I/O	汎用 I/O
IFAULT	-	17	-	I	電流フォルト表示 0: フォルトなし 1: 電流フォルトあり
I2C_SCL	18	18	B1	I/O	I2C クロック信号
I2C_SDA	19	19	B2	I/O	I2C データ信号
I2C_INT	20	20	A2	O	I2C 割り込み
CC_SEL_REF_2	21	21	A1	O	CC リファレンス選択信号
CC1_RD	22	22	C3	O	RD を CC 1 ラインに接続するオープンドレイン信号 z: RD 切断 0: モニター アプリケーション用に RD が接続 1: ノート PC アプリケーション用に RD が接続
CC1_RP	23	23	A5	O	RP を CC 1 ラインに接続するオープンソース信号 z: RP 切断 1: RP 接続

注

8. ノート PC DRP アプリケーションの 40 ピン CSP パッケージのピン配置
9. モニター DRP アプリケーションの 40 ピン QFN パッケージのピン配置
10. ノート PC DRP アプリケーションの 35 ピン CSP パッケージのピン配置

表 2. ノート PC、タブレット、スマートフォンおよびモニターアプリケーションの 40-QFN と 35 ボール WLCSP パッケージのピン定義 (続き)

機能的ピン	CYPD 1122-40LQXI ピン ^[8]	CYPD 1121-40LQXI ピン ^[9]	CYPD 1131-35FNXIT ボール ^[10]	タイプ	説明
CC1_VCONN_CTRL	24	24	A4	O	CC 1 ライン上の VCONN 用の PFET 電源スイッチを制御するオープンドレイン信号 0: VCONN スイッチが閉位置にある z: VCONN スイッチが開位置にある
VBUS_DISCHARGE	25	25	A3	O	電圧変更時に VBUS ラインの放電に使用する信号
CC2	26	26	B3	O	コンフィギュレーション チャンネル 2
CC2_RD	27	27	A6	O	RD を CC 2 ラインに接続するオープンドレイン信号 z: RD 切断 0: モニター アプリケーション用に RD が接続 1: ノート PC アプリケーション用に RD が接続
CC2_RP	28	28	B4	O	RP を CC 2 ラインに接続するオープンソース信号 z: RP 切断 1: RP 接続
CC2_VCONN_CTRL	29	29	B5	O	CC 2 ライン上の VCONN 用の PFET 電源スイッチを制御するオープンドレイン信号 0: VCONN スイッチが閉位置にある z: VCONN スイッチが開位置にある
XRES	30	30	B6	I	リセット
VCCD	31	31	A7	電源	安定化デジタル電源出力。1 ~ 1.6μF コンデンサに接続。外部ソースに接続すべきでない。
VDDD	32	32	C7	電源	デジタル セクション用の電源供給
VDDA	33	33	C7	電源	アナログ セクション用の電源供給
VSSA	34	34	B7	GND	アナログ グランド ピン
VBUS_VMON	35	35	C4	I	VBUS 過電圧保護監視信号
VBUS_VREF	36	36	C5	I	過電圧保護検出用の VBUS 基準信号
VSEL1	-	37	-	O	出力電圧選択用の電圧選択信号 1
CC_SEL_REF_3	37	16	C6	O	CC リファレンス選択信号
VBUS_C_CTRL	38	-	D7	O	コンシューマ ロード FET の有効化/無効化用のフルレール制御信号
VBUS_OK	-	38	-		VBUS_OK=1 - VBUS 電圧は問題ない VBUS_OK=0 - VBUS 過電圧が検出
CC_VREF	39	39	D4	I	CC ライン用のデータ基準信号
VBUS_P_CTRL	40	40	E7	O	プロバイダ ロード FET の有効化/無効化用のフルレール制御信号

注

8. ノート PC DRP アプリケーションの 40 ピン CSP パッケージのピン配置
9. モニター DRP アプリケーションの 40 ピン QFN パッケージのピン配置
10. ノート PC DRP アプリケーションの 35 ピン CSP パッケージのピン配置

表 3 には、ノート PC (DFP) アプリケーションの 40 ピン QFN パッケージのピン定義を記載します。製品番号とパッケージのマッピングについては、表 23 を参照してください。

表 3. ノート PC (DFP) の 40 ピン QFN パッケージのピン定義

機能的ピン名	アクティブ HIGH/ LOW	ドライブ モード	CYPD 1134-40LQXI ピン	タイプ	説明
MUXSEL_1	-	オープン ドレイン、LOW に駆動	1	O	外部データ マルチプレクサ選択信号 1
MUXSEL_2	-	オープン ドレイン、LOW に駆動	2	O	外部データ マルチプレクサ選択信号 2
CC1_CTRL	-	アナログ入力/ストロング駆動 (プッシュプル)	3	IO	CC1 制御 0:Tx 有効 z: RX 検知
CC2_CTRL	-	アナログ入力/ストロング駆動 (プッシュプル)	4	IO	CC2 制御 0: TX 有効 z: RX 検知
MUXSEL_3	-	オープン ドレイン、LOW に駆動	5	O	外部データ マルチプレクサ選択信号 3
MUXSEL_4	-	オープン ドレイン、LOW に駆動	6	O	外部データ マルチプレクサ選択信号 4
CS_P	-	アナログ入力	7	I	電流検出+入力
CS_M	-	アナログ入力	8	I	電流検出-入力
VSS	-	-	9	GND	グラウンド
CC1	-	ストロング駆動 (プッシュプル)	10	O	コンフィギュレーション チャネル 1
CC1_RP_1.5	アクティブ HIGH	オープン ドレイン、HIGH に駆動	11	O	RP を CC1 ラインに接続するオープン ドレイン信号 (1.5A の電流) z: RP 切断 1: RP 接続
SWD_IO	-	-	12	IO	SWD IO
SWD_CLK	-	-	13	I	SWD クロック
CC1_RP_3.0	アクティブ HIGH	オープン ドレイン、HIGH に駆動	14	O	RP を CC1 ラインに接続するオープン ソース信号 (3A の電流) z: RP 切断 1: RP 接続
CC1_RP_DEF	アクティブ HIGH	オープン ドレイン、HIGH に駆動	15	O	RP を CC1 ラインに接続するオープン ドレイン信号 (デフォルトの電流) z: RP 切断 1: RP 接続
CC2_RP_DEF	アクティブ HIGH	オープン ドレイン、HIGH に駆動	16	O	RP を CC2 ラインに接続するオープン ドレイン信号 (デフォルトの電流) z: RP 切断 1: RP 接続
CC2_RP_1.5	アクティブ HIGH	オープン ドレイン、HIGH に駆動	17	O	RP を CC2 ラインに接続するオープン ドレイン信号 (1.5A の電流) z: RP 切断 1: RP 接続
I2C_SCL	アクティブ LOW	オープン ドレイン、LOW に駆動	18	IO	I ² C クロック信号
I2C_SDA	アクティブ LOW	オープン ドレイン、LOW に駆動	19	IO	I ² C データ信号
I2C_INT	アクティブ LOW	オープン ドレイン、LOW に駆動	20	O	I ² C 割り込み

表 3. ノート PC (DFP) の 40 ピン QFN パッケージのピン定義 (続き)

機能的ピン名	アクティブ HIGH/ LOW	ドライブ モード	CYPD 1134-40LQXI ピン	タイプ	説明
CC2_RP_3.0	アクティブ HIGH	オープン ドレイン、HIGH に駆動	21	O	RP を CC2 ラインに接続するオープンソース信号 (3A の電流) z: RP 切断 1: RP 接続
CC1_LPRX	-	アナログ入力	22	I	低消費電力状態用のコンフィギュレーション チャンネル 1 RX 信号
CC1_LPREF	-	アナログ入力	23	I	内部使用の基準信号。
CC2_LPRX	-	アナログ入力	24	I	低消費電力状態用のコンフィギュレーション チャンネル 2 RX 信号
CC2_LPREF	-	アナログ入力	25	I	内部使用の基準信号。
CC2	-	ストロング駆動 (プッシュプル)	26	O	コンフィギュレーション チャンネル 2
CC1_VCONN_CTRL	アクティブ LOW	オープン ドレイン、LOW に駆動	27	O	CC1 ライン上の VCONN 用の PFET 電源スイッチを制御するオープン ドレイン信号 0: VCONN スイッチが閉位置にある z: VCONN スイッチが開位置にある
CC2_VCONN_CTRL	アクティブ LOW	オープン ドレイン、LOW に駆動	28	O	CC2 ライン上の VCONN 用の PFET 電源スイッチを制御するオープン ドレイン信号 0: VCONN スイッチが閉位置にある z: VCONN スイッチが開位置にある
IFault	アクティブ HIGH	デジタル入力	29	I	VBUS 上の電流フォルト表示 0: フォルトなし 1: 過電流フォルト
XRES	アクティブ LOW	アナログ入力	30	I	リセット
VCCD	-	-	31	電源	VCCD とグラウンド間に 1uF のコンデンサを接続
VDDD	-	-	32	電源	5V の電源
VDDA	-	-	33	電源	5V の電源
VSSA	-	-	34	GND	-
E-PAD	-	-	E-PAD	GND	-
VBUS_VMON	-	アナログ入力	35	I	VBUS 過電圧保護監視信号
VBUS_VREF	-	アナログ入力	36	I	過電圧保護検出用の VBUS 基準信号
VBUS_P_CTRL	アクティブ HIGH	ストロング駆動 (プッシュプル)	37	O	プロバイダ ロード FET の有効化/無効化用のフルレール制御信号
HOTPLUG_DET	アクティブ HIGH	オープン ドレイン、LOW に駆動	38	IO	ディスプレイ ポート代替モード用のホットプラグ検出
CC_VREF/ VBUS_DISCHARGE	-/ アクティブ HIGH	アナログ入力/ストロング駆動 (プッシュプル)	39	IO	CC ライン用のデータ基準信号/電圧変更時に VBUS ラインの放電に使用する信号
MUXSEL_5	-	オープン ドレイン、LOW に駆動	40	O	外部データ マルチプレクサ選択信号 5

表 4 には、電源アダプタ アプリケーションの 16 ピン SOIC パッケージのピン定義を記載します。製品番号とパッケージのマッピングについては、23 ページの表 23 を参照してください。

表 4. 電源アダプタ アプリケーションの 16 ピン SOIC パッケージのピン定義

機能的ピン名	CYPD 1132-16SXI ピン	タイプ	説明
SWD_CLK	1	I	SWD クロック
VBUS_P_CTRL	2	O	プロバイダ ロード FET の有効化/無効化用のフルレール制御信号
VBUS_VMON	3	I	VBUS 過電圧保護監視信号
VBUS_VREF	4	I	過電圧保護検出用の VBUS 基準信号
XRES	5	-	アクティブ LOW リセット
VCCD	6	-	VCCD とグラウンド間に 1 μ F のコンデンサを接続
VSSD	7	-	グラウンド
VDDD	8	-	3.3V/5V の電源
VSSA	9	-	グラウンド
CC_VREF/VBUS_DISCHARGE	10	I/O	CC ライン用のデータ基準信号 (0.55V) / 電圧低下時に VBUS ラインの放電に使用する信号
CC_CTRL	11	I/O	CC1 制御 0: TX 有効 z: RX 検知
CS	12	I	ロー サイド電流検知
VSEL1	13	O	5V/12V/20V の出力電圧選択用の電圧選択信号
VSEL2	14	O	5V/12V/20V の出力電圧選択用の電圧選択信号
CC	15	I/O	コンフィギュレーション チャネル TX/RX
SWD_IO	16	I/O	SWD I/O

ピン配置

表 2. CYPD1122-40LQXI/CYPD1121-40LQXI のピン配置

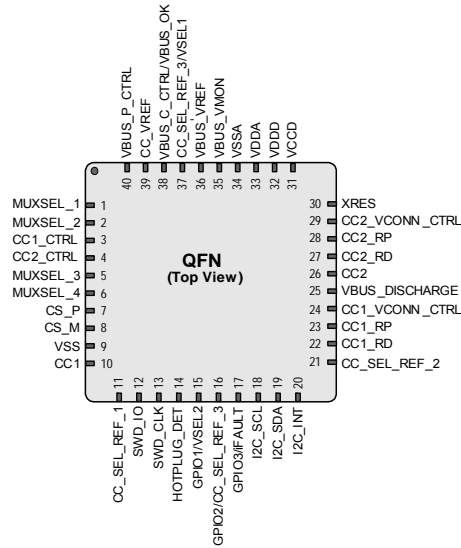


表 3. CYPD1134-40LQXI のピン配置

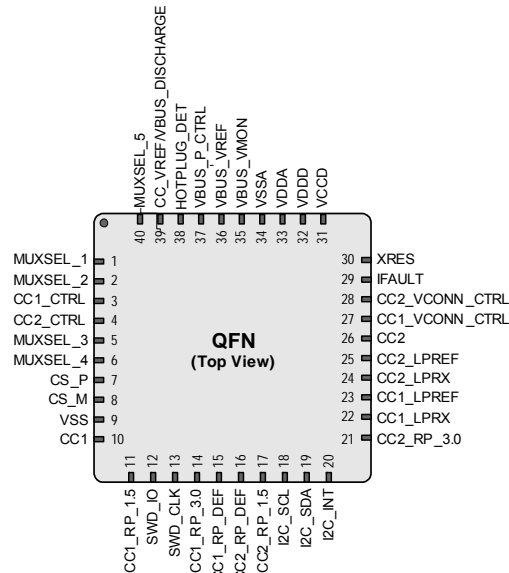


表 4. CYPD1132-16SXI のピン配置

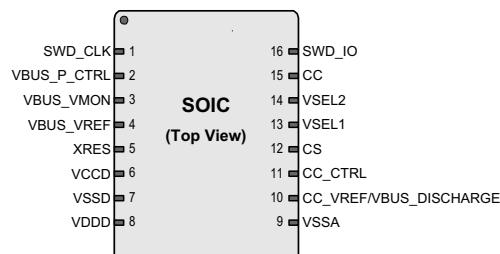


表 5. CYPD1103-35FNXIT/CYPD1131-FNXIT のピン配置

	7	6	5	4	3	2	1	
	VCCD	GPIO/ CC2_RD	CC1_LPRE F/CC1_RP	GPIO/ CC1_VCO NN_CTRL	TX_GND/ VBUS_DIS CHARGE	GPIO/ I2C_INT	GPIO/ CC_SEL_R EF_2	A
	VSSA	XRES	TX_M/ CC2_VCON N_CTRL	GPIO/ CC2_RP	TX_U/ CC2	I2C_SDA	I2C_SCL	B
	VDDD/ VDDA	VCONN_D ET/ CC_SEL_R EF_3	CC_VREF/ VBUS_VRE F	CC1_RX/ VBUS_VMO N	CC1_LPRX/ CC1_RD	GPIO/ HOTPLUG_ DET	SWD_CLK	C
	CC1_TX/ VBUS_C_C TRL	GPIO/ MUXSEL_2	BYPASS/ MUXSEL_1	TX_REF_O UT/ CC_VREF	TX_REF_IN /CC1_CTRL	GPIO	SWD_IO	D
	GPIO/ VBUS_P_C TRL	GPIO/ MUXSEL_4	RA_FAR_D ISCONNEC T/ MUXSEL_3	RA_DISCO NNECT/ CC2_CTRL	GPIO/ CS_P	GPIO/ CS_M	GPIO/ CC_SEL_R EF_1	E

電源

以下の電源システム図は CCG1 に実装される電源ピンの最小セットを示します。システムには、デジタル回路用のアクティブモードにあるレギュレータがあります。アナログレギュレータはありません。アナログ回路は VDDA 入力から直接電源供給されます。ディープスリープモード用の個別レギュレータがあります。バンドギャップ用の低ノイズの個別レギュレータがあります。電源電圧範囲は 3.2V ~ 5.5V であり、すべての機能および回路はその範囲内で動作します。

VDDA と VDDD は互いに短絡させる必要があり、グラウンド、VSSA および VSS は互いに短絡させる必要もあります。バイパスコンデンサは、VDDD とグラウンド間に接続する必要があります。この周波数範囲でのシステムの典型的な実践としては、互いに平行に配置された 1μF レンジのコンデンサとそれより小さいコンデンサ (例えば、0.1μF) を使用します。これらは単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために、設計の際に PCB レイアウト、リードインダクタンス、寄生バイパスコンデンサをシミュレートする必要があります。

バイパス方式については、アプリケーション図を参照してください。

電気的仕様
絶対最大定格
表 5. 絶対最大定格^[11]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID1	V _{DDD_ABS}	V _{SSD} を基準としたデジタル電源電圧	-0.50	-	6.00	V	絶対最大値
SID2	V _{CCD_ABS}	V _{SSD} を基準とした直接デジタル コア電圧入力	-0.50	-	1.95	V	絶対最大値
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.50	-	V _{DDD} +0.50	V	絶対最大値
SID4	I _{GPIO_ABS}	GPIO 毎の最大電流	-25.00	-	25.00	mA	絶対最大値
SID5	I _{GPIO_injection}	GPIO 注入電流。V _{IH} > V _{DDD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.50	-	0.50	mA	絶対最大値、1 ピン当たり注入される電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200.00	-	-	V	-
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500.00	-	-	V	-
BID46	LU	ラッチアップ時のピン電流	-200.00	-	200.00	mA	-

デバイス レベルの仕様

35-CSP と 40-QFN パッケージ オプションの場合、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ と $T_J \geq 100^{\circ}\text{C}$ において有効です。16 ピン SOIC パッケージ オプションの場合、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ と $T_J \geq 120^{\circ}\text{C}$ において有効です。仕様は、アプリケーションのタイプに応じて、3.2V ~ max 値の VDD 範囲において有効です。

表 6. DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID53	V _{DDD}	電源入力電圧	3.20	-	5.20	V	ノート PC、タブレット、モニターおよび電源アダプタのアプリケーション
SID53_A	V _{DDD}	電源入力電圧	3.20	-	5.50	V	EMCA アプリケーション
SID54	V _{CCD}	出力電圧 (コア ロジック用)	-	1.80	-	V	-
SID55	C _{EFC}	外部レギュレータ電圧バイパス	1.00	1.30	1.60	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源デカップリング コンデンサ	-	1.00	-	μF	X5R セラミックまたはこれより良質のもの
アクティブ モード、V_{DDD} = 3.2 ~ 5.5V。標準値は V_{DD} = 3.3V での測定結果							
SID19	I _{DD14}	フラッシュから実行 ; CPU 速度が 48MHz	-	12.80	-	mA	T = 25°C
SID20	I _{DD15}	フラッシュから実行 ; CPU 速度が 48MHz	-	-	13.80	mA	-
スリープ モード、V_{DDD} = 3.2 ~ 5.5V							
SID25A	I _{DD20A}	I ² C ウェイクアップとコンパレータがオン	-	1.70	2.2 0	mA	-
ディープスリープ モード、V_{DDD} = 3.2 ~ 3.6 (レギュレータがオン)							
SID31	I _{DD26}	I ² C ウェイクアップがオン	-	1.30	-	μA	T = 25°C、3.6V
SID32	I _{DD27}	I ² C ウェイクアップがオン	-	-	50.00	μA	T = 85°C
ディープスリープ モード、V_{DDD} = 3.6 ~ 5.5V							
SID34	I _{DD29}	I ² C ウェイクアップ	-	15.00	-	μA	T = 25°C、5V
XRES 電流							
SID307	I _{DD_XR}	XRES がアサートされている時の供給電流	-	2.00	5.00	mA	-

注
 11. 表 5 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

表 7. AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID48	F _{CPU}	CPU 周波数	DC	–	48.00	MHz	3.2 ≤ V _{DD} ≤ 5.5
SID49	T _{SLEEP}	スリープモードからの復帰時間	–	0.00	–	μs	特性評価で保証
SID50	T _{DEEPSLEEP}	ディープスリープモードからの復帰時間	–	–	25.00	μs	24MHz IMO。 特性評価で保証
SID52	T _{RESETWIDTH}	外部リセットパルス幅	1.00	–	–	μs	特性評価で保証

I/O

表 8. I/O の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID57	V _{IH} ^[12]	入力電圧の HIGH 閾値	0.70 × V _{DDD}	–	–	V	CMOS 入力
SID58	V _{IL}	入力電圧の LOW 閾値	–	–	0.30 × V _{DDD}	V	CMOS 入力
SID243	V _{IH} ^[12]	LVTTL 入力	2.00	–	–	V	–
SID244	V _{IL}	LVTTL 入力	–	–	0.80	V	–
SID59	V _{OH}	出力 HIGH 電圧	V _{DDD} – 0.60	–	–	V	V _{DDD} = 3V の時、 I _{OH} = 4mA
SID62	V _{OL}	出力 LOW 電圧	–	–	0.60	V	V _{DDD} = 3V の時、 I _{OL} = 8mA
SID62A	V _{OL}	出力 LOW 電圧	–	–	0.40	V	V _{DDD} = 3V の時、 I _{OL} = 3mA
SID63	R _{PULLUP}	プルアップ抵抗	3.50	5.60	8.50	kΩ	–
SID64	R _{PULLDOWN}	プルダウン抵抗	3.50	5.60	8.50	kΩ	–
SID65	I _{IL}	入力リーク電流 (絶対値)	–	–	2.00	nA	25°C、V _{DDD} = 3.0V
SID65A	I _{IL_CTBM}	アナログピン用の入力リーク電流 (絶対値)	–	–	4.00	nA	–
SID66	C _{IN}	入力容量	–	–	7.00	pF	–
SID67	V _{HYSTTL}	入力ヒステリシス LVTTL	15.00	40.00	–	mV	V _{DDD} ≥ 2.7V。 特性評価で保証
SID68	V _{HYSCMOS}	入力ヒステリシス CMOS	200.00	–	–	mV	V _{DDD} ≥ 4.5V。 特性評価で保証
SID69	I _{DIODE}	保護ダイオードから V _{DD} /V _{SS} への電流	–	–	100.00	μA	特性評価で保証
SID69A	I _{TOT_GPIO}	チップの最大合計ソースまたはシンク電流	–	–	200.00	mA	特性評価で保証

表 9. I/O の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID70	T _{RISEF}	立ち上がり時間	2.00	–	12.00	ns	3.3V V _{DDD} 、C _{load} = 25pF
SID71	T _{FALLF}	立ち下がり時間	2.00	–	12.00	ns	3.3V V _{DDD} 、C _{load} = 25pF

注

12. V_{IH} は V_{DDD} + 0.2V を超えてはなりません。

XRES

表 10. XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V _{IH}	入力電圧の HIGH 閾値	0.70 × V _{DDD}	–	–	V	CMOS 入力
SID78	V _{IL}	入力電圧の LOW 閾値	–	–	0.30 × V _{DDD}	V	CMOS 入力
SID79	R _{PULLUP}	プルアップ抵抗	3.50	5.60	8.50	kΩ	–
SID80	C _{IN}	入力容量	–	3.00	–	pF	–
SID81	V _{HYSXRES}	入力ヒステリシス電圧	–	100.00	–	mV	特性評価で保証
SID82	I _{DIODE}	保護ダイオードから V _{DDD} /V _{SS} へ流れる電流	–	–	100.00	μA	特性評価で保証

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー/カウンタ/PWM ペリフェラルに適用されます。

VSEL と CUR_LIM ピン用パルス幅変調 (PWM)

表 11. PWM の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID140	T _{PWMFREQ}	動作周波数	–	–	48.00	MHz	–
SID141	T _{PWMPWINT}	パルス幅 (内部)	42.00	–	–	ns	–
SID142	T _{PWMEXT}	パルス幅 (外部)	42.00	–	–	ns	–
SID143	T _{PWMKILLINT}	キルパルス幅 (内部)	42.00	–	–	ns	–
SID144	T _{PWMKILLEXT}	キルパルス幅 (外部)	42.00	–	–	ns	–
SID145	T _{PWMEINT}	イネーブルパルス幅 (内部)	42.00	–	–	ns	–
SID146	T _{PWMENEXT}	イネーブルパルス幅 (外部)	42.00	–	–	ns	–
SID147	T _{PWMRESWINT}	リセットパルス幅 (内部)	42.00	–	–	ns	–
SID148	T _{PWMRESWEXT}	リセットパルス幅 (外部)	42.00	–	–	ns	–

I2C

表 12. 固定 I²C の DC 仕様
 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	-	-	50	μA	-
SID150	I _{I2C2}	400kHz でのブロック消費電流	-	-	135.00	μA	-
SID151	I _{I2C3}	1Mbps でのブロック消費電流	-	-	310.00	μA	-
SID152	I _{I2C4}	I ² C がディープスリープ モードで有効の場合	-	-	1.40	μA	-

表 13. 固定 I²C の AC 仕様
 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID153	F _{I2C1}	ビット レート	-	-	1.00	Mbps	-

メモリ

表 14. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID173	V _{PE}	消去およびプログラム電圧	3.20	-	5.50	V	-

表 15. フラッシュ AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID174	T _{ROWWRITE} ^[13]	Row (ブロック) 書き込み時間 (消去+書き込み)	-	-	20.00	ms	Row (ブロック) = 128 バイト
SID175	T _{ROWERASE} ^[13]	Row 消去時間	-	-	13.00	ms	-
SID176	T _{ROWPROGRAM} ^[13]	消去後の Row プログラム時間	-	-	7.00	ms	-
SID178	T _{BULKERASE} ^[13]	バルク消去時間 (32KB)	-	-	35.00	ms	-
SID180	T _{DEVPROG} ^[13]	デバイス プログラム合計時間	-	-	7.00	秒	特性評価で保証
SID181	F _{END}	フラッシュ アクセス可能回数	100K	-	-	サイクル	特性評価で保証
SID182	F _{RET} ^[14]	フラッシュのデータ保持期間。 T _A ≤ 55°C、プログラム/消去 サイクル = 10 万回	20	-	-	年	特性評価で保証
SID182A	-	フラッシュのデータ保持期間。 T _A ≤ 85°C、プログラム/消去 サイクル = 1 万回	10	-	-	年	特性評価で保証
SID182B	-	フラッシュのデータ保持期間。 85°C < T _A ≤ 105°C、プログラ ム/消去サイクル = 1 万回	3	-	-	年	特性評価で保証

注

13. フラッシュ メモリに書き込むには最大 20 ミリ秒かかります。この間デバイスをリセットしないでください。リセットするとフラッシュ メモリの動作が中断され、正常に完了したことが保証されません。リセット ソースは XRES ピン、ソフトウェア リセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにされないことを確認してください。
14. サイプレスは、-40°C ~ +105°C の周囲温度範囲にわたって個々のカスタマの温度プロファイルに応じて保持ライフタイムを計算するための保持期間計算器を提供しています。customer@ Cypress.com までお問い合わせください。

システム リソース

電圧低下時のパワーオン リセット (POR)

表 16. 低精度パワーオンリセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID185	V _{RISEIPOR}	立ち上がりトリップ電圧	0.80	–	1.45	V	特性評価で保証
SID186	V _{FALLIPOR}	立ち下がりにトリップ電圧	0.75	–	1.40	V	特性評価で保証
SID187	V _{IPORHYST}	ヒステリシス	15.0	–	200.0	mV	特性評価で保証

表 17. 高精度パワーオンリセット (POR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID190	V _{FALLPPOR}	アクティブモードとスリープモードでの BOD トリップ電圧	1.64	–	–	V	特性評価で保証
SID192	V _{FALLDPSLP}	ディープスリープモードでの BOD トリップ電圧	1.40	–	–	V	特性評価で保証

SWD インターフェース

表 18. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID213	F _{SWDCLK1}	$3.2V \leq V_{DD} \leq 5.5V$	–	–	14.00	MHz	SWDCLK ≤ 1/3 CPU クロック周波数
SID215	T _{SWDI_SETUP}	T = 1/f SWDCLK	0.25 × T	–	–	ns	特性評価で保証
SID216	T _{SWDI_HOLD}	T = 1/f SWDCLK	0.25 × T	–	–	ns	特性評価で保証
SID217	T _{SWDO_VALID}	T = 1/f SWDCLK	–	–	0.50 × T	ns	特性評価で保証
SID217A	T _{SWDO_HOLD}	T = 1/f SWDCLK	1	–	–	ns	特性評価で保証

内部主発振器

表 19. IMO の DC 仕様

(設計上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	–	–	1000.00	μA	–

表 20. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID223	F _{IMOTOL1}	周波数変動	–	–	±2.00	%	API 呼び出しによる校正を使用
SID226	T _{STARTIMO}	IMO 起動時間	–	–	12.00	μs	–
SID229	T _{JITRMSIMO3}	48MHz での RMS ジッタ	–	139.00	–	ps	–

内部低速発振器

表 21. ILO の DC 仕様
(設計上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID231	I _{ILO1}	32kHz での ILO 動作電流	–	0.30	1.05	μA	特性評価で保証
SID233	I _{ILOLEAK}	ILO リーク電流	–	2.00	15.00	nA	設計上保証

表 22. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID234	T _{STARTILO1}	ILO 起動時間	–	–	2.00	ms	特性評価で保証
SID236	T _{ILODUTY}	ILO のデューティ比	40.00	50.00	60.00	%	特性評価で保証
SID237	F _{ILOTRIM1}	32kHz の調整後周波数	15.00	32.00	50.00	kHz	±60% (調整あり)

表 7. 2つのチップ/ケーブル、コンポーネント数 = 15 / パドル

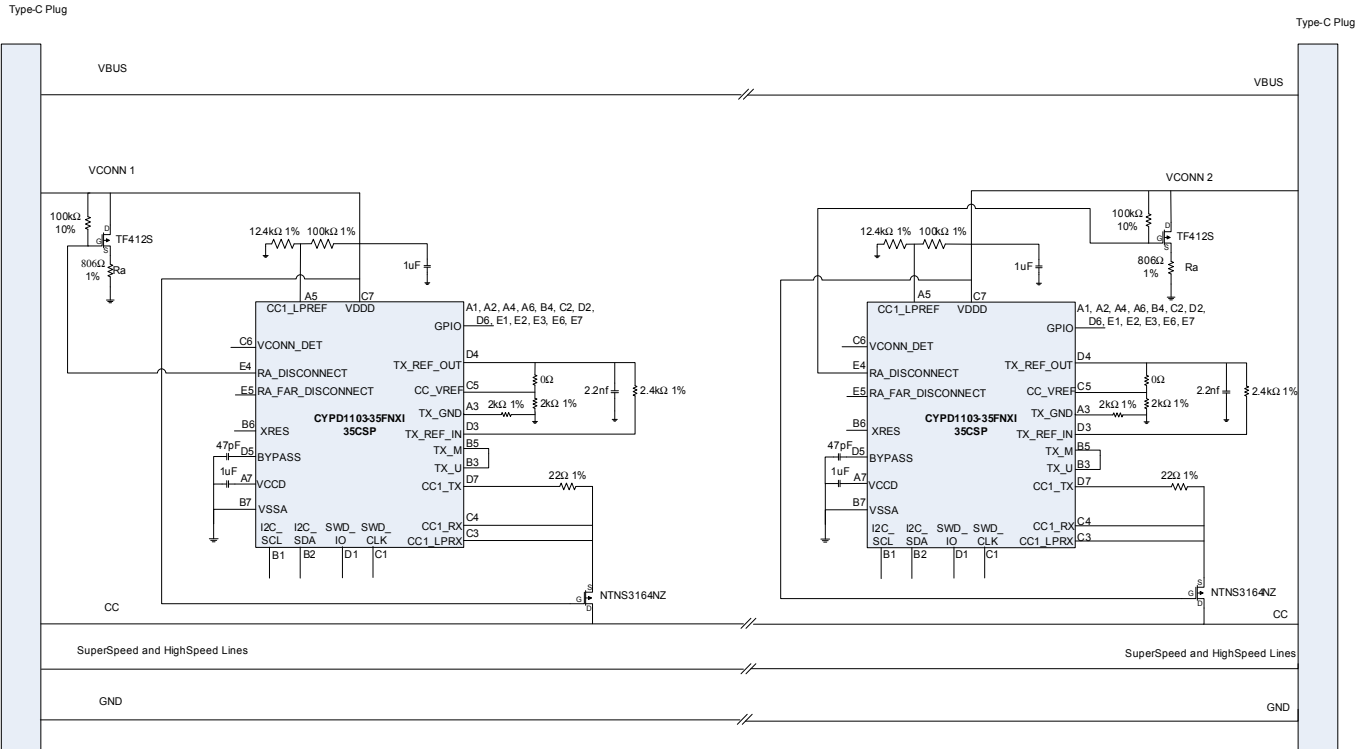


表 8. 16ピン SOIC 電源アダプタ アプリケーション図

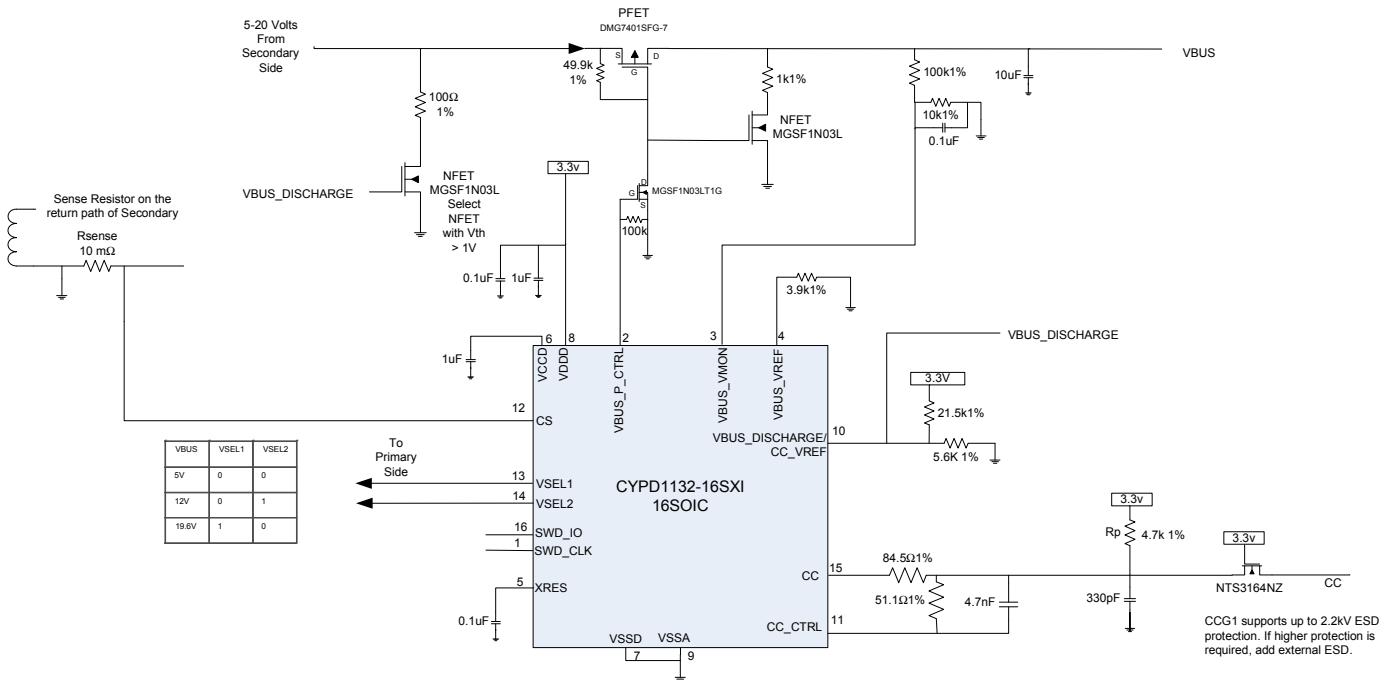


表 9. ノート PC (DRP) アプリケーション図

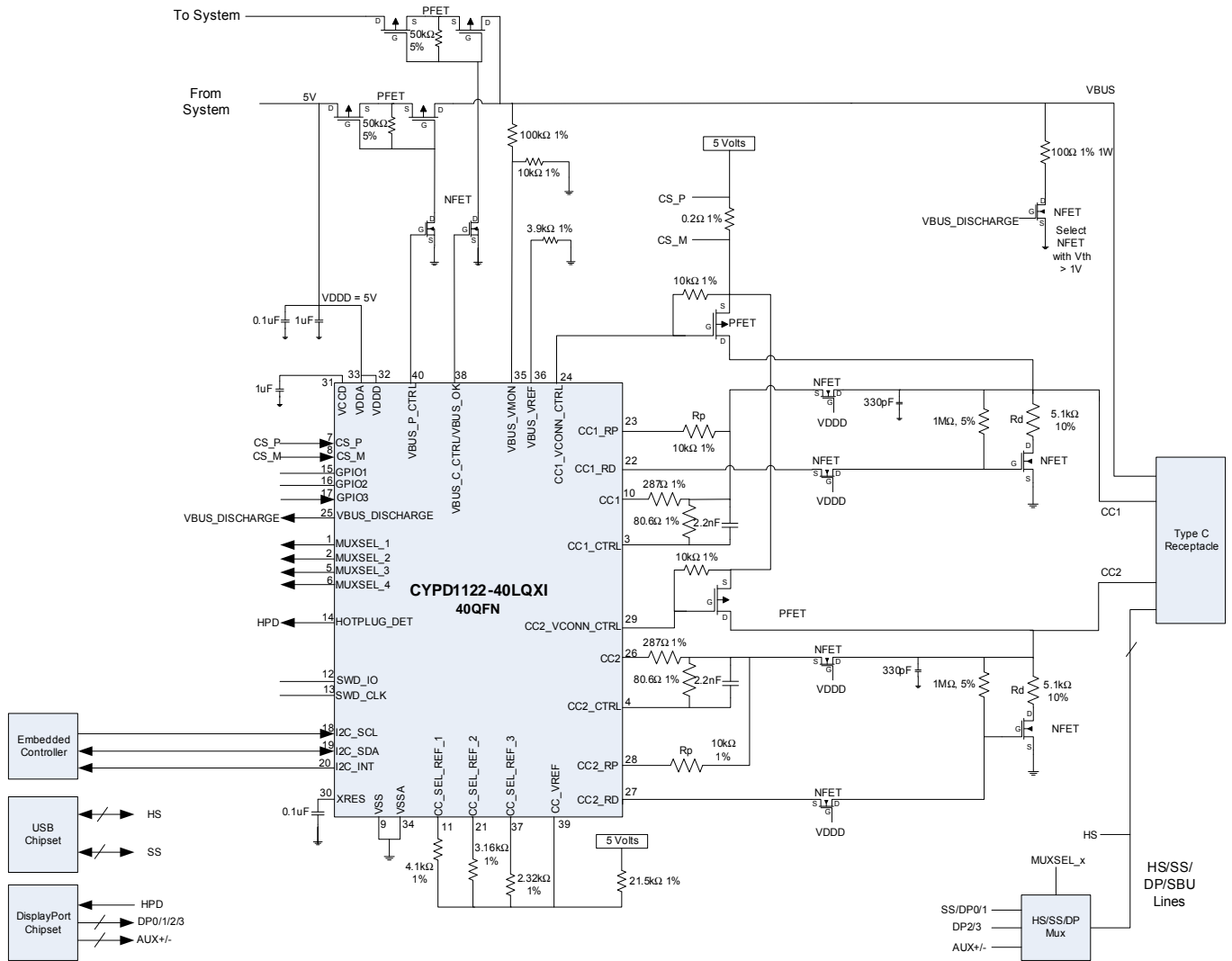


表 10. ノート PC (DFP) アプリケーション図

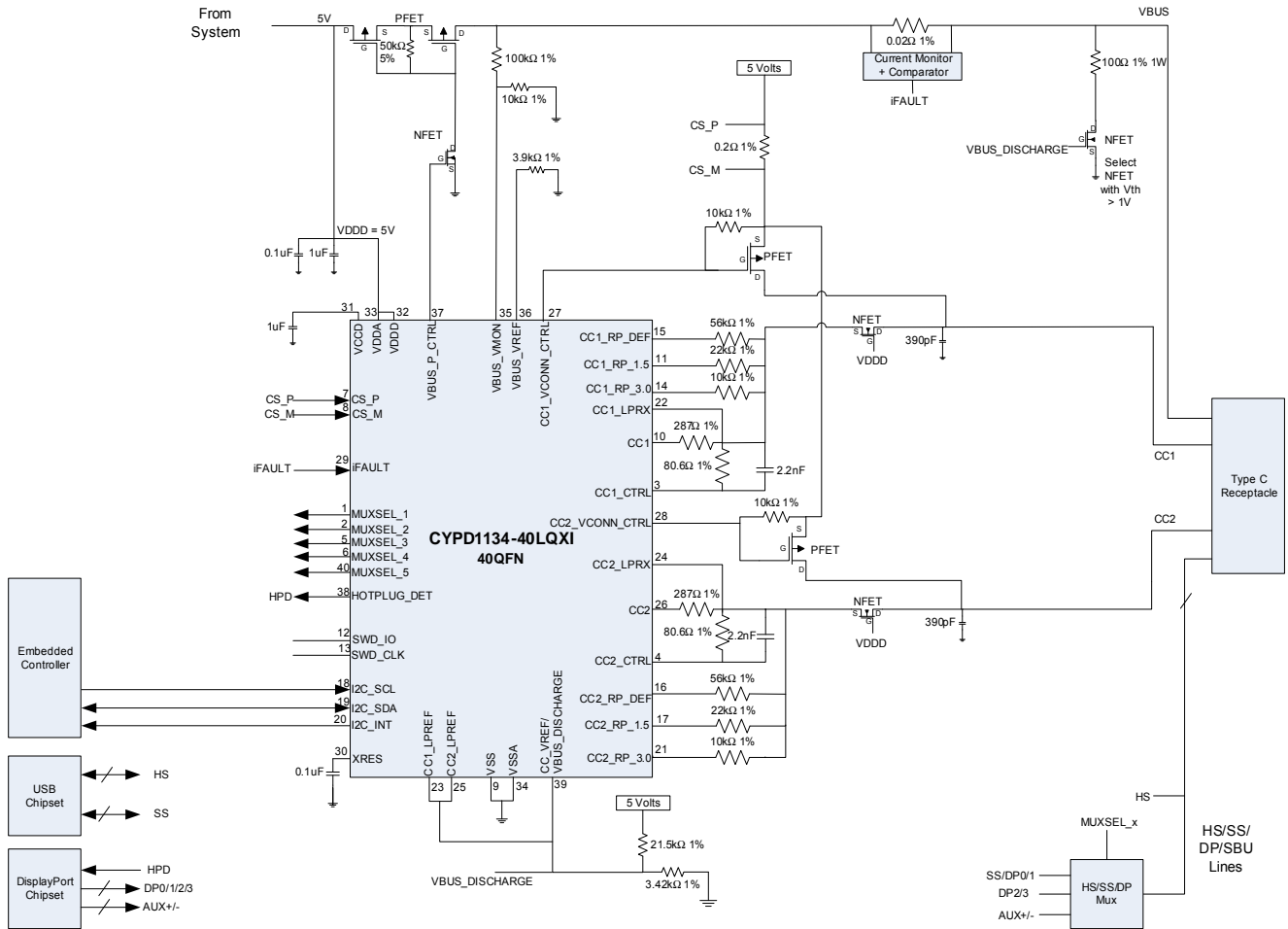
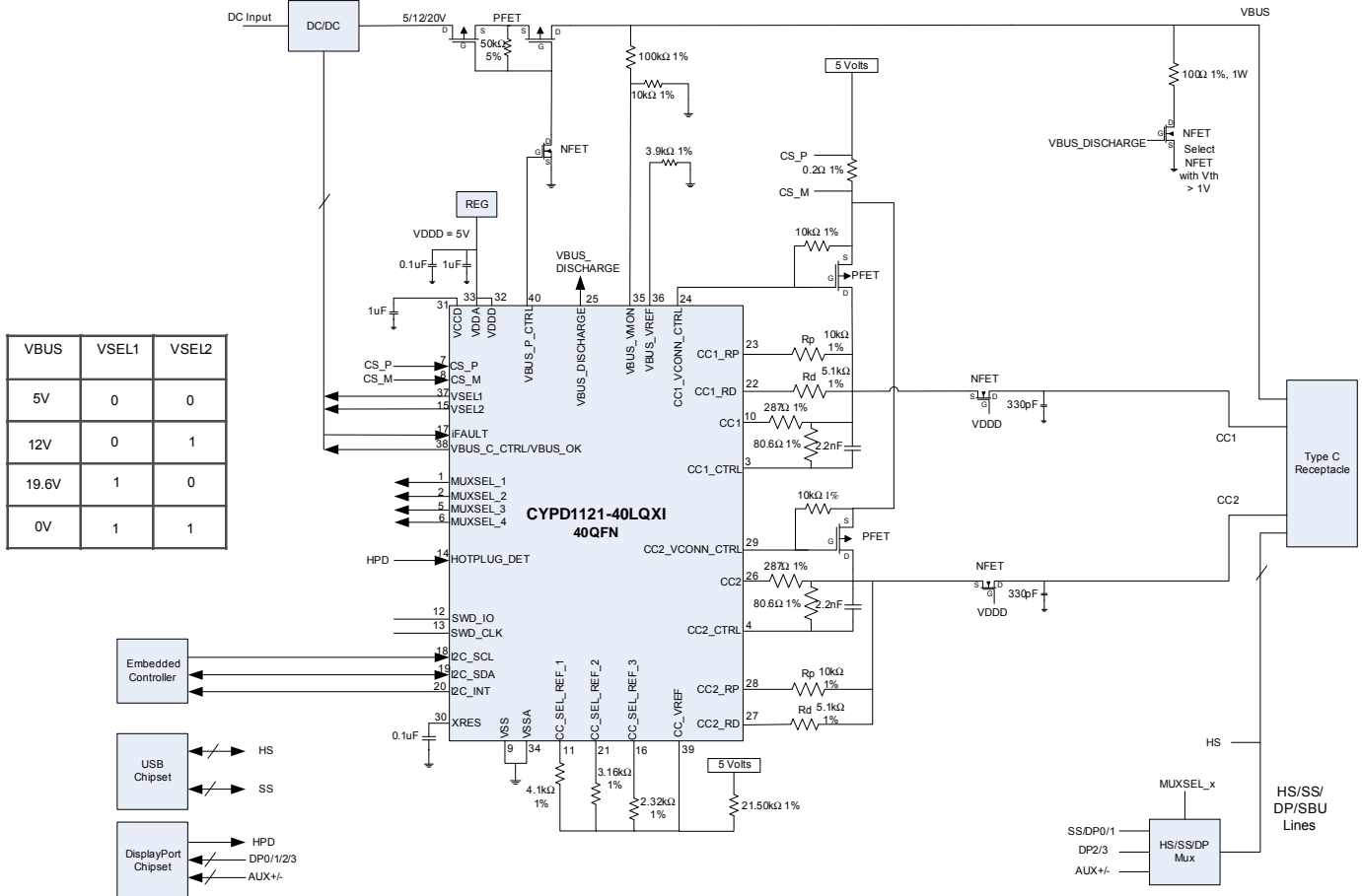


表 11. モニターアプリケーションのブロック図



注文情報

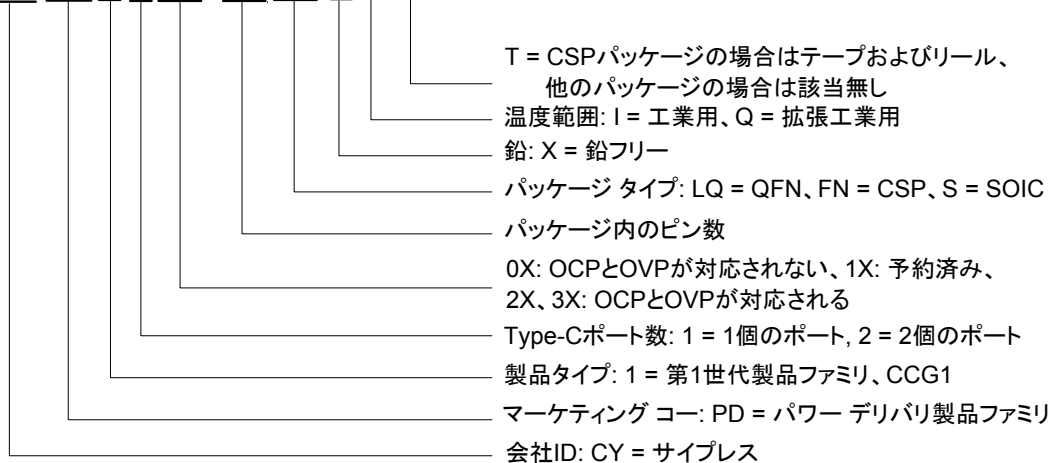
CCG1 の製品番号と特長は下表の通りです。

表 23. CCG1 注文情報

製品番号 ^[15]	アプリケーション	Type-C ポート ^[16]	過電流 保護	過電圧 保護	終端抵抗 ^[17]	役割 ^[18]	パッケージ	Si ID
CYPD1103-35FNXIT	ケーブル、EMCA	1	無	無	R_a ^[19]	ケーブル	35-WLCSP ^[20]	0490
CYPD1131-35FNXIT	ノート PC、タブレット、 スマートフォン	1	有	有	R_p ^[23] 、 R_d ^[21]	DRP ^[24]	35-WLCSP ^[22]	0491
CYPD1121-40LQXI	モニター	1	有	有	R_p ^[23] 、 R_d ^[21]	DRP ^[24]	40-QFN	0489
CYPD1122-40LQXI	ノート PC	1	有	有	R_p ^[23] 、 R_d ^[21]	DRP ^[24]	40-QFN	048A
CYPD1134-40LQXI	ノート PC、 デスクトップ PC	1	有	有	R_p ^[23]	DFP	40-QFN	048B
CYPD1132-16SXI	電源アダプタ	1	有	有	R_p ^[23]	DFP	16-SOIC	0498
CYPD1132-16SXQ	電源アダプタ	1	有	有	R_p ^[23]	DFP	16-SOIC	0498

注文コードの定義

CY PD X X XX- XX XX X X X



注

15. すべての製品は 3.2V ~ 5.5V の入力電圧範囲に対応します。産業用製品は -40°C ~ +85°C に、拡大された産業用製品は -40°C ~ 105°C に対応します。
16. サポートされる USB Type-C ポートの数。
17. デフォルトの V_{CONN} 終端。
18. PD の役割。
19. Type-C ケーブル終端。
20. 35 ピン WLCSP の第 1 ピン配置。
21. USB デバイス終端。
22. 35 ピン WLCSP の第 2 ピン配置。
23. USB ホスト終端。
24. デュアルロールポート。

パッケージ

表 24. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A (40-QFN、35-CSP)	動作周囲 温度	–	–40	25.00	85.00	°C
T _J (40-QFN、35-CSP)	動作 接合部温度	–	–40	–	100.00	°C
T _A (16-SOIC)	動作周囲 温度	–	–40	25.00	105.00	°C
T _J (16-SOIC)	動作 接合部温度	–	–40	–	120.00	°C
T _{JA}	パッケージ θ _{JA} (40 ピン QFN)	–	–	15.34	–	°C/W
T _{JA}	パッケージ θ _{JA} (35 ボール CSP)	–	–	28.00	–	°C/W
T _{JA}	パッケージ θ _{JA} (16 ピン SOIC)	–	–	85.00	–	°C/W
T _{JC}	パッケージ θ _{JC} (40 ピン QFN)	–	–	02.50	–	°C/W
T _{JC}	パッケージ θ _{JC} (35 ボール CSP)	–	–	00.40	–	°C/W
T _{JC}	パッケージ θ _{JC} (16 ピン SOIC)	–	–	49.00	–	°C/W

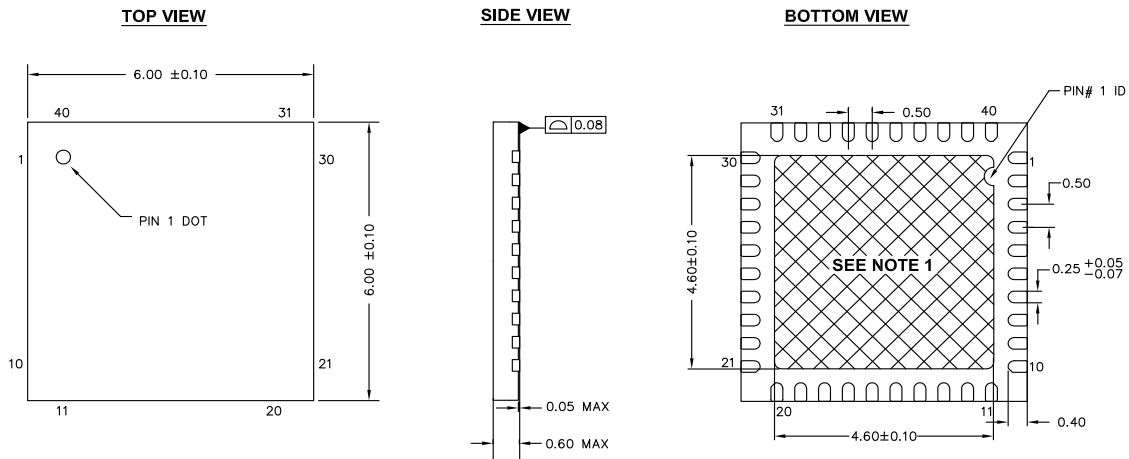
表 25. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
16 ピン SOIC	260°C	30 秒
40 ピン QFN	260°C	30 秒
35 ボール WLCSP	260°C	30 秒

表 26. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
16 ピン SOIC	MSL 3
40 ピン QFN	MSL 3
35 ボール WLCSP	MSL 1

表 12. 40 ピン QFN パッケージ図、001-80659



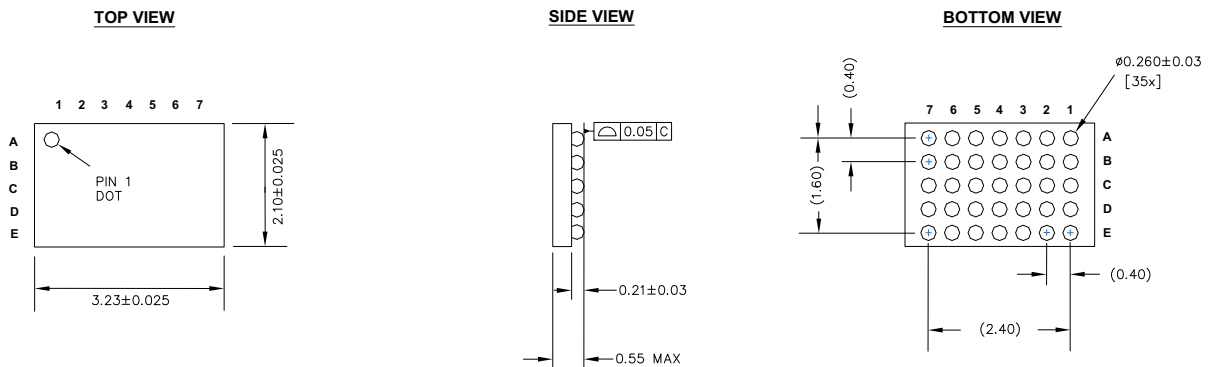
NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 *A

機械的、熱的、および電氣的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグランド (VSS) に接続してください。グランドに接続しないと、パッドは電氣的に開放され、どの信号にも接続されていない状態になります。

表 13. 35 ボール WLCSP パッケージ図、001-93741

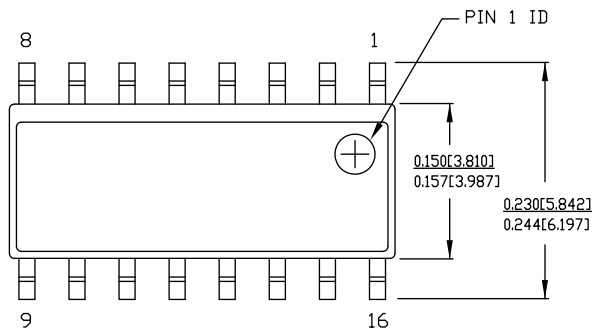


NOTES:

1. REFERENCE JEDEC PUBLICATION 95, DESIGN GUIDE 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-93741 **

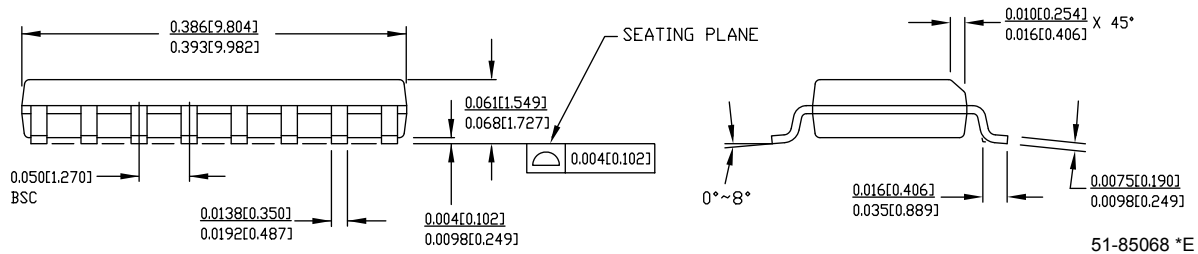
表 14. 16 ピン SOIC (150Mil) S16.15/SZ16.15 パッケージ図、51-85068



NOTE:

1. DIMENSIONS IN INCHES[MM] MAX.
2. REFERENCE JEDEC MS-012
3. PACKAGE WEIGHT : refer to PMDD spec. 001-04308

PART #	
S16.15	STANDARD PKG.
SZ16.15	LEAD FREE PKG.



略語

表 27. 本書で使用する略語

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
API	application programming interface (アプリケーションプログラミング インターフェース)
ARM®	advanced RISC machine (高度な RISC マシン; CPU アーキテクチャの一種)
CC	Configuration Channel (コンフィギュレーション チャネル)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査; エラーチェック プロトコルの一種)
CS	Current Sense (電流検出)
DFP	downstream facing port (ダウンストリーム側のポート)
DIO	digital input/output (デジタル入出力)、アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください。
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁妨害)
ESD	electrostatic discharge (静電気放電)
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレイクポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力; PSoC ピンに適用)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートド サーキット; 通信プロトコルの一種)
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照
IMO	internal main oscillator (内部主振動子)。ILO も参照
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO も参照
LVD	low-voltage detect (低電圧検出)
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MCU	microcontroller unit (マイクロコントローラー ユニット)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可能な割り込み)

表 27. 本書で使用する略語

略語	説明
NVIC	nested vectored interrupt controller (ネスト可能なベクタ割り込みコントローラ)
オペアンプ	operational amplifier (演算増幅器)
OCP	Overcurrent protection (過電流防止)
OVP	Overvoltage protection (過電圧保護)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブルゲイン アンプ)
PHY	physical layer (物理レイヤー)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ™)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCL	I ² C serial clock (I2C シリアル クロック)
SDA	I ² C serial data (I2C シリアル データ)
S/H	sample and hold (サンプル/ホールド)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース; 通信プロトコルの一種)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SWD	serial wire debug (シリアル ワイヤ デバッグ; テスト プロトコルの一種)
TX	transmit (送信)
UART	Universal Asynchronous Transmitter Receiver (汎用非同同期トランスミッター レシーバ; 通信プロトコルの一種)
UFP	upstream facing port (アップストリーム側のポート)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入力/出力; USB ポートへの接続に使用される PSoC ピン)
XRES	external reset I/O pin (外部リセット I/O ピン)

本書の表記法

測定単位

表 28. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
V	ボルト

改訂履歴

文書名 : CCG1 データシート - パワーデリバリー対応の USB Type-C ポート コントローラー				
文書番号 : 001-97745				
版	ECN	変更者	発行日	変更内容
**	4829247	HZEN	07/10/2015	これは英語版 001-93639 Rev. *G を翻訳した日本語版 001-97745 Rev. ** です。
*A	6245111	SSAS	07/13/2018	これは英語版 001-93639 Rev. *K を翻訳した日本語版 001-97745 Rev. *A です。

セールス、ソリューションおよびリーガル情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm [®] Cortex [®] Microcontrollers	cypress.com/arm
車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/go/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/go/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス	cypress.com/go/wireless

PSoC[®] ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

ユニバーサル シリアル バス仕様への準拠性に関する告知。サイプレスは、ユニバーサル シリアル バス仕様、USB Type-C™ ケーブルとコネクタ仕様、および他の USB Implementers Forum, Inc. (USB-IF) の仕様準拠している認証されたファームウェアおよびハードウェア ソリューションをご提供します。サンプル コードを含むサイプレスまたはサード パーティのソフトウェア ツールを使用し、ユーザーはサイプレス USB 製品のファームウェアを修正する場合があります。そのようなファームウェアの修正によって、ファームウェアとハードウェアの組合せが該当する USB-IF 仕様準拠しなくなる可能性があります。ユーザーは、行ったあらゆる修正の準拠性の保証について全責任を負い、行った修正に関連する USB-IF の商標やロゴを使用する前に USB-IF の準拠性の要件に従わなければならない。また、サイプレスがユーザーの仕様に基づいてファームウェアを修正する場合、ユーザーが修正を行ったかのようにあらゆる所望の規格や仕様への準拠性の保証について責任を負います。ユーザーが認証済みのサイプレス製品を修正し、修正された製品がもはや該当する USB-IF 仕様準拠しない場合、サイプレスには責任がありません。

© Cypress Semiconductor Corporation, 2014-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれる又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためのみ、(直接又は再販売者及び販売代理店を介して) 間接のいずれかで本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含む) がこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステム、重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分という。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。