

特長

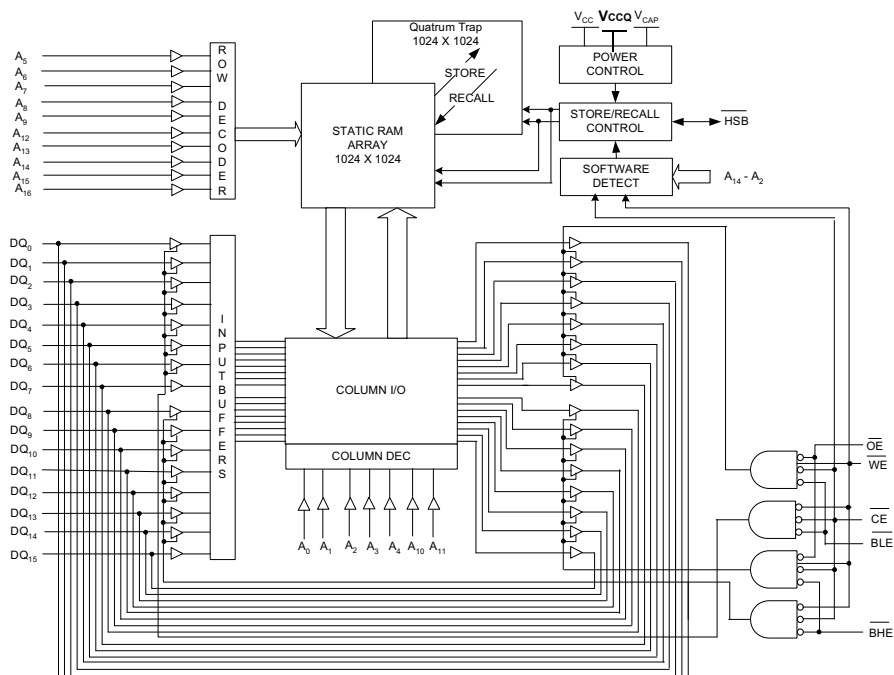
- 25ns と 45ns のアクセス時間
- 128K×8 (CY14V101LA) または 64K×16 (CY14V101NA) として内部的に構成
- 小容量コンデンサのみを使用した電源切断時のハンドオフ自動 STORE
- QuantumTrap 不揮発性素子への STORE をソフトウェア、デバイスピン、または電源切断時の AutoStore により実行
- SPAM への RECALL 処理はソフトウェアにより、または電源投入により開始
- 回数に制限のない読み出し、書き込み、RECALL サイクル
- QuantumTrap に対する 100 万回の STORE サイクル
- 20 年のデータ保持期間
- コア $V_{CC} = 3.0V \sim 3.6V$; I/O $V_{CCQ} = 1.65V \sim 1.95V$
- 産業用温度範囲
- 48 ボール ファイン ピッチ ボール グリッド アレイ (FBGA) パッケージ
- 鉛フリーおよび特定有害物質使用制限 (RoHS) に準拠

機能の詳細

サイプレスの CY14V101LA / CY14V101NA は、メモリセルごとに不揮発性要素を組み込んだ高速スタティック RAM です。このメモリは 128K バイト × 8 ビットまたは 64K ワード × 16 ビットで構成されています。組み込み不揮発性素子には、世界最高級の信頼性を備えた不揮発性メモリを実現する QuantumTrap 技術を採用しています。回数に制限のない読み出しと書き込みを SRAM で可能にする一方、それとは別に不揮発性データを不揮発性素子に保持できるようにしています。SRAM から不揮発性素子へのデータ転送 (STORE 処理) は、電源切断時に自動的に実行されます。電源投入時には、不揮発性メモリから SRAM にデータが復元されます (RECALL 処理)。STORE と RECALL 両方の処理はソフトウェア制御でも実行することができます。

すべての関連資料の一覧は、[ここをクリックしてください](#)。

論理ブロック図 [1、2、3]



注:

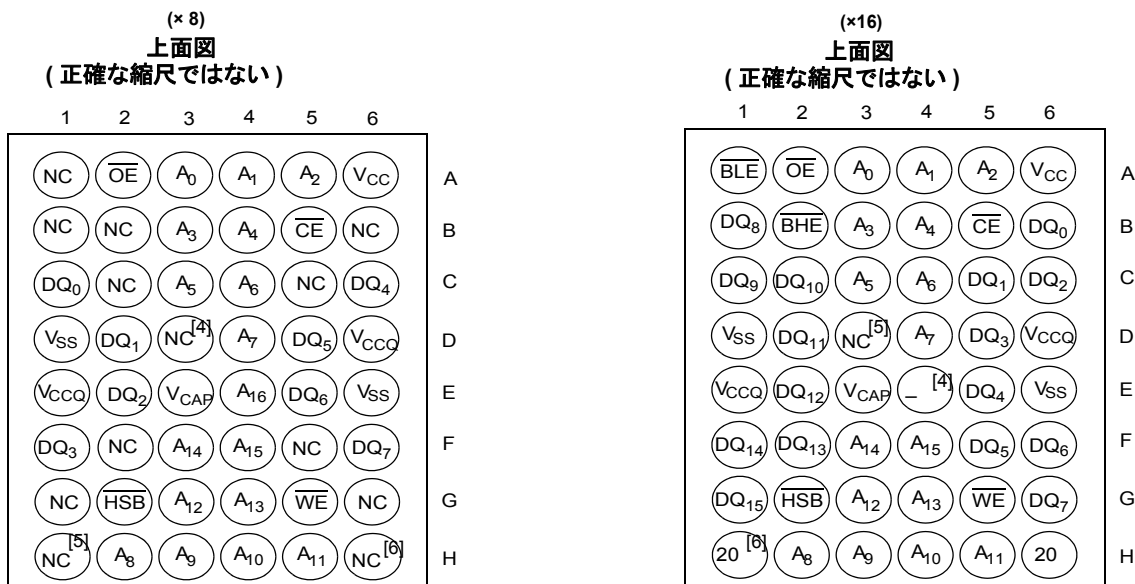
1. ×8 構成ではアドレス $A_0 \sim A_{16}$ 、×16 構成ではアドレス $A_0 \sim A_{15}$ 。
2. ×8 構成ではデータ $DQ_0 \sim DQ_7$ 、×16 構成ではデータ $DQ_0 \sim DQ_{15}$ 。
3. BHE と BLE は ×16 構成でのみ使用できます。

目次

ピン配置	3	スイッチング波形	10
ピンの定義	3	AutoStore / 電源投入 RECALL	13
デバイスの動作	4	スイッチング波形	13
SRAM 読み出し	4	ソフトウェア制御の STORE / RECALL サイクル	14
SRAM 書き込み	4	スイッチング波形	14
AutoStore 処理	4	ハードウェア STORE サイクル	15
ハードウェア STORE 処理	4	スイッチング波形	15
ハードウェア RECALL (電源投入)	5	SRAM 真理値表	16
ソフトウェア STORE	5	注文情報	17
ソフトウェア RECALL	5	注文コードの定義	17
AutoStore の防止	6	パッケージ図	18
データ保護	6	略語	19
最大定格	7	本書の表記法	19
動作範囲内	7	測定単位	19
DC 電気的特性	7	改訂履歴	20
データ保持期間およびアクセス可能回数	8	セールス、ソリューションおよび法律情報	21
静電容量	8	ワールドワイドな販売と設計サポート	21
熱抵抗	8	製品	21
AC テスト負荷	9	PSoC® ソリューション	21
AC テスト条件	9	サイプレス開発者コミュニティ	21
AC スwitchング特性	10	テクニカル サポート	21
SRAM 読み出しサイクル	10		
SRAM 書き込みサイクル	10		

ピン配置

図 1. 48 ボールFBGA パッケージのピン配置



ピンの定義

ピン名	入出力	説明
A ₀ ~ A ₁₆	入力	アドレス入力。×8 構成で nvSRAM の 131,072 バイトの 1 つを選択するために使用
A ₀ ~ A ₁₅		アドレス入力。×16 構成で nvSRAM の 65,536 ワードの 1 つを選択するために使用
DQ ₀ ~DQ ₇	入力/出力	×8 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
DQ ₀ ~ DQ ₁₅		×16 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
WE	入力	書き込みイネーブル入力、アクティブ LOW。チップが有効で、WE が LOW になると、I/O ピンのデータは特定のアドレス位置に書き込まれる
CE	入力	チップ イネーブル入力、アクティブ LOW。LOW の場合は、チップを選択する。HIGH の場合は、チップの選択を解除
OE	入力	出力イネーブル、アクティブ LOW。アクティブ LOW OE 入力は、読み出しサイクル中にデータ出力バッファを有効にする。OE が HIGH にデアサートすると、I/O ピンはトライステートになる
BHE	入力	バイト HIGH イネーブル、アクティブ LOW。DQ ₁₅ ~ DQ ₈ を制御
BLE	入力	バイト LOW イネーブル、アクティブ LOW。DQ ₇ ~ DQ ₀ を制御
V _{SS}	グラウンド	デバイス用のグラウンド。システムのグラウンドに接続する必要がある
V _{CC}	電源	デバイスのコアの電源入力
V _{CCQ}	電源	デバイスの入出力用の電源入力
HSB	入力/出力	ハードウェア STORE ビジー (HSB)。 出力: LOW の時、nvSRAM のビジー状態を示す。ハードウェアおよびソフトウェア STORE 処理の後、HSB は HIGH 出力標準電流で短時間 (t _{HHHD}) HIGH 駆動され、その後内部プルアップ抵抗で HIGH 状態を継続 (外部プルアップ抵抗接続はオプションである) 入力: このピンを外部で LOW にプルダウンすることによって実施されるハードウェア STORE
V _{CAP}	電源	AutoStore コンデンサ。SRAM から不揮発性素子にデータを格納するため、電力損失時に nvSRAM へ電源を供給
NC	接続なし	接続なしこのピンはダイに接続されていない

注:

- 4. 2M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。
- 5. 4M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。
- 6. 8M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。

デバイスの動作

CY14V101LA / CY14V101NA nvSRAM は、同じ物理セル内に対になった 2 個の機能コンポーネントで構成されています。それらは SRAM メモリセルと不揮発性 QuantumTrap セルです。SRAM メモリセルは標準の高速スタティック RAM として動作します。SRAM 内のデータは不揮発性セルに転送される (STORE 処理) か、または不揮発性セルから SRAM に転送されます (RECALL 処理)。この独特のアーキテクチャを使って、すべてのセルは並行してストアされリコールされます。STORE 処理と RECALL 処理中、SRAM の読み出しと書き込み処理は禁止されています。CY14V101LA / CY14V101NA は一般的な SRAM と同様に、回数無制限の読み出しと書き込みに対応しています。さらに、不揮発性セルから回数無制限の RECALL 処理および最大 100 万回までの STORE 処理が可能です。読み出しモードと書き込みモードの詳細については、16 ページの「SRAM 真理値表」を参照してください。

SRAM 読み出し

CY14V101LA / CY14V101NA は \overline{CE} と \overline{OE} が LOW、 \overline{WE} と HSB が HIGH の時、読み出しサイクルを実行します。ピン $A_0 \sim 16$ またはピン $A_0 \sim 15$ で指定されたアドレスは、16 ビットごとにアクセスされる 131,072 データバイトのどれか、または 65,536 ワードのどれかがアクセスされるかを決定します。バイト イネーブル (BHE、BLE) は、1 ワードが 16 ビットの場合にどのバイトを出力するかを決定します。アドレス遷移によって読み出しが開始された場合、出力は t_{AA} (読み出しサイクル 1) の遅延後に有効になります。CE または OE によって読み出しが開始された場合、出力は t_{ACE} と t_{DOE} のどちらか遅い方 (読み出しサイクル 2) の終了時点で有効になります。データ出力は、制御入力ピンでの変化を必要としないで t_{AA} アクセス時間内に繰り返してアドレス変更に応答します。これは、別のアドレス変更が発生するか、または CE か OE が HIGH になるか、あるいは WE か HSB が LOW になるまで有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、 \overline{CE} と \overline{WE} が LOW、および HSB が HIGH の場合に実行されます。アドレス入力は書き込みサイクルに入る前に安定な状態にならなければなりません。また、サイクルの終わりに CE か WE が HIGH になるまで安定な状態を保つ必要があります。WE で制御する書き込み終了前に、または CE で制御する書き込み終了前にデータが t_{SD} の間有効であれば、共通 I/O ピンである $DQ_0 \sim 15$ のデータはメモリに書き込まれます。バイト イネーブル入力 (BHE、BLE) は、1 ワードが 16 ビットの場合に、どのバイトを書き込むかを決定します。共通 I/O ラインでのデータバスの競合を避けるために、書き込みサイクル中は終始 \overline{OE} を HIGH に維持してください。OE が LOW のままであると、WE が LOW になった後に内部回路は t_{HZWE} の間出力バッファを停止します。

AutoStore 処理

CY14V101LA / CY14V101NA は、次の 3 つのストレージ動作のいずれかを使って nvSRAM にデータを格納します: HSB によって有効にされたハードウェア STORE; アドレスのシーケンスによって有効にされたソフトウェア STORE; デバイスの電源切断時の AutoStore。AutoStore 処理は、QuantumTrap テクノロジー独自の機能であり、CY14V101LA / CY14V101NA ではデフォルトで有効になっています。

通常動作中にデバイスは、 V_{CAP} ピンに接続されたコンデンサを充電するのに V_{CC} から電流を引き込みます。充電された電力はチップが一回の STORE 処理を実行するのに使用されます。 V_{CC} ピンの電圧が V_{SWITCH} を下回ると、デバイスは V_{CC} と V_{CAP}

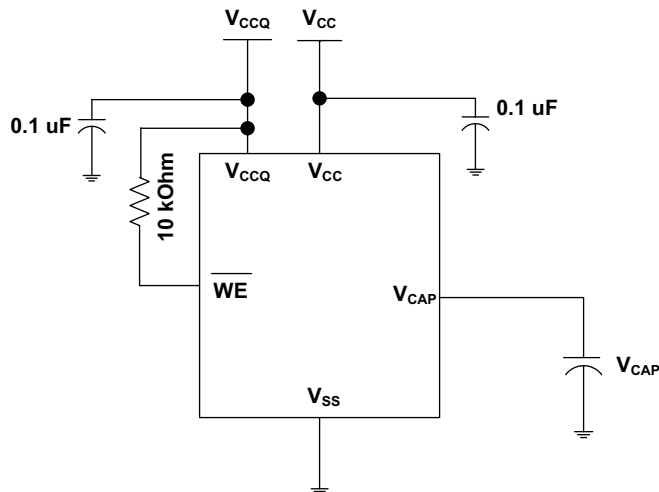
ピンの接続を自動的に切り替えます。STORE 処理は、 V_{CAP} コンデンサから供給される電力で起動されます。

注: コンデンサが V_{CAP} ピンに接続されていない場合、に指定したソフトシーケンスを使って AutoStore を無効にする必要があります。6 ページの「AutoStore の防止」。 V_{CAP} ピンに接続したコンデンサなしで AutoStore が有効にされる場合、デバイスは STORE 処理を完了するための電荷が足りないまま AutoStore 処理を実行しようとして、これにより、nvSRAM 内に格納されたデータが破損されます。

図 2 は、AutoStore 処理向けのストレージコンデンサ (V_{CAP}) の適切な接続方法を示します。 V_{CAP} の容量については、7 ページの「DC 電氣的特性」を参照してください。 V_{CAP} ピンの電圧は、内蔵レギュレータによって V_{CC} に送られます。電源投入時にアクティブにならないようにするために、WE をプルアップ抵抗に接続します。このプルアップ抵抗は、電源投入時に WE 信号がトライステート状態にある場合にのみ有効です。多くの MPU が電源投入時にそれらの制御をトライステートします。プルアップ抵抗を使用する場合には確認してください。nvSRAM が電源投入時の RECALL から復帰する時、MPU がアクティブである、または MPU のリセットが終了するまで WE を非アクティブ状態に保つ必要があります。

不要な不揮発性 STORE 処理を減らすために、最も最近の STORE または RECALL サイクルが実行されてから少なくとも 1 回の書き込み処理が行われるまでは、AutoStore とハードウェア STORE 処理は無視されます。ソフトウェアにより起動された STORE サイクルは、書き込み処理が行われたかどうかに関係なく実行されます。

図 2. AutoStore モード



ハードウェア STORE 処理

CY14V101LA / CY14V101NA には、STORE 処理を制御し応答するための HSB ピンがあります。HSB ピンはハードウェア STORE サイクルの要求に使用してください。HSB ピンが LOW に駆動されると、CY14V101LA / CY14V101NA は t_{DELAY} 後に条件に従って STORE 処理を開始します。実際の STORE サイクルは、最も最近の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始します。HSB ピンは、(いずれかの手段で開始された) STORE 処理が実行中にはビジー状態を示すために内部で LOW に駆動されるオープンドレインドライバ (チップ内部に 100kΩ の弱いプルアップ抵抗) としても動作します。

注:各ハードウェアおよびソフトウェア STORE 処理の後、HSB は標準出力 HIGH 電流で短時間 (t_{HHHD}) HIGH に駆動され、その後 100kΩ の内部プルアップ抵抗により HIGH 状態を継続します。

HSB が LOW に駆動された時に SRAM 書き込み処理は実行中であれば、実行を終了するために STORE 処理が開始されるまで t_{DELAY} 時間あります。しかし HSB が LOW になった後に要求された SRAM 書き込みサイクルは、HSB が HIGH に戻るまで禁止されます。書き込みラッチがセットされていない場合、HSB は CY14V101LA / CY14V101NA によって LOW に駆動されることはありません。しかしすべての SRAM 読み出しと書き込みサイクルは、MPU または他の外部ソースにより HSB が HIGH に戻るまで禁止されます。

STORE 処理中には、開始方法に関係なく、CY14V101LA / CY14V101NA は HSB ピンを LOW に駆動し続け、STORE 処理が完了した時にのみ解除します。STORE 処理が完了すると、nvSRAM メモリ アクセスは HSB ピンが HIGH 状態に戻ってから t_{LZHSB} の間は禁止されます。HSB ピンは使用しない場合、開放にしてください。

ハードウェア RECALL (電源投入)

電源投入時または低電圧状態 ($V_{CC} < V_{SWITCH}$) の後は、内部の RECALL 要求がラッチされます。 V_{CC} が再度 V_{SWITCH} の検知電圧を超えた場合、RECALL サイクルが自動的に開始され、完了するのに $t_{HRECALL}$ かかります。この期間中に、HSB は HSB ドライバーによって LOW に駆動されます。

ソフトウェア STORE

データは、ソフトウェア アドレス シーケンスによって SRAM から不揮発性メモリに転送されます。CY14V101LA / CY14V101NA のソフトウェア STORE サイクルは、 \overline{CE} または \overline{OE} に制御された読み出し処理を、6 つの特定のアドレスから正しい順番で実行することにより開始されます。STORE サイクルの間、以前の不揮発性データの消去がまず実行され、次に不揮発性素子のプログラムが実行されます。STORE サイクルが開始されると、それ以降の入出力は STORE サイクルが完了するまで無効になります。

特定のアドレスからの READ のシーケンスが STORE の開始に使われるため、シーケンス内で他の読み書きアクセスが干渉し

表 1. モード選択

\overline{CE}	\overline{WE}	\overline{OE}	\overline{BHE} 、 \overline{BLE} ^[7]	$A_{15} \sim A_0$ ^[8]	モード	I/O	電源
H	X	X	X	X	未選択	出力 High Z	スタンバイ
L	H	L	L	X	SRAM 読み出し	出力データ	アクティブ
L	L	X	L	X	SRAM 書き込み	入力データ	アクティブ
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore ディスエーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[9]

注:
7. \overline{BHE} および \overline{BLE} は x16 構成でのみ使用できます。
8. CY14V101LA に 17 のアドレスライン (CY14V101NA には 16 のアドレスライン) が存在しますが、13 のアドレスラインのみ ($A_{14} \sim A_2$) がソフトウェア モードの制御に使われます。残りのアドレスラインは「ドントケア」です。
9. 6 つの連続アドレス位置は指定された順番でなければなりません。 \overline{WE} は、不揮発性サイクルを可能にするため、全 6 サイクルの間中は HIGH でなければなりません。

ないこと、あるいはシーケンスがアボートされないこと、および STORE や RECALL が実行されないことが重要です。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行する必要があります。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x8FC0 の読み出し - STORE サイクルの開始

ソフトウェア シーケンスは \overline{CE} に制御された読み出しまたは \overline{OE} に制御された読み出しを伴いクロック供給され、すべての 6 つの READ シーケンスの間 \overline{WE} を HIGH 状態に維持することが必要です。シーケンスの 6 番目のアドレスが入力された後、STORE サイクルが開始され、チップが無効になります。HSB は LOW に駆動されます。 t_{STORE} サイクル時間が完了した後、SRAM は再度読み書き処理が有効になります。

ソフトウェア RECALL

データは、ソフトウェア アドレス シーケンスによって不揮発性メモリから SRAM に転送されます。ソフトウェア RECALL サイクルは、ソフトウェア STORE 開始と同様の方法で、読み込み処理のシーケンスによって開始されます。RECALL サイクルを開始するためには、 \overline{CE} または \overline{OE} に制御された読み出し処理を以下の順番で行う必要があります。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4C63 の読み出し、RECALL サイクルの開始

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされます。次に、不揮発性情報が SRAM セルに転送されます。 t_{RECALL} サイクル時間が経過した後、SRAM は再度読み書き処理が有効になります。RECALL 処理では、不揮発性素子内のデータは変更されません。

表 1. モード選択 (続き)

CE	WE	OE	BHE、BLE ^[7]	A ₁₅ ~ A ₀ ^[8]	モード	I/O	電源
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore イネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[10]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ I _{CC2} ^[10]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ ^[10]

AutoStore の防止

AutoStore 機能は AutoStore ディスエーブル シーケンスを開始することで無効にされます。読み出し処理のシーケンスは、ソフトウェア STORE の開始と同様の方法で実行されます。AutoStore ディスエーブルシーケンスを開始するために、CE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. 読み出しアドレス 0x8B45、AutoStore を無効

AutoStore 機能は AutoStore 有効シーケンスの起動によって再度有効化されます。読み込み処理のシーケンスは、ソフトウェア RECALL の開始と同様の方法で実行されます。AutoStore イネーブルシーケンスを開始するために、CE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. 読み出しアドレス 0x4B46、AutoStore を有効

AutoStore 機能が無効または再度有効にされた場合、手作業による STORE 処理 (ハードウェアまたはソフトウェア) を発行して、その後の電源切断サイクルの間、AutoStore 状態を保存する必要があります。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

データ保護

CY14V101LA/CY14V101NA は、外部から実行された STORE および書き込み処理をすべて禁止することにより、低電圧状態の間での破損からデータを保護します。低電圧状態は、 $V_{CC} < V_{SWITCH}$ の場合に検知されます。電源投入時に CY14V101LA/CY14V101NA が書き込みモードにある (CE と WE の両方が LOW) 場合、RECALL または STORE の後、 t_{LZHSB} (HSB から出力有効までの時間) が経過すると SRAM が有効になるまで書き込みは禁止されます。 $V_{CCQ} < V_{IODIS}$ 、I/O が無効の場合 (STORE が実行されません)。これは V_{CCQ} 電源の電圧低下状態の間に不注意による書き込みを保護します。

注:
10. 6 つの連続アドレス位置は指定された順番でなければなりません。WE は、不揮発性サイクルを可能にするため、全 6 サイクルの間中は HIGH でなければなりません。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。これらのユーザーガイドラインは試験されていません。

保存温度 -65°C ~ +150°C

最大累積保存時間:

周囲温度 150°C 1000 時間

周囲温度 85°C 20 年

最大接合部温度 150°C

V_{SS} を基準とした V_{CC} の電源電圧 -0.5V ~ 4.1V

V_{SS} を基準とした V_{CCQ} の電源電圧 -0.5V ~ 2.45V
High-Z 状態の

出力に印加される電圧 -0.5V ~ $V_{CCQ} + 0.5V$

入力電圧 -0.5V ~ $V_{CCQ} + 0.5V$

任意のピンからグランド電位への
過渡電圧 (20ns 以下) -2.0V ~ $V_{CCQ} + 2.0V$

パッケージ許容電力損失
($T_A = 25^\circ\text{C}$) 1.0W

表面実装のハンダ付け温度 (3 秒) +260°C

DC 出力電流 (一度に 1 出力、1 秒間) 15mA

静電放電時の電圧
(MIL-STD-883、メソッド 3015 による) >2001V

ラッチアップ電流 >140mA

動作範囲内

範囲	周囲温度	V_{CC}	V_{CCQ}
産業用	-40°C ~ +85°C	3.0V ~ 3.6V	1.65V ~ 1.95V

DC 電気的特性

動作範囲内において

パラメーター	説明	テスト条件	Min	Typ ^[11]	Max	単位
V_{CC}	電源電圧		3.0	3.3	3.6	V
V_{CCQ}			1.65	1.8	1.95	V
I_{CC1}	平均 V_{CC} 電流	$t_{RC} = 25\text{ns}$ $t_{RC} = 45\text{ns}$ 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	-	-	70	mA
I_{CCQ1}	平均 V_{CCQ} 電流		-	-	25	mA
I_{CC2}	STORE 中の平均 V_{CC} 電流	すべての入力は「ドント ケア」、 $V_{CC} = \text{Max}$ t_{STORE} 期間の平均電流	-	-	10	mA
I_{CC3}	$t_{RC} = 200\text{ns}$ 時の平均 V_{CC} 電流、 $V_{CC(Typ)}$ 、25°C	すべての入力は CMOS レベルで動作。 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	-	35	-	mA
I_{CCQ3}	$t_{RC} = 200\text{ns}$ 時の平均 V_{CCQ} 電流、 $V_{CCQ(Typ)}$ 、25°C		-	5	-	mA
I_{CC4}	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力は「ドント ケア」。 t_{STORE} 期間の平均電流	-	-	8	mA
I_{SB}	V_{CC} スタンバイ電流	$CE \geq (V_{CCQ} - 0.2V)$ $V_{IN} \leq 0.2V$ または $\geq (V_{CCQ} - 0.2V)$ 。不揮発性のサイクルが完了した後のスタンバイ電流レベル。入力はスタティック。f = 0MHz	-	-	8	mA
I_{IX} ^[12]	入力リーク電流 (HSB 以外)	$V_{CCQ} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CCQ}$	-1	-	+1	μA
	入力リーク電流 (HSB 用)	$V_{CCQ} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CCQ}$	-100	-	+1	μA

注:
11. 標準値は 25°C、 $V_{CC} = V_{CC(Typ)}$ 、および $V_{CCQ} = V_{CCQ(Typ)}$ のものです。100% のテストは行われていません。
12. V_{OH} が 1.07V の時、アクティブ HIGH と LOW 両方のドライバーが無効になると、HSB ピンの I_{OUT} が -4 μA となります。それらのドライバーが有効になっている時、標準の V_{OH} と V_{OL} が有効になります。このパラメーターは特性付けされていますが、テストされていません。

DC 電気的特性 (続き)

動作範囲内において

パラメーター	説明	テスト条件	Min	Typ ^[11]	Max	単位
I_{OZ}	オフ状態の出力リーク電流	$V_{CCQ} = \text{Max}$, $V_{SS} \leq V_{OUT} \leq V_{CCQ}$, \overline{CE} または $\overline{OE} \geq V_{IH}$ または $\overline{BHE}/\overline{BLE} \geq V_{IH}$ または $\overline{WE} \leq V_{IL}$	-1	-	+1	μA
V_{IH}	入力 HIGH 電圧	-	$0.7 \times V_{CCQ}$	-	$V_{CCQ} + 0.3$	V
V_{IL}	入力 LOW 電圧	-	-0.3	-	$0.3 \times V_{CCQ}$	V
V_{OH}	出力 HIGH 電圧	$I_{OUT} = -1\text{mA}$	$V_{CCQ} - 0.45$	-	-	V
V_{OL}	出力 LOW 電圧	$I_{OUT} = 2\text{mA}$	-	-	0.45	V
V_{CAP} ^[13]	ストレージコンデンサ	V_{CAP} ピンと V_{SS} 間	61	68	180	μF
V_{VCAP} ^[14, 15]	デバイスで V_{CAP} ピン上に駆動された最大電圧	$V_{CC} = \text{Max}$	-	-	V_{CC}	V

データ保持期間およびアクセス可能回数

パラメーター	説明	Min	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE 処理回数	1,000	K

静電容量

パラメーター ^[14]	説明	テスト条件	Max	単位
C_{IN}	入力容量 (\overline{BHE} 、 \overline{BLE} 、 \overline{HSB} を除く)	$T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$, $V_{CC} = V_{CC(Typ)}$, $V_{CCQ} = V_{CCQ(Typ)}$	7	pF
	入力容量 (\overline{BHE} 、 \overline{BLE} 、 \overline{HSB})		8	pF
C_{OUT}	出力容量 (\overline{HSB} を除く)		7	pF
	出力容量 (\overline{HSB})		8	pF

熱抵抗

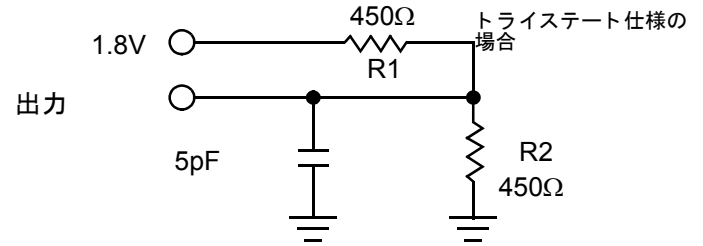
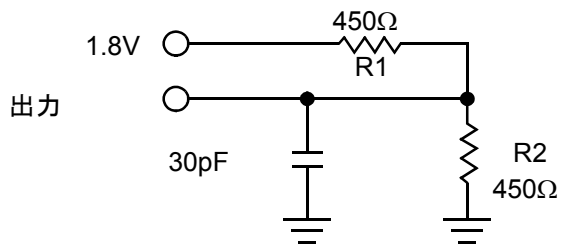
パラメーター ^[14]	説明	テスト条件	48 ボール FBGA	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	48.19	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		6.5	$^\circ\text{C/W}$

注:

- V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、即時の電源切断が発生しても AutoStore 処理が正常に完了するように電源投入 RECALL サイクルの間に V_{CAP} のコンデンサが必要な最小電圧まで充電されることを保証するものです。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することを常にお奨めします。 V_{CAP} オプションの詳細については、アプリケーション ノート AN43593 を参照してください。
- V_{CAP} ピン (V_{VCAP}) の最大電圧は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲内においての V_{CAP} コンデンサの定格電圧は、 V_{VCAP} 電圧より高くなければなりません。
- これらのパラメーターは設計保証されますが、テストされていません。

AC テスト 負荷

図 3. AC テスト 負荷



AC テスト 条件

入力パルス レベル..... 0V ~ 1.8V
 入力の立ち上がり／立ち下がり時間 (10% ~ 90%)... ≤1.8ns
 入力と出力のタイミング参照レベル..... 0.9V

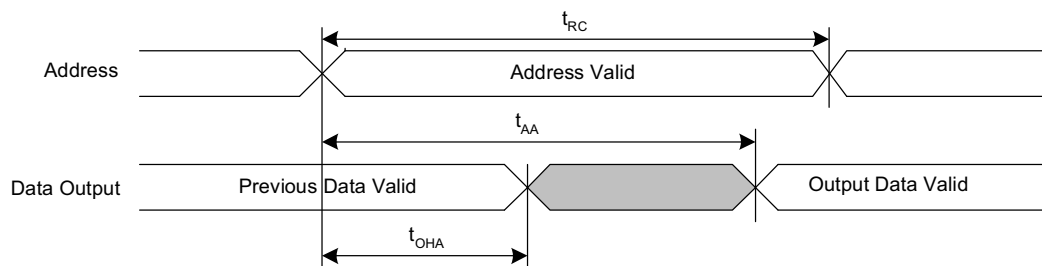
AC スイッチング特性

動作範囲内において

パラメーター ^[16]		説明	25ns		45ns		単位
サイプレス パラメーター	代替の パラメーター		Min	Max	Min	Max	
SRAM 読み出しサイクル							
t_{ACE}	t_{ACS}	チップ イネーブル アクセス時間	–	25	–	45	ns
$t_{RC}^{[17]}$	t_{RC}	読み出しサイクル時間	25	–	45	–	ns
$t_{AA}^{[18]}$	t_{AA}	アドレス アクセス時間	–	25	–	45	ns
t_{DOE}	t_{OE}	出カ イネーブル から データ有効までの時間	–	12	–	20	ns
$t_{OHA}^{[18]}$	t_{OH}	アドレス変更後の出力ホールド時間	3	–	3	–	ns
$t_{LZCE}^{[19, 20]}$	t_{LZ}	チップ イネーブル から 出力アクティブまでの時間	3	–	3	–	ns
$t_{HZCE}^{[19, 20]}$	t_{HZ}	チップ ディスエーブル から 出力非アクティブまでの時間	–	10	–	15	ns
$t_{LZOE}^{[19, 20]}$	t_{OLZ}	出カ イネーブル から 出力アクティブまでの時間	0	–	0	–	ns
$t_{HZOE}^{[19, 20]}$	t_{OHZ}	出力 ディスエーブル から 出力非アクティブまでの時間	–	10	–	15	ns
$t_{PU}^{[19]}$	t_{PA}	チップ イネーブル から 電源アクティブまでの時間	0	–	0	–	ns
$t_{PD}^{[19]}$	t_{PS}	チップ ディスエーブル から 電源スタンバイまでの時間	–	25	–	45	ns
$t_{DBE}^{[19]}$	–	バイト イネーブル から データ有効までの時間	–	12	–	20	ns
$t_{LZBE}^{[19]}$	–	バイト イネーブル から 出力アクティブまでの時間	0	–	0	–	ns
$t_{HZBE}^{[19]}$	–	バイト ディスエーブル から 出力非アクティブまでの時間	–	10	–	15	ns
SRAM 書き込みサイクル							
t_{WC}	t_{WC}	書き込みサイクル時間	25	–	45	–	ns
t_{PWE}	t_{WP}	書き込みパルス幅	20	–	30	–	ns
t_{SCE}	t_{CW}	チップ イネーブル から 書き込み終了までの時間	20	–	30	–	ns
t_{SD}	t_{DW}	データ セットアップ から 書き込み終了までの時間	10	–	15	–	ns
t_{HD}	t_{DH}	書き込み終了後のデータ ホールド時間	0	–	0	–	ns
t_{AW}	t_{AW}	アドレス セットアップ から 書き込み終了までの時間	20	–	30	–	ns
t_{SA}	t_{AS}	アドレス セットアップ から 書き込み開始までの時間	0	–	0	–	ns
t_{HA}	t_{WR}	書き込み終了後のアドレス ホールド時間	0	–	0	–	ns
$t_{HZWE}^{[19, 20, 21]}$	t_{WZ}	書き込みイネーブル から 出力ディスエーブルまでの時間	–	10	–	15	ns
$t_{LZWF}^{[19, 20]}$	t_{OW}	書き込み終了後の出力アクティブ時間	3	–	3	–	ns
t_{BW}	–	バイト イネーブル から 書き込み終了までの時間	20	–	30	–	ns

スイッチング波形

図 4. SRAM 読み出しサイクル #1 (アドレス制御)^[17, 18, 22]



注:

16. テスト条件は、信号遷移時間が 1.8ns 以下で、タイミングの基準レベルが $V_{CCQ}/2$ で、入力パルスレベルが $0 \sim V_{CCQ(typ)}$ で、指定された I_{OL}/I_{OH} を与える出力負荷と負荷容量が 9 ページの図 3 に示す通りであることを前提とします。
17. WE は SRAM 読み出しサイクル中に HIGH でなければなりません。
18. デバイスは、CE、OE および BHE/BLE が LOW で連続して選択されます。
19. これらのパラメーターは設計保証されますが、テストされていません。
20. 定常状態の出力電圧から $\pm 200mV$ で測定されます。
21. CE が LOW の時に WE が LOW であれば、出力は高インピーダンスのままです。
22. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。

スイッチング波形 (続き)

図 5. SRAM 読み出しサイクル 2 (\overline{CE} および \overline{OE} 制御) [23、24、25]

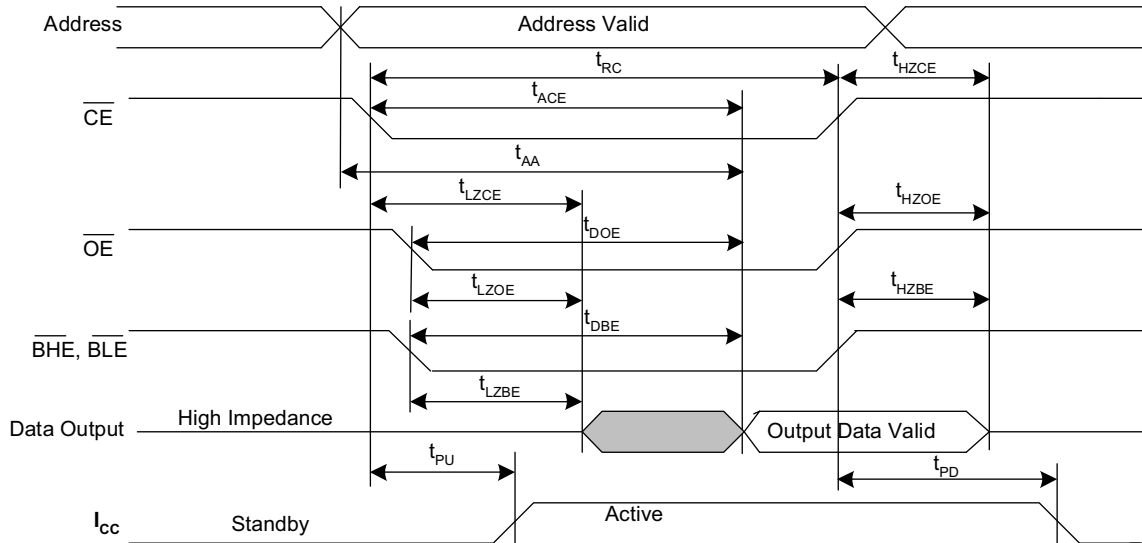
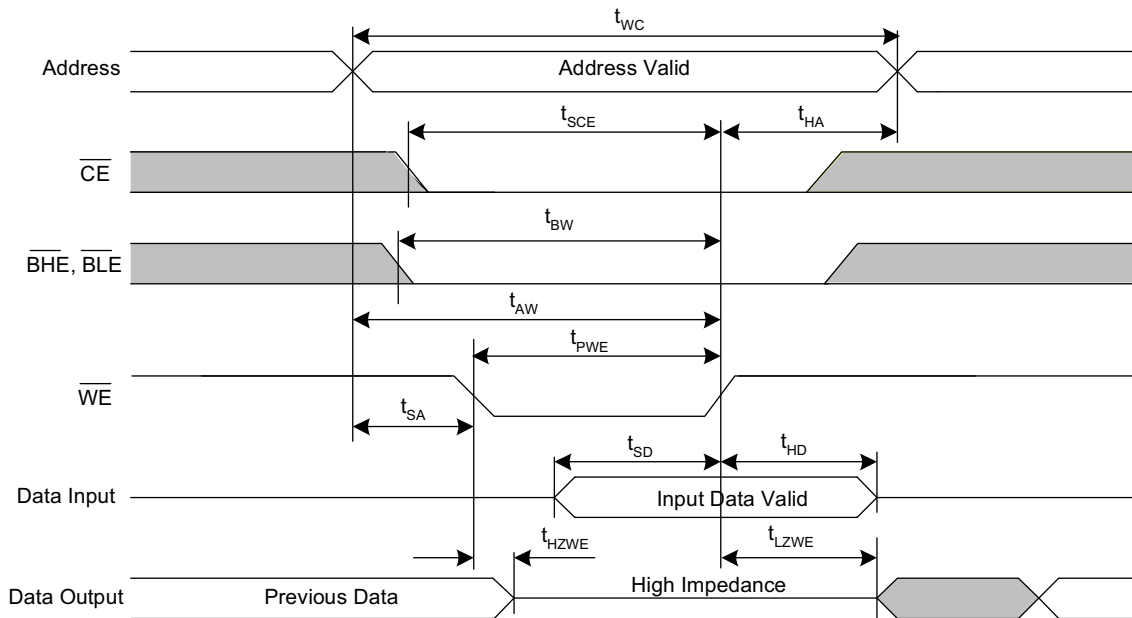


図 6. SRAM 書き込みサイクル 1 (\overline{WE} 制御) [23、25、26、27]



注:

- 23. \overline{BHE} と \overline{BLE} は ×16 構成でのみ使用できます。
- 24. \overline{WE} は SRAM 読み出しサイクル中は HIGH でなければなりません。
- 25. \overline{HSB} は読み出しと書き込みサイクル中は HIGH でなければなりません。
- 26. \overline{CE} が LOW の時に \overline{WE} が LOW であれば、出力は高インピーダンスのままです。
- 27. \overline{CE} または \overline{WE} はアドレスの遷移中は V_{IH} より高くなければなりません。

スイッチング波形 (続き)

図 7. SRAM 書き込みサイクル #2 ($\overline{\text{CE}}$ 制御) [28、29、30、31]

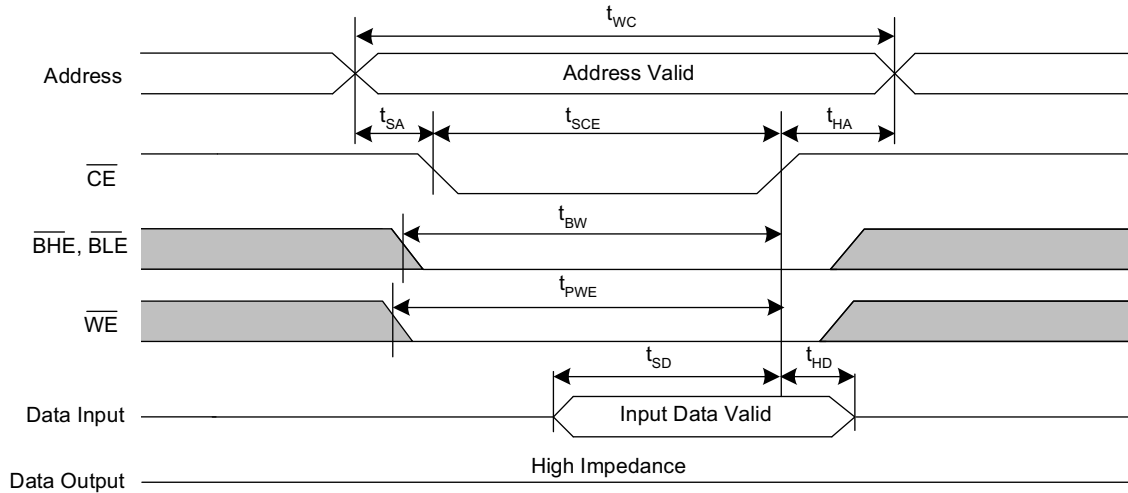
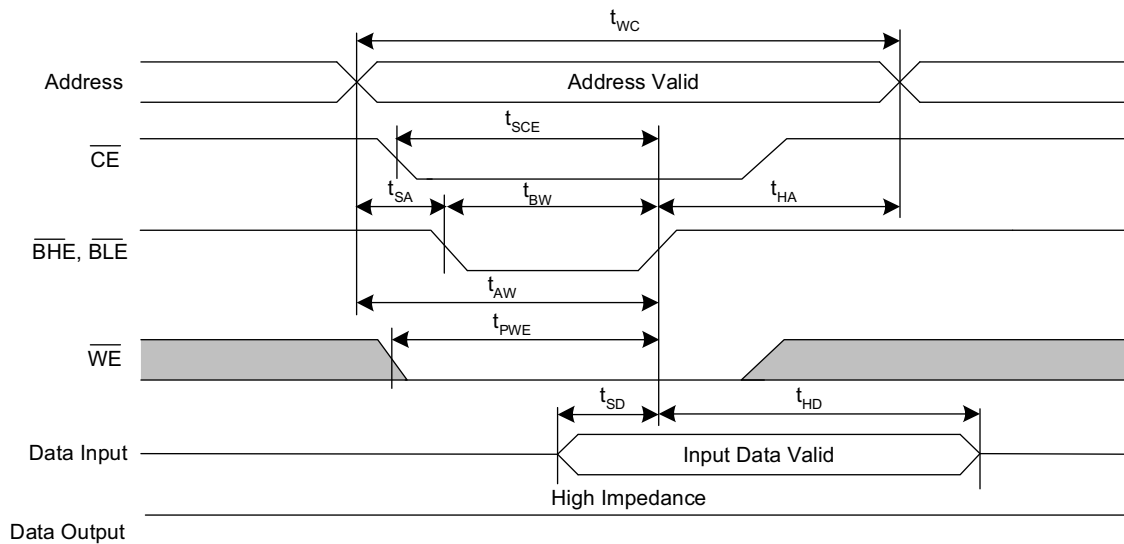


図 8. SRAM 書き込みサイクル #3 ($\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ 制御) [28、29、30、31]



注:

- 28. $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は x16 構成でのみ使用できます。
- 29. $\overline{\text{HSB}}$ は読み出しと書き込みサイクル中は HIGH でなければなりません。
- 30. $\overline{\text{CE}}$ が LOW の時に $\overline{\text{WE}}$ が LOW であれば、出力は高インピーダンスのままです。
- 31. $\overline{\text{CE}}$ または $\overline{\text{WE}}$ はアドレスの遷移中は V_{IH} より高くなければなりません。

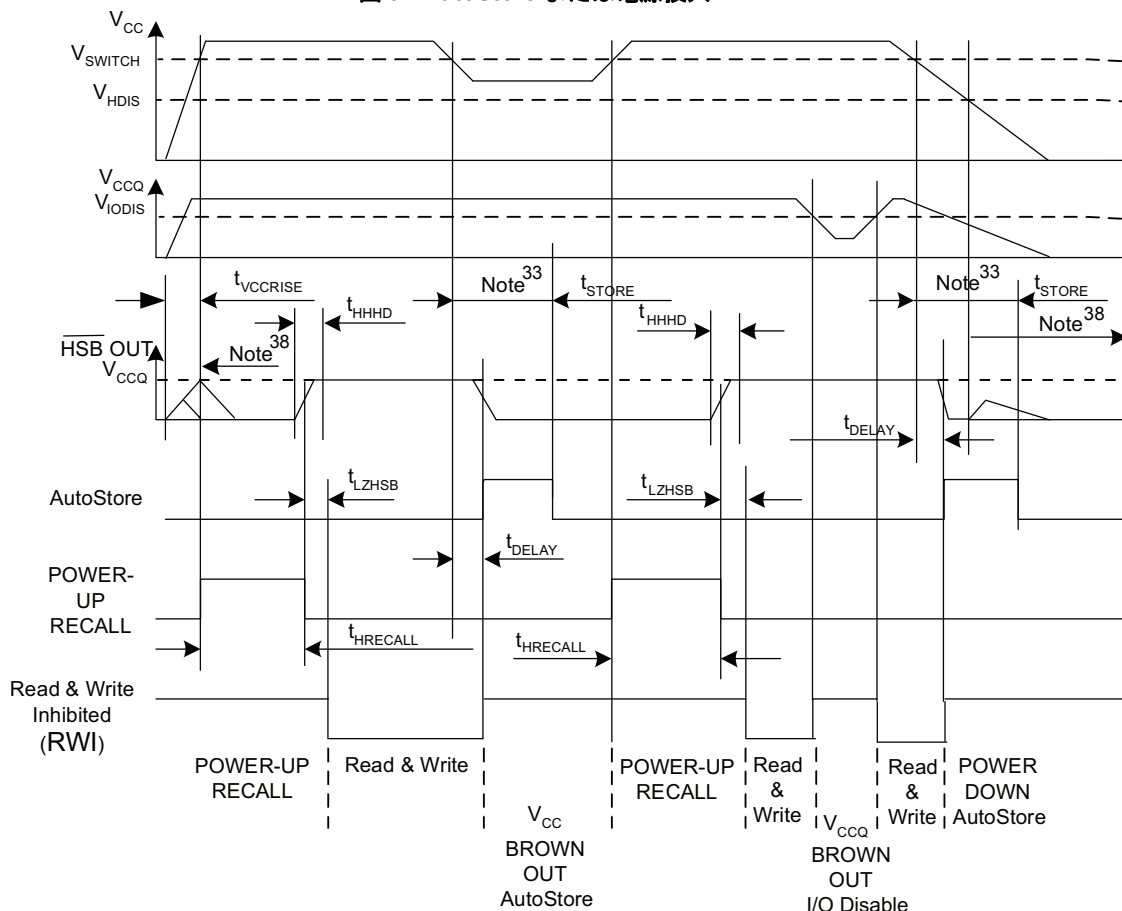
AutoStore / 電源投入 RECALL

動作範囲内において

パラメーター	説明	CY14V101LA/CY14V101NA		単位
		Min	最大値	
$t_{HRECALL}^{[32]}$	電源投入 RECALL 期間	–	20	ms
$t_{STORE}^{[33]}$	STORE サイクル期間	–	8	ms
$t_{DELAY}^{[34]}$	SRAM 書き込みサイクルを完了する時間	–	25	ns
V_{SWITCH}	V_{CC} の低電圧トリガーレベル	–	2.90	V
$V_{IODIS}^{[35]}$	V_{CCQ} での I/O デイスエーブル電圧	–	1.50	V
$t_{VCCRRISE}^{[36]}$	V_{CC} 立ち上がり時間	150	–	μ s
$V_{HDIS}^{[36]}$	HSB V_{CC} での出力デイスエーブル電圧	–	1.9	V
$t_{LZHSB}^{[36]}$	HSB から出力アクティブまでの時間	–	5	μ s
$t_{HHHD}^{[36]}$	HSB アクティブ HIGH 時間	–	500	ns

スイッチング波形

図 9. AutoStore または電源投入 RECALL^[37]



注:

32. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} を超えた時から始まります。
33. SRAM の書き込みが、最後の不揮発性サイクル以降に実施されていない場合、AutoStore またはハードウェア STORE は実行されません。
34. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み処理は、 t_{DELAY} 時間に応じて有効にされ続けています。
35. HSB は V_{IODIS} 電圧以下で定義されません。
36. これらのパラメーターは設計保証されますが、テストされていません。
37. 読み出しと書き込みサイクルは、STORE、RECALL、および V_{CC} が V_{SWITCH} 未満の時には無視されます。
38. 電源投入および電源切断中に、HSB ピンが外部抵抗を介してプルアップされている場合、HSB ピンにグリッチが発生します。

ソフトウェア制御の STORE / RECALL サイクル

動作範囲内において

パラメーター [39、40]	説明	25ns		45ns		単位
		Min	Max	Min	最大値	
t_{RC}	STORE / RECALL 開始のサイクル期間	25	–	45	–	ns
t_{SA}	アドレス セットアップ時間	0	–	0	–	ns
t_{CW}	クロック パルス幅	20	–	30	–	ns
t_{HA}	アドレス ホールド時間	0	–	0	–	ns
t_{RECALL}	RECALL 期間	–	200	–	200	μ s

スイッチング波形

図 10. \overline{CE} と \overline{OE} 制御によるソフトウェア STORE / RECALL サイクル [40]

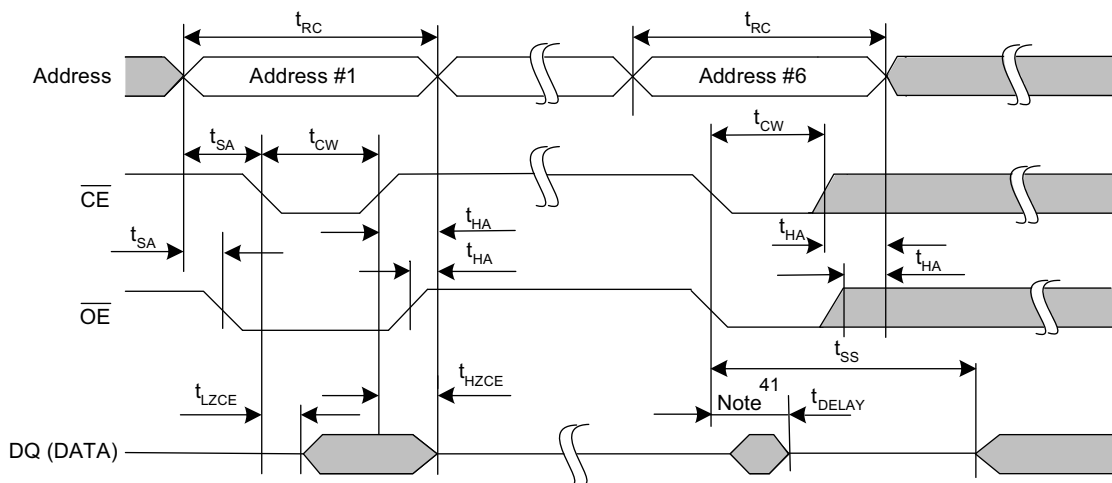
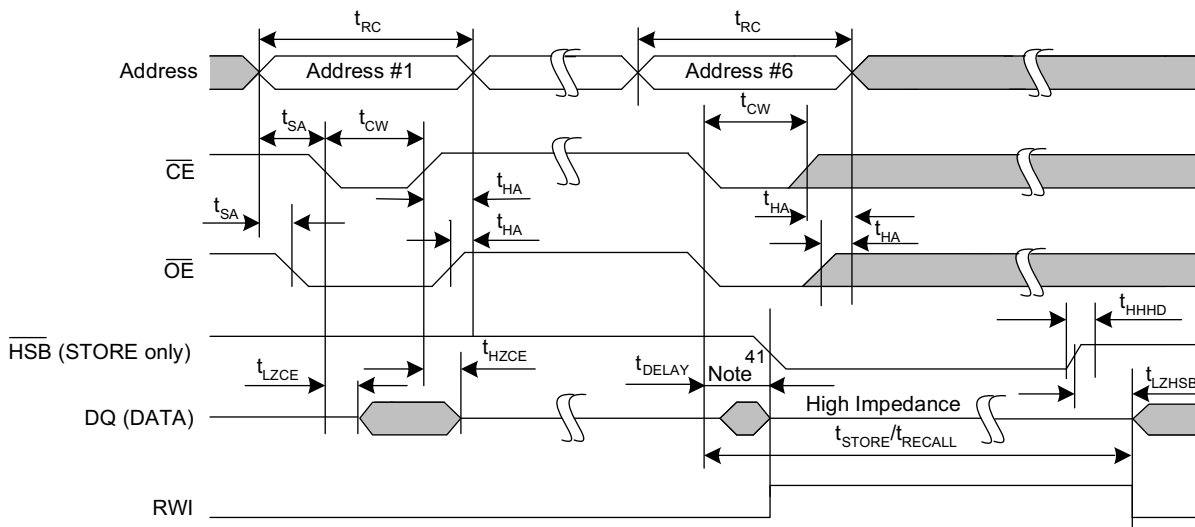


図 11. Autostore イネーブル/ディスエーブル サイクル



注:

- 39. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} に制御された読み出しを伴いクロック供給されます。
- 40. 6 連続アドレスは 5 ページの表 1 のリスト順に読み込まなければなりません。WE は、全 6 連続サイクル中は HIGH でなければなりません。
- 41. 出力が t_{DELAY} 時間で無効となるため、6 番目に読み込まれた DQ 出力データは無効となる可能性があります。

ハードウェア STORE サイクル

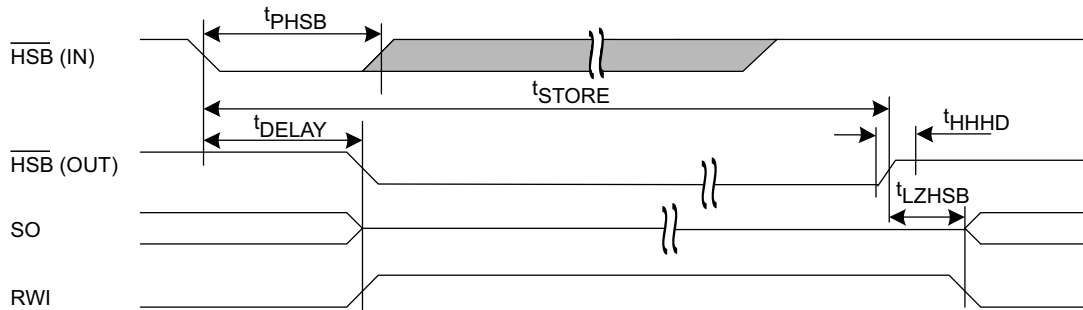
動作範囲内において

パラメーター	説明	CY14V101LA/CY14V101NA		単位
		Min	Max	
t_{DHSB}	書き込みラッチがセットされていない場合に、HSB から出力がアクティブになるまでの時間	-	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	-	ns
t_{SS} [42、43]	ソフトシーケンス処理時間	-	100	μ s

スイッチング波形

図 12. ハードウェア STORE サイクル [44]

Write Latch set



Write Latch not set

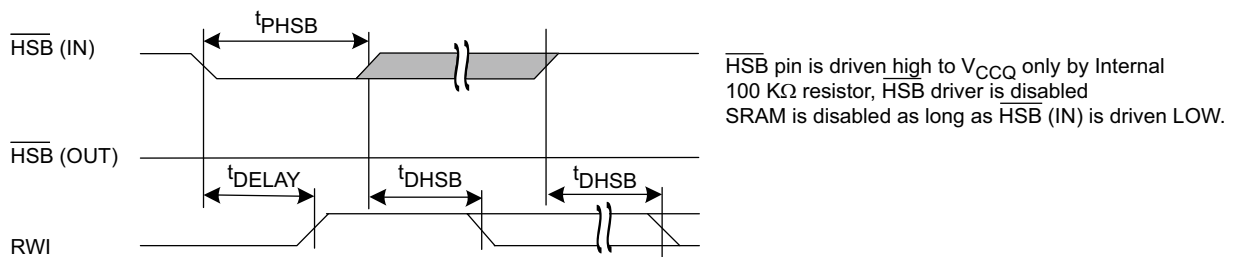
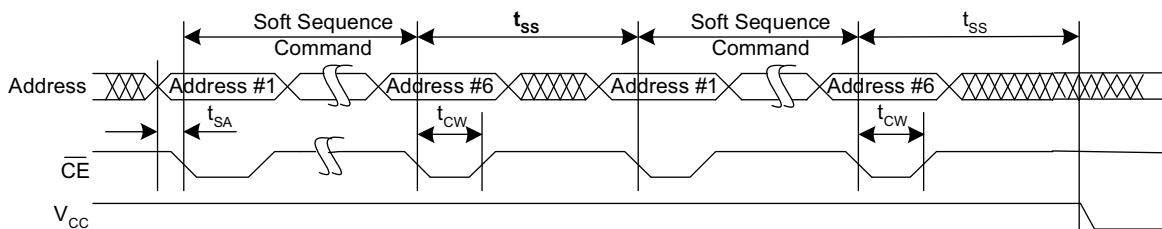


図 13. ソフトシーケンス処理時間 [42、43]



- 注:
- 42. これはソフトシーケンスコマンドを処理するのに必要な時間です。効果的にコマンドを登録するには、 V_{CC} と V_{CCQ} 電圧は HIGH でなければなりません。
 - 43. STORE や RECALL などのコマンドはその処理が完了するまで I/O をロックアウトします。これによりこの時間は更に増えます。詳しくは個々のコマンドを参照してください。
 - 44. SRAM の書き込みが、最後の不揮発性サイクル以降に実施されていない場合、AutoStore またはハードウェア STORE は実行されません。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままである必要があります。

表 2. x8 構成の SRAM 真理値表

CE	WE	OE	入力/出力 ^[45]	モード	電源
H	X	X	High Z	選択解除サイクル、電源切断	スタンバイ
L	H	L	データ出力 (DQ ₀ -DQ ₇)	読み出し	アクティブ
L	H	H	High Z	出力ディスエーブル	アクティブ
L	L	X	データ入力 (DQ ₀ -DQ ₇)	書き込み	アクティブ

表 3. x16 構成の SRAM 真理値表

CE	WE	OE	BHE ^[46]	BLE ^[46]	入力/出力 ^[45]	モード	電源
H	X	X	X	X	High Z	選択解除サイクル、電源切断	スタンバイ
L	X	X	H	H	High Z	出力ディスエーブル	アクティブ
L	H	L	L	L	データ出力 (DQ ₀ ~ DQ ₁₅)	読み出し	アクティブ
L	H	L	H	L	データ出力 (DQ ₀ ~ DQ ₇)、 DQ ₈ ~ DQ ₁₅ は High Z	読み出し	アクティブ
L	H	L	L	H	データ出力 (DQ ₈ ~ DQ ₁₅)、 DQ ₀ ~ DQ ₇ は High Z	読み出し	アクティブ
L	H	H	L	L	High Z	出力ディスエーブル	アクティブ
L	H	H	H	L	High Z	出力ディスエーブル	アクティブ
L	H	H	L	H	High Z	出力ディスエーブル	アクティブ
L	L	X	L	L	データ入力 (DQ ₀ ~ DQ ₁₅)	書き込み	アクティブ
L	L	X	H	L	データ入力 (DQ ₀ ~ DQ ₇)、 DQ ₈ ~ DQ ₁₅ は High Z	書き込み	アクティブ
L	L	X	L	H	データ入力 (DQ ₈ ~ DQ ₁₅)、 DQ ₀ ~ DQ ₇ は High Z	書き込み	アクティブ

注:

45. x8 構成ではデータ DQ₀ ~ DQ₇、x16 構成ではデータ DQ₀ ~ DQ₁₅。

46. BHE と BLE は x16 構成でのみ使用できます。

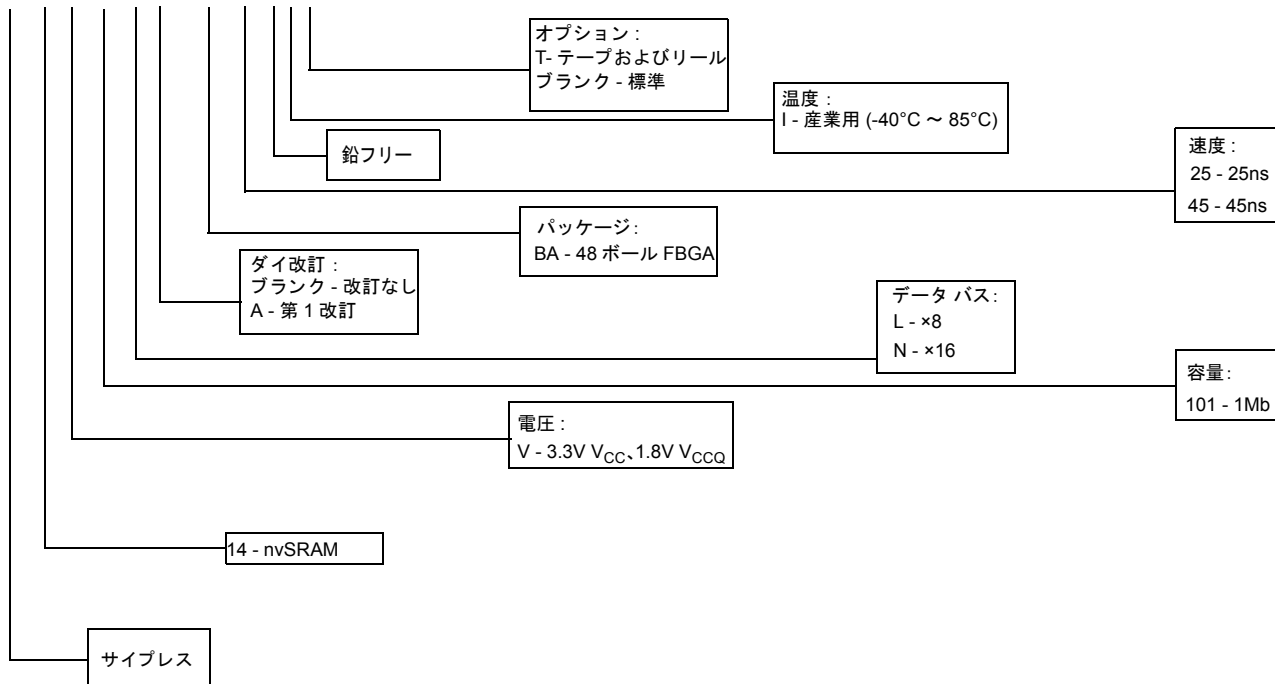
注文情報

速度 (ns)	注文コード	パッケージ図	パッケージタイプ	動作範囲
25	CY14V101LA-BA25XIT	51-85128	48 ボール FBGA	産業用
	CY14V101LA-BA25XI			
	CY14V101NA-BA25XIT			
	CY14V101NA-BA25XI			
45	CY14V101LA-BA45XIT			
	CY14V101LA-BA45XI			
	CY14V101NA-BA45XIT			
	CY14V101NA-BA45XI			

すべての部品は鉛フリーです。上記の表には最終的な情報が含まれています。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

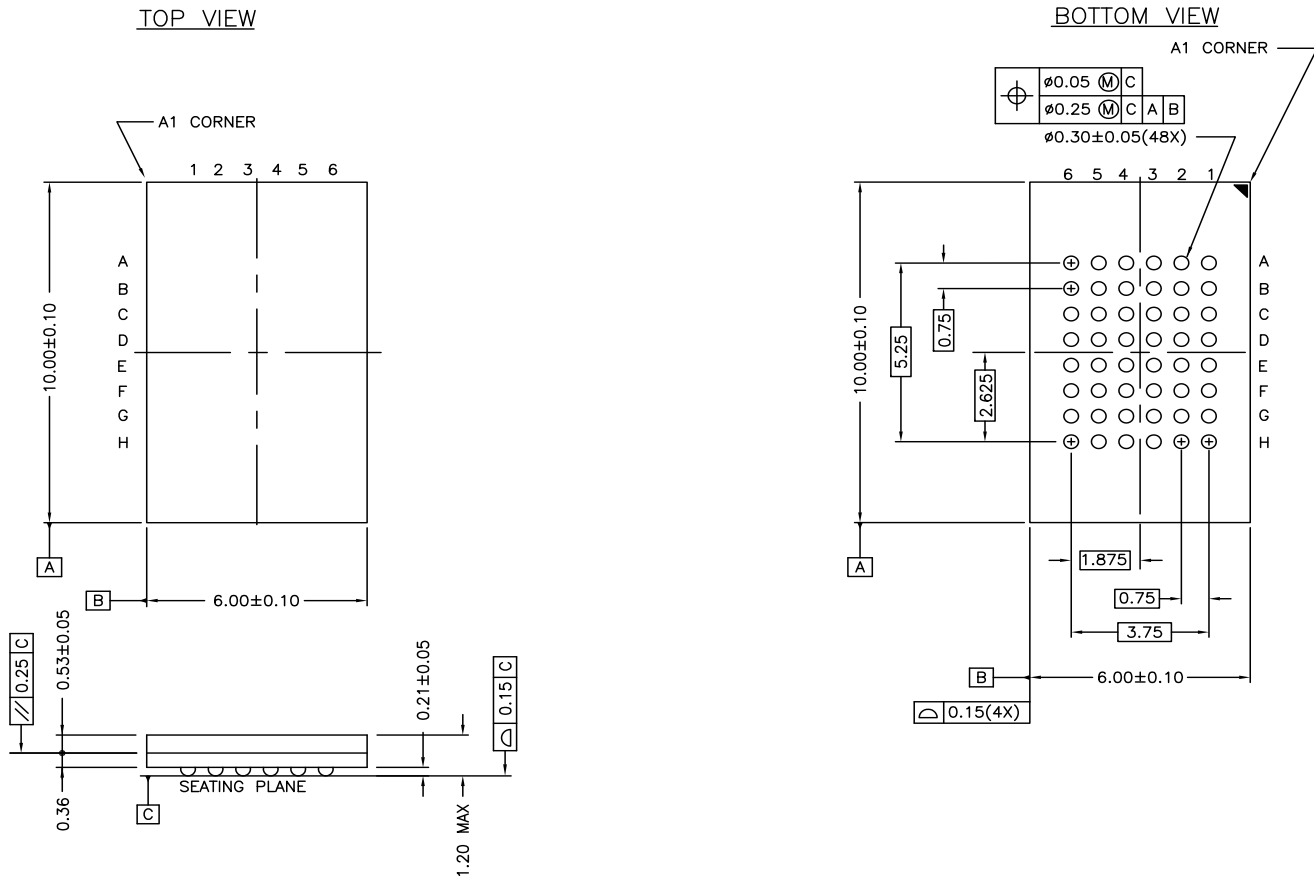
注文コードの定義

CY 14 V 101 L A - BA 25 X I T



パッケージ図

図 14. 48 ボール FBGA (6 × 10 × 1.2mm) BA48B パッケージ図、51-85128



51-85128 *G

略語

略語	説明
BHE	Byte High Enable (バイト HIGH イネーブル)
BLE	Byte Low Enable (バイト LOW イネーブル)
CE	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
FBGA	Fine-Pitch Ball Grid Array (微細ピッチ ボールグリッド アレイ)
HSB	Hardware STORE Busy (ハードウェアストアビジー)
I/O	Input/Output (入力/出力)
nvSRAM	non-volatile Static Random Access Memory (不揮発性スタティックランダムアクセスメモリ)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティックランダムアクセスメモリ)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
RWI	Read and Write Inhibited (読み出しおよび書き込み禁止)
WE	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
kΩ	キロオーム
μA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
μF	マイクロファラッド
MHz	メガヘルツ
μs	マイクロ秒
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY14V101LA / CY14V101NA、1M ビット (128K×8/64K×16) nvSRAM 文書番号 : 001-95854				
版	ECN 番号	変更者	発行日	変更内容
**	4722787	HZEN	05/14/2015	これは英語版 001-53953 Rev. *K を翻訳した日本語版 001-95854 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC[®] ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2009-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソースコード(ソフトウェアおよび/またはファームウェア)はサイプレス セミコンダクタ社(以下「サイプレス」)が所有し、全世界の特許権保護(米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。