

## 将 4 Mbit (256K x16) MRAM 替换为赛普拉斯 nvSRAM

作者: Shivendra Singh

相关项目: 无

相关器件系列: CY14x104NA

软件版本: 无

相关应用笔记: AN43593

AN6068 讨论了 Everspin 4 Mbit (256K x 16) MRAM 与 Cypress 4 Mbit (256K x 16) nvSRAM 器件在引脚分布上的主要区别。想要设计能在相同的引脚封装中可以由 MRAM 或高性能 nvSRAM 互换使用的 PCB, 并将它们作为电路板材料列表上可真正相互替换的源器件, 需要考虑这些区别。

### 简介

赛普拉斯的 nvSRAM 生产线可提供性能和可靠性最高的非易失性 RAM 产品。nvSRAM 技术结合了高速 SRAM 和非易失性存储器的性能特点。Everspin 的磁阻 RAM (MRAM) 是一个相同的非易失性解决方案, 其通过使用磁性来存储信息。该应用笔记讨论了在不需重新设计任何硬件前提下, 可在同插槽使用 MRAM 或 nvSRAM 的应用硬件设计。

为了执行自动存储, nvSRAM 需要使用一个存储电容器 (V<sub>CAP</sub>)。根据封装类型, nvSRAM 封装上的 V<sub>CAP</sub> 引脚相当于 MRAM 封装上的 DC (请勿连接) 或 NC (无连接) 引脚。使用 MRAM 时, 建议将 NC 或 DC 引脚保持为悬空状态, 或者将其连接到 V<sub>SS</sub>。这样, 当 nvSRAM 或 MRAM 互相替换使用时, nvSRAM 的存储电容器可以保持为连接状态。

nvSRAM 还具有一个 HSB 引脚, 用于监控器件状态或者驱动硬件存储。nvSRAM 封装上的 HSB 引脚相当于 MRAM 封装的 NC (无连接) 引脚。这样能够在同一的封装上互相替换使用 MRAM 和 nvSRAM。在该情况下, 能够保持与 HSB 相对应的 NC 引脚为悬空状态, 或者将其连接到 V<sub>CC</sub>。

nvSRAM 所具有的附加非易失性特性 (如: 通过硬件引脚 (HSB) 进行硬件启动存储, 或通过软序列进行软件启动存储和回读等) 只应用于 nvSRAM 器件, 在使用 nvSRAM 替换 MRAM 时, 不需要考虑这些特性。但特定的应用可以通过集成 nvSRAM 所具有的这些附加特性, 增强应用的功能和灵活性。关于 nvSRAM 附加特性的使用, 请参考赛普拉斯 nvSRAM 数据手册。

### 将 MRAM 替换为赛普拉斯 nvSRAM

本章节对赛普拉斯 4 Mbit (256K x 16) nvSRAM 和 MRAM 器件分别在 44 引脚 TSOP-II (薄小外型封装-II 类型) 和 48 球型焊盘 FBGA (小间距球栅阵列) 封装选择中各自的引脚和封装区别进行了详细说明。此外, 本章节还针对您在创建能够将相同封装的 nvSRAM 和 MRAM 使用于公用 PCB 封装时所需要考虑的设计问题进行了讨论。

#### 替换 44 TSOP-II 封装选择

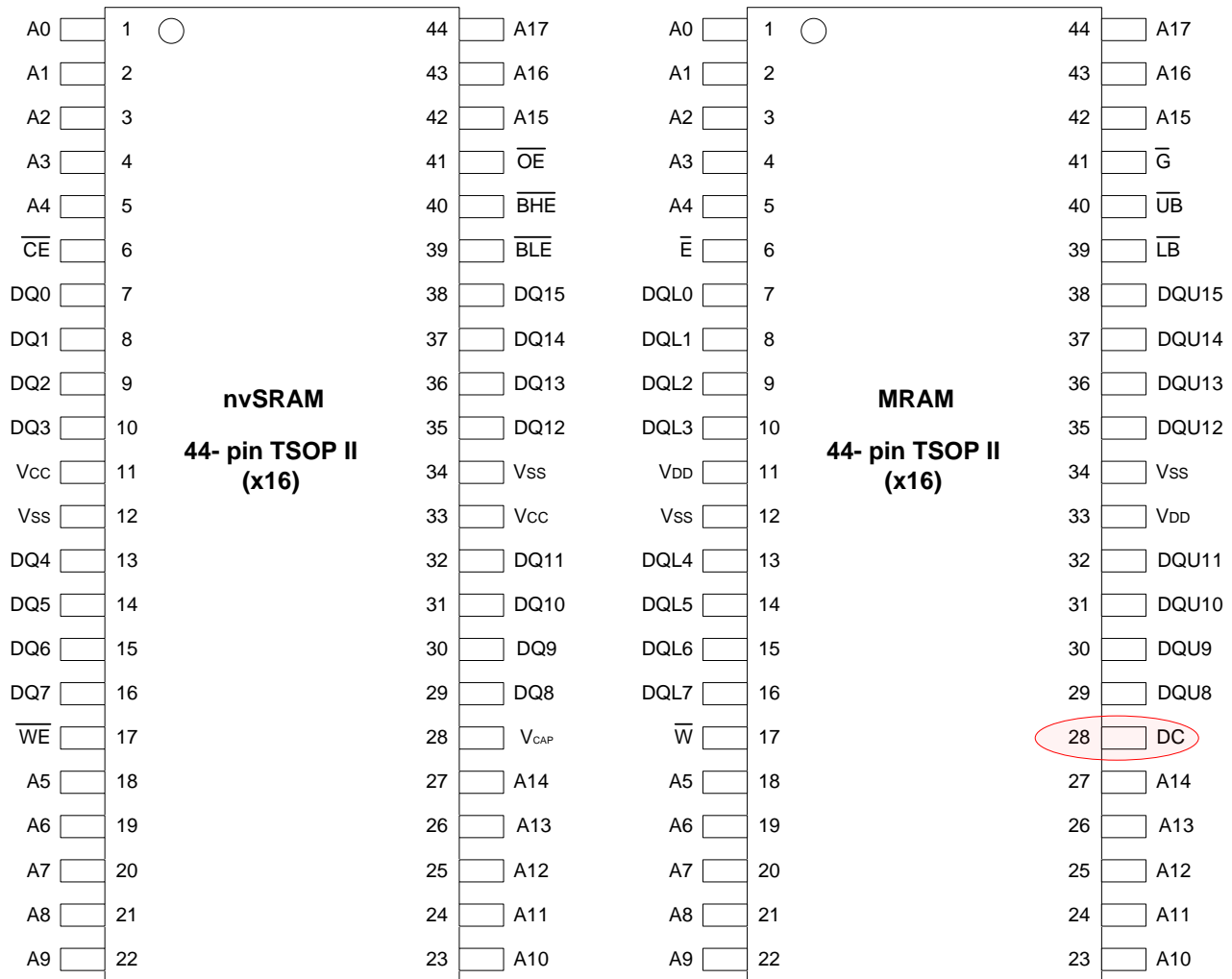
图 1 显示的是使用 44 引脚 TSOP-II 封装选择时在相同的 44 焊盘 PCB 封装上将 4Mbit (x16) MRAM 替换为 4Mbit (x16) nvSRAM 的例子。MRAM 和 nvSRAM 器件的 44 引脚的 TSOP-II 封装尺寸是相同的, 如表 1 所示。

表 1. 44 引脚 TSOP-II 封装比较

封装尺寸	MRAM (典型情况, 单位为 mm)	nvSRAM (典型情况, 单位为 mm)
长度	18.4	18.4
宽度	10.16	10.16
高度	1.2	1.2
间距	0.8	0.8

除引脚 28 (在 nvSRAM 上是 V<sub>CAP</sub> 引脚, 在 MRAM 上则被设计成 DC (请勿连接) 引脚) 外, nvSRAM 44 引脚 TSOP-II 引脚的分布与 MRAM 44 引脚 TSOP-II 引脚的分布完全相同。通过创建用于将电容器连接到 nvSRAM V<sub>CAP</sub> 的空间, 可不调整电路板也能将 nvSRAM 和 MRAM 互换。有关 nvSRAM V<sub>CAP</sub> 连接的详细信息, 请参考图 3。

图 1. MRAM 和 nvSRAM44 引脚 TSOP II 的封装比较



### 替换 48 球型焊盘 FBGA 封装选择

图 2 显示的是使用 48 球型焊盘 FBGA 封装选择时在相同的 48 焊盘 PCB 封装上将 4Mbit (x16) MRAM 替换为 4Mbit (x16) nvSRAM 的例子。MRAM 和 nvSRAM 器件的 48 球型焊盘 FBGA 封装的长度、宽度和高度均不一样。然而，48 球型焊盘 FBGA 封装的间距保持一致，这样可保证两种封装选择的替换引脚是兼容的。在这种情况下，应保留 PCB 上的封装防备区，以便保证能够在不影响 PCB 上其他组件的前提下顺利安装 nvSRAM 或 MRAM 48 球型焊盘 FBGA 封装。MRAM 和 nvSRAM 的 48 球型焊盘 FBGA 封装尺寸比较如表 2 所示。

表 2. 48 球型焊盘 FBGA 封装比较

封装尺寸	MRAM (典型情况, 单位为 mm)	nvSRAM (典型情况, 单位为 mm)
长度	8	10
宽度	8	6
高度	1.35	1.2
间距	0.75	0.75

除了 E3、G2 和 H6 等三脚（在 MRAM 中被设计成 DC（请勿连接）或 NC（无连接）引脚）外，nvSRAM 的引脚分布与 MRAM 完全相同。在 nvSRAM 中，E3、G2 和 H6 分别是  $V_{CAP}$ 、 $\overline{HSB}$  和 NC 引脚。通过创建用于将电容器连接到 nvSRAM  $V_{CAP}$  的空间，可不调整电路板也能将 nvSRAM 和

MRAM 互换。通过使用一个微上拉电阻 (~100 KΩ) 可在内部将 nvSRAM  $\overline{\text{HSB}}$  引脚调整为高电平。因此，如果在设计中不需要使用 nvSRAM  $\overline{\text{HSB}}$  引脚的性能， $\overline{\text{HSB}}$  引脚将被保持为悬空 (NC) 状态。nvSRAM NC 引脚的连接不受任

何限制。nvSRAM NC 引脚在设计中可以处于任何逻辑电平 (高或低电平)，也可以处于悬空 (NC) 状态。有关 nvSRAM  $V_{\text{CAP}}$  和  $\overline{\text{HSB}}$  的详细连接信息，请参考图 3。

图 2. MRAM 和 nvSRAM48 球型焊盘 FBGA 封装比较

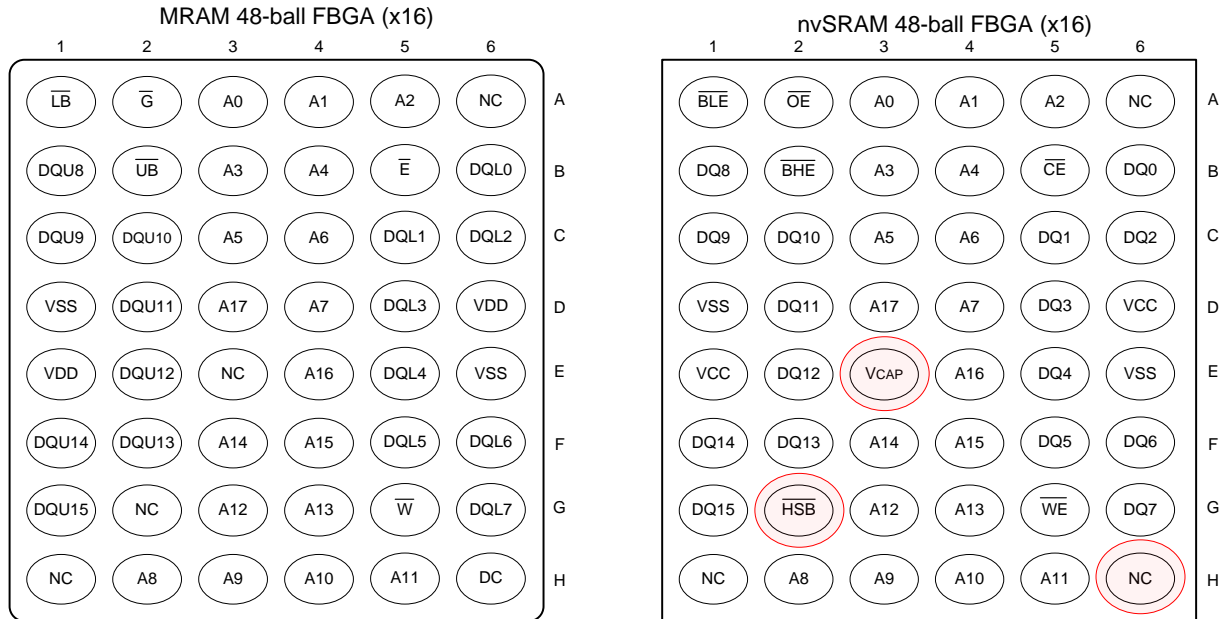
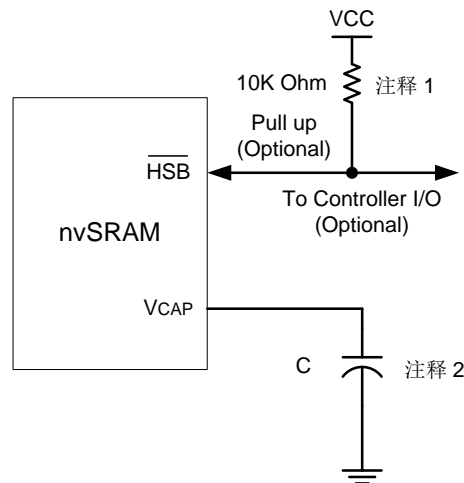


图 3. nvSRAM  $V_{\text{CAP}}$  和  $\overline{\text{HSB}}$  的连接



注释 1: 如果在设计中不需要使用 nvSRAM  $\overline{\text{HSB}}$  的性能，它被保持为悬空 (或 NC) 状态。在  $\overline{\text{HSB}}$  引脚与一个控制器 I/O 相连时，建议在该引脚上连接一个 4.7 KΩ ~ 10 KΩ 的外部上拉电阻。

注释 2: 当在相同封装上使用 MRAM 来替换 nvSRAM 时，nvSRAM  $V_{\text{CAP}}$  引脚上的电容器 (C) 在 BOM 中可被指定为 DNI (请勿设置)。使用 nvSRAM 时，应安装一个电容器 (C)。想要选择合适的  $V_{\text{CAP}}$ ，请参考 AN43593。

## 系统设计中的其他注意事项

nvSRAM 电源电路的设计可以保证在任何电源下降或掉电情况（在系统启动过程中可发生的情况）下，仍能保持其数据的完整性。nvSRAM 在加电和断电情况下不受任何影响。下面各章节对 nvSRAM 在加电和断电过程中的行为进行了介绍。

### 加电

当 nvSRAM  $V_{CC}$  电源达到某一内部阈值 ( $V_{SWITCH}$ ) 电平时，器件开始启动序列，然后再启动存储器回读，该存储器回读过程会将用户数据从非易失性存储器单元中回读到 SRAM 内，器件就绪进行访问。nvSRAM 需要最久为 20 ms ( $t_{HRECALL}$ ) 的时间来完成它的启动序列，序列完成后，控制器才能访问器件。在  $t_{HRECALL}$  期间，nvSRAM I/O 保持为禁用状态，因此，与 MRAM 不同，在加电过程中，所有 nvSRAM I/O 都不需要进行电源跟踪。MRAM 的控制信号 ( $\overline{E}$ 和 $\overline{W}$ ) 在加电过程中需要对电源进行跟踪，并且在电源达 MRAM 的最小操作电压 ( $V_{DD}$  最小值) 后 2 ms 的启动期间内保持为高电平。

使用 nvSRAM 时，建议在它的写入使能 ( $\overline{WE}$ ) 控制线路上连接一个大小为 4.7 k $\Omega$  ~ 10 k $\Omega$  的上拉电阻，可以避免在控制器处于启动过程中并且它的 I/O 保持为三态或悬空状态时，而 nvSRAM 在启动周期后已处于就绪状态时可能发生的意外写入操作。使用 MRAM 时，如果在控制器 I/O 处于悬空状态的情况下器件不正确进行写保护操作，也会遇到相同的问题。对于 MRAM，由意外写操作所造成的数据损坏是永久性的，并且不可修复，但对于 nvSRAM，损坏数据是可修复的。nvSRAM 将最后被存储的用户数据版本保

留在它的非易失性存储器内，在加电回读过程中，该数据会被回读到寄存器单元中的 SRAM 部分中，因此，主控制器通过执行软件回读操作并使用准确的用户数据替换掉被损坏的 SRAM 数据，能够轻松实现恢复原始数据。

### 断电

当 nvSRAM  $V_{CC}$  电源下降到 ( $V_{SWITCH}$ ) 阈值以下时，器件会通过使用  $V_{CAP}$  引脚上的小电容器中存储的电荷内部启动自动存储操作。当一个写入周期已被启动并仍在执行时，如果 nvSRAM 断开同  $V_{CC}$  电源的连接，那么在数据从单元中的 SRAM 部分被传输到非易失性元件前，会允许完成写入操作。这样可以保证最后被写入到 nvSRAM 中的数据字在自动存储过程中得以存储。在 nvSRAM 上启动一个自动存储周期时，I/O 将处于禁用状态，并且内部电路会从  $V_{CC}$  电源将自动切换到  $V_{CAP}$  电源。

### 总结

除 nvSRAM 的  $V_{CAP}$  引脚（相当于 MRAM 的无连接 (NC) 引脚）外，赛普拉斯 nvSRAM 的引脚分布与 MRAM 引脚分布完全相同。使用 MRAM 的用户，通过在 PCB 上设计用于将电容器连接到  $V_{CAP}$  的空间，很容易便能将 MRAM 替换成 nvSRAM。使用 MRAM 时，如果没有使用这个电容器，也不会对 MRAM 产生任何影响。添加  $V_{CAP}$  使得在需要 NVRAM 功能的应用中能够将 nvSRAM 和 MRAM 互为备用源使用。保留的各引脚为 MRAM 和 nvSRAM 提供了相同的特性。

## 文档修订记录

文档标题: AN6068 — 将 4 Mbit (256Kx16) MRAM 替换为赛普拉斯 nvSRAM

文档编号: 001-96572

修订版本	ECN	变更者	提交日期	变更说明
**	4710812	YLIU	04/02/2015	本文档版本号为 Rev**, 译自英文版 001-16633 Rev*C。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问赛普拉斯所在地。

### 产品

汽车级产品	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明和电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
无线/射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC®解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 5LP

### 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体  
198 Champion Court  
San Jose, CA 95134-1709  
电话 : 408-943-2600  
传真 : 408-943-4730  
网站地址 : [www.cypress.com](http://www.cypress.com)

©赛普拉斯半导体公司，2012-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可证的限制。