

エラー訂正コード (ECC) 内蔵の 4M ビット (256K ワード × 16 ビット) スタティック RAM

特徴

- 高速 : 45ns/55ns
- スタンバイ時の超低消費電力
 - 標準スタンバイ電流 : 3.5μA
 - 最大スタンバイ電流 : 8.7μA
- シングルビット エラー訂正用の内蔵 ECC^[1]
- 広い電圧範囲 : 1.65V ~ 2.2V、2.2V ~ 3.6V、4.5V ~ 5.5V
- 1.0V データ保持
- TTL 互換の入出力
- 1 ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 鉛フリー-48 ボール VFBGA および 44 ピン TSOP II パッケージ

機能詳細

CY62147G および CY62147GE は、ECC を内蔵した高性能 CMOS 低電力 (MoBL) SRAM デバイスです。両方のデバイスは、シングルとデュアル チップ イネーブル オプション、および複数のピン配置で提供されます。CY62147GE デバイスは読み出しサイクル中のエラー検出と修正イベントを通知する ERR ピンを備えています。

シングル チップ イネーブル入力を持つデバイスは、チップ イネーブル入力 (\overline{CE}) を LOW にアサートすることでアクセスされます。デュアル チップ イネーブル デバイスは、両方のチップ イネーブル入力を (CE_1 を LOW に、および CE_2 を HIGH に) アサートすることでアクセスされます。

データ書き込みは、データを I/O₀ ~ I/O₁₅ ピンに、アドレスを A₀ ~ A₁₇ ピンに提供する間に、書き込みイネーブル (\overline{WE}) 入力

を LOW にアサートすることで実行されます。バイト ハイ イネーブル (\overline{BHE}) とバイト ロー イネーブル (\overline{BLE}) 入力は指定されたメモリ位置の上位バイトと下位バイトへの書き込み動作を制御します。 \overline{BHE} は、I/O₈ ~ I/O₁₅ を制御し、 \overline{BLE} は、I/O₀ ~ I/O₇ を制御します。

データ読み出しは、出力イネーブル (\overline{OE}) 入力をアサートして、アドレスラインに必要なアドレスを提供することによって実行されます。読み出しデータは、I/O ライン (I/O₀ ~ I/O₁₅) 上でアクセスできます。バイト アクセスは、必要なバイト イネーブル信号 (\overline{BHE} 、 \overline{BLE}) をアサートして、指定されたアドレス位置からデータの上位バイトまたは下位バイトのいずれかを読み出すことによって実行されます。

デバイスが選択解除 (シングルチップ イネーブル方式のデバイスの場合は \overline{CE} を HIGH、デュアル チップ イネーブル方式のデバイスの場合は CE_1 を HIGH、 CE_2 を LOW) にされるか、または制御信号 (\overline{OE} 、 \overline{BLE} 、 \overline{BHE}) がアサート解除される時、全ての I/O (I/O₀ ~ I/O₁₅) は HI-Z 状態になります。

このデバイスは、独自の「Byte Power down」機能を備えています。両方のバイトイネーブル (\overline{BHE} と \overline{BLE}) が無効にされると、デバイスはチップイネーブルの状態に関係なく、スムーズにスタンバイモードに切り替わり、電力を節約します。

CY62147GE デバイスでは、アクセスされた位置におけるシングルビットエラーの検出および訂正は、ERR 出力のアサート (ERR = HIGH) により行われます^[1]。読み出しモードと書き込みモードの詳細な説明については、[16 ページの真理値表 - CY62147G/CY62147GE](#) をご参照ください。

論理ブロック図は 2 ページに示されています。

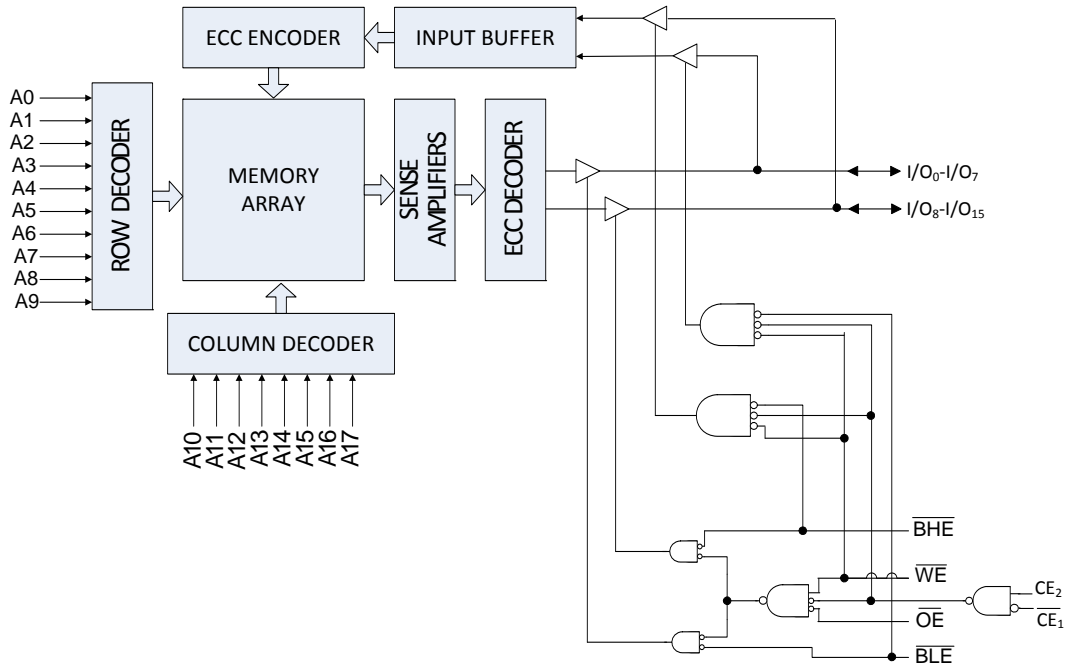
製品ポートフォリオ

製品 ^[2]	特長とオプション (ピンコンフィギュレーションの節を参照)	範囲	V _{CC} の範囲 (V)	速度 (ns)	消費電力			
					動作時の I _{CC} (mA)		スタンバイ時の I _{SB2} (μA)	
					f = f _{max}			
					Typ ^[3]	Max	Typ ^[3]	Max
CY62147G(E)18	シングルまたは	産業用	1.65V ~ 2.2V	55	15	20	3.5	10
CY62147G(E)30 CY621472G30	デュアルのチップ イネーブル		2.2V ~ 3.6V	45	15	20	3.5	8.7
CY62147G(E)	オプションの ERR ピン		4.5V ~ 5.5V					

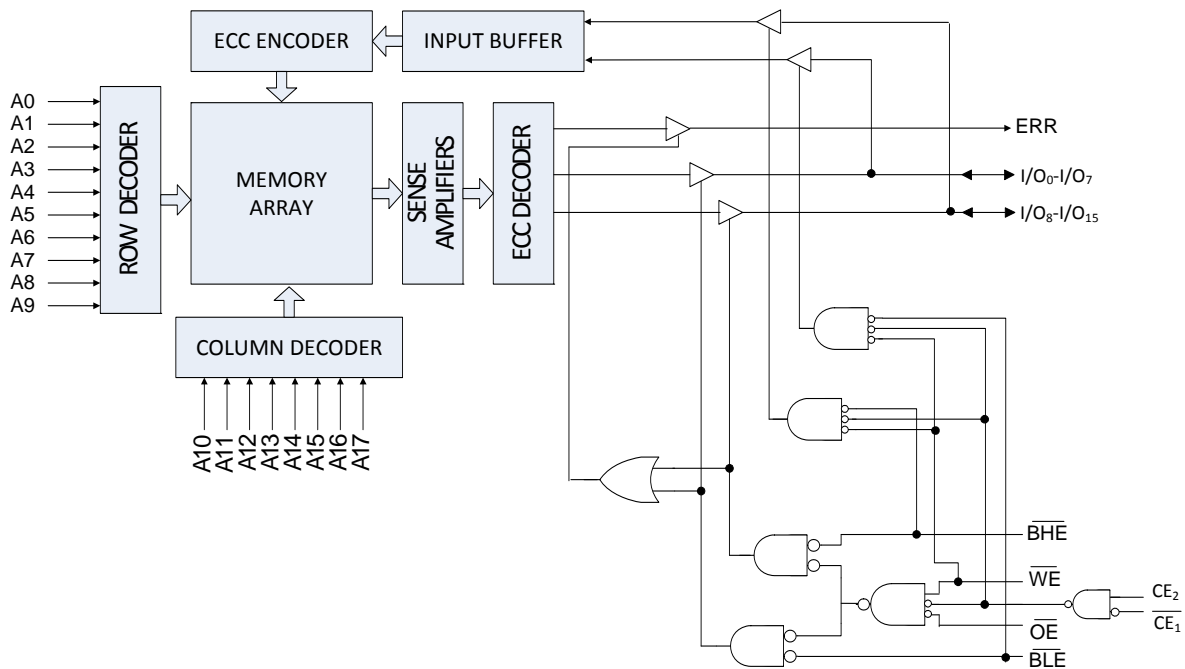
注:

1. このデバイスは、エラー検出時に自動ライトバックに対応しません。
2. ERR ピンは、注文コードに ERR オプション「E」があるデバイスにのみ備えられています。[17 ページの注文情報](#)をご参照ください。
3. 標準値は単なる参照値であり、保証または試験されていません。標準値は、V_{CC} = 1.8V (V_{CC} が 1.65V ~ 2.2V の場合)、V_{CC} = 3V (V_{CC} が 2.2V ~ 3.6V)、および V_{CC} = 5V (V_{CC} が 4.5V ~ 5.5V)、T_A = 25°C で測定しています。

論理ブロック図ー CY62147G



論理ブロック図ー CY62147GE



目次

ピン配置 – CY62147G	4	ERR 出力 – CY62147GE	16
ピン配置 – CY62147GE	5	注文情報	17
ピン配置 – CY621472G	6	注文コードの定義	17
最大定格	7	パッケージ図	18
動作範囲	7	略語	19
DC 電気的特性	7	本書の表記法	19
静電容量	9	測定単位	19
熱抵抗	9	改訂履歴	20
AC テストの負荷と波形	9	セールス、ソリューション、および法律情報	21
データ保持特性	10	ワールドワイド販売と設計サポート	21
データ保持波形	10	製品	21
AC スイッチング特性	11	PSoC [®] ソリューション	21
スイッチング波形	12	サイプレス開発者コミュニティ	21
真理値表 – CY62147G/CY62147GE	16	テクニカル サポート	21

ピン配置 – CY62147G

図 1. 48 ボール VFBGA ピン配置 (ERR なしのデュアル
チップ イネーブル)、CY62147G^[4]

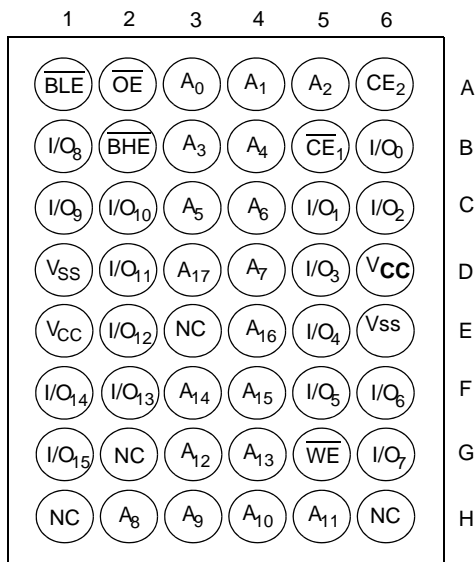


図 2. 48 ボール VFBGA ピン配置 (ERR なしのシングル
チップ イネーブル)、CY62147G^[4]

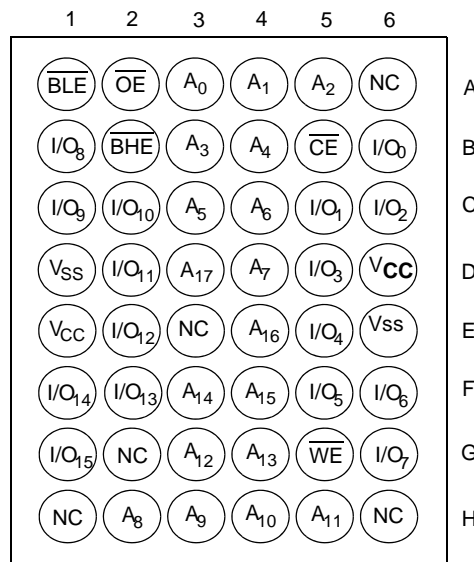
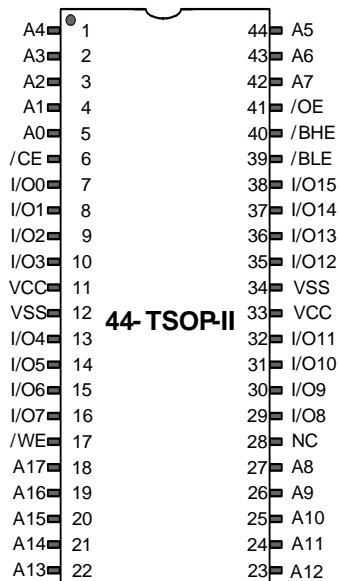


図 3. 44 ピン TSOP II ピン配置 (ERR なしのシングル チップ イネーブル)、CY62147G^[4]



注:

4. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートをご参照ください。

ピン配置 – CY62147GE

図 4. 48 ボール VFBGA ピン配置
(ERR 付きのデュアル チップ イネーブル)、CY62147GE [5, 6]

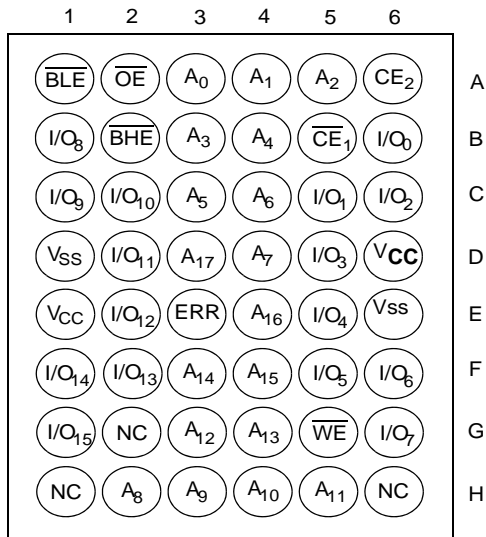


図 5. 48 ボール VFBGA ピン配置
(ERR 付きのシングル チップ イネーブル)、CY62147GE [5, 6]

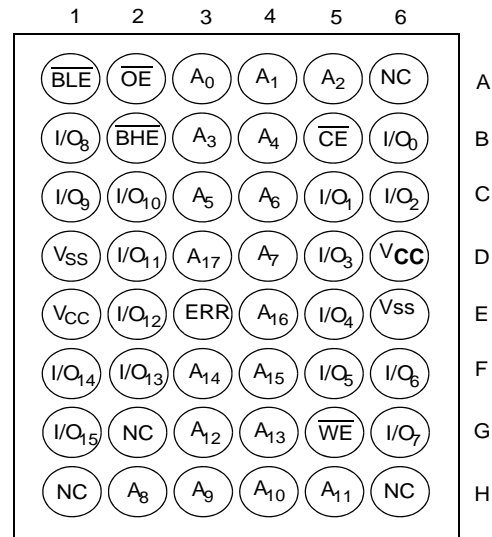
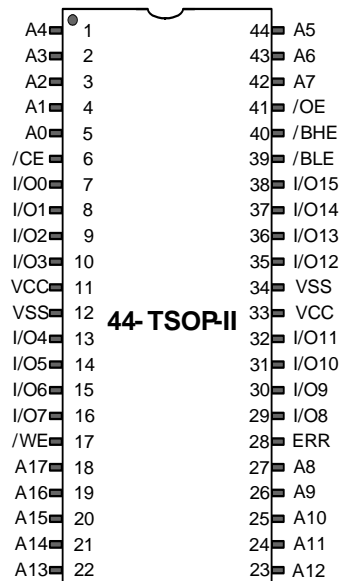


図 6. 44 ピン TSOP II ピン配置 (ERR 付きのシングル チップ イネーブル)、CY62147GE [5, 6]

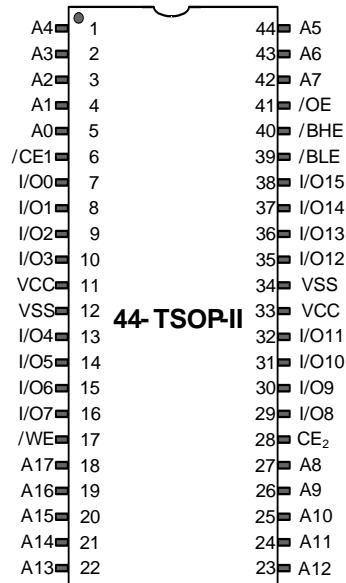


注:

- NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートをご参照ください。
- ERR は出力ピンです。

ピン配置 – CY621472G

図 7. 44 ピン TSOP II ピン配置 (ERR なしのデュアル チップ イネーブル)、CY621472G



最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザーガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

グラウンド電位に対する

供給電圧^[7] -0.5V ~ V_{CC} + 0.5V

HI-Z 状態の出力に

印加される DC 電圧^[7] -0.5V ~ V_{CC} + 0.5V

DC 入力電圧^[7] -0.5V ~ V_{CC} + 0.5V

出力 (LOW 状態) への出力電流 20mA

静電放電時の電圧

(MIL-STD-883、Method 3015) > 2001V

ラッチアップ電流 >140mA

動作範囲

グレード	周囲温度	V _{CC}
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

DC 電気的特性

動作範囲は -40°C ~ 85°C

パラメーター	説明	テスト条件	45/55ns			単位	
			Min	Typ	Max		
V _{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OH} = -0.1mA	1.4	-	-	V
		2.2V ~ 2.7V	V _{CC} = Min、I _{OH} = -0.1mA	2	-	-	
		2.7V ~ 3.6V	V _{CC} = Min、I _{OH} = -1.0mA	2.2	-	-	
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -1.0mA	2.4	-	-	
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -0.1mA	V _{CC} - 0.5 ^[8]	-	-	
V _{OL}	出力 LOW 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OL} = 0.1mA	-	-	0.2	V
		2.2V ~ 2.7V	V _{CC} = Min、I _{OL} = 0.1mA	-	-	0.4	
		2.7V ~ 3.6V	V _{CC} = Min、I _{OL} = 2.1mA	-	-	0.4	
		4.5V ~ 5.5V	V _{CC} = Min、I _{OL} = 2.1mA	-	-	0.4	
V _{IH}	入力 HIGH 電圧	1.65V ~ 2.2V	-	1.4	-	V _{CC} + 0.2 ^[7]	V
		2.2V ~ 2.7V	-	2	-	V _{CC} + 0.3 ^[7]	
		2.7V ~ 3.6V	-	2	-	V _{CC} + 0.3 ^[7]	
		4.5V ~ 5.5V	-	2.2	-	V _{CC} + 0.5 ^[7]	
V _{IL}	入力 LOW 電圧	1.65V ~ 2.2V	-	-0.2 ^[7]	-	0.4	V
		2.2V ~ 2.7V	-	-0.3 ^[7]	-	0.6	
		2.7V ~ 3.6V	-	-0.3 ^[7]	-	0.8	
		4.5V ~ 5.5V	-	-0.5 ^[7]	-	0.8	
I _{IX}	入力リーク電流	GND ≤ V _{IN} ≤ V _{CC}		-1	-	+1	μA
I _{OZ}	出力リーク電流	GND ≤ V _{OUT} ≤ V _{CC} 、 出力が無効		-1	-	+1	μA
I _{CC}	V _{CC} の動作時電源電流	Max V _{CC} 、I _{OUT} = 0mA、 CMOS レベル	f = 22.22 MHz (45 ns)	-	15	20	mA
			f = 18.18 MHz (55 ns)	-	15	20	mA
			f = 1MHz	-	3.5	6	mA

注:

7. 2ns 未満のパルス幅の場合、V_{IL(min)} = -2.0V および V_{IH(max)} = V_{CC} + 2V。

8. このパラメーターは設計保証であり、試験されていません。

DC 電気的特性 (続き)

動作範囲は -40°C ~ 85°C

パラメーター	説明	テスト条件	45/55ns			単位	
			Min	Typ	Max		
I _{SB1} ^[9]	自動電源切断時の電流 - CMOS 入力 ; V _{CC} = 2.2V ~ 3.6V および 4.5V ~ 5.5V	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ または $(\overline{BHE} \text{ および } \overline{BLE}) \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ 、 $V_{IN} \leq 0.2V$ 、 $f = f_{max}$ (アドレスとデータのみ)、 $f = 0$ (\overline{OE} および \overline{WE})、Max V _{CC}	-	3.5	8.7	μA	
	自動電源切断時の電流 - CMOS 入力 V _{CC} = 1.65 ~ 2.2V		-	-	10		
I _{SB2} ^[9]	自動電源切断時の電流 - CMOS 入力 V _{CC} = 2.2V ~ 3.6V および 4.5V ~ 5.5V	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ または $(\overline{BHE} \text{ および } \overline{BLE}) \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$ 、Max V _{CC}	25°C ^[10]	-	3.5	3.7	μA
			40°C ^[10]	-	-	4.8	
			70°C ^[10]	-	-	7	
			85°C	-	-	8.7	
	自動電源切断時の電流 - CMOS 入力 V _{CC} = 1.65V ~ 2.2V	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ または $(\overline{BHE} \text{ および } \overline{BLE}) \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$ 、Max V _{CC}	25°C ^[10]	-	3.5	4.3	μA
			40°C ^[10]	-	-	5	
			70°C ^[10]	-	-	7.5	
			85°C	-	-	10	

注:

9. I_{SB1}/I_{SB2}/I_{CCDR} 仕様を満たすために、チップイネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにすることができます。

10. I_{SB2} は 25°C、40°C、70°C のものであり、85°C の値は設計保証であり 100% 試験されてはいません。

静電容量

パラメーター ^[11]	項目	テスト条件	Max	単位
C_{IN}	入力容量	$T_A=25^\circ\text{C}$ 、 $f=1\text{MHz}$ 、 $V_{CC}=V_{CC}(\text{typ})$	10	pF
C_{OUT}	出力容量		10	pF

熱抵抗

パラメーター ^[11]	項目	テスト条件	48 ボール VFBGA	44 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	無風状態、 3×4.5 インチの 4 層 プリント回路基板に半田付け	31.35	68.85	$^\circ\text{C}/\text{W}$
Θ_{JC}	熱抵抗 (接合部からケース)		14.74	15.97	$^\circ\text{C}/\text{W}$

AC テストの負荷と波形

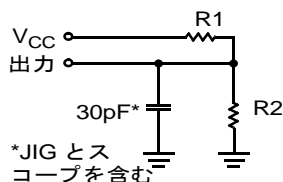
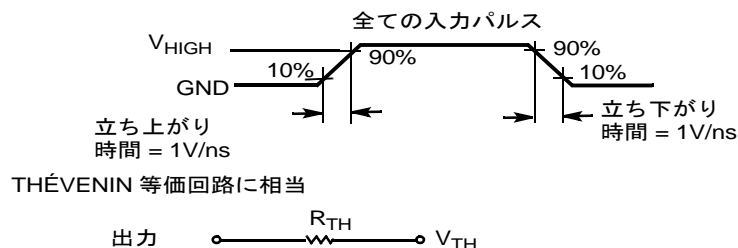


図 8. AC テストの負荷と波形^[12]



パラメーター	1.8V	2.5V	3.0V	5.0V	単位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R_{TH}	6000	8000	645	639	Ω
V_{TH}	0.80	1.20	1.75	1.77	V

注:

- 開発時とこれらのパラメーターに影響を与える可能性のある設計/プロセス変更があった後にテストされます。
- 完全なデバイス動作には、 V_{DR} から $V_{CC}(\text{min})$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ 以上であるか、または $V_{CC}(\text{min})$ で安定する時間が $100\mu\text{s}$ 以上である必要があります。

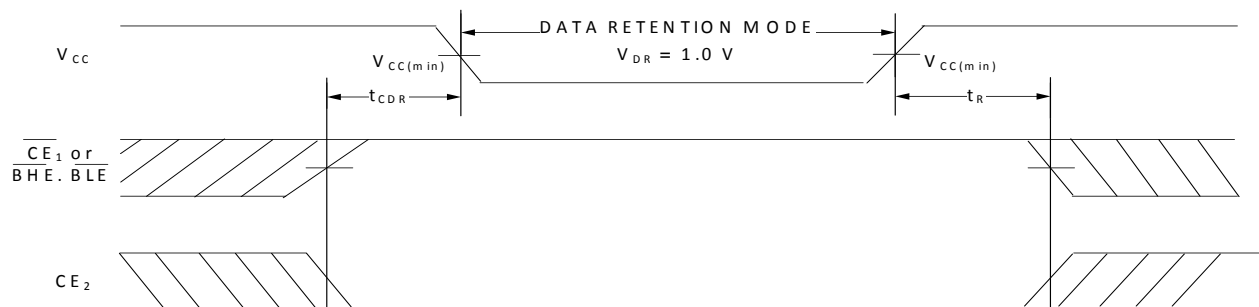
データ保持特性

動作範囲において

パラメーター	説明	条件	Min	Typ ^[13]	Max	単位
V_{DR}	データ保持用の V_{CC}		1	–	–	V
I_{CCDR} ^[14, 15]	データ保持電流	$V_{CC} = 1.2\text{ V}$ $\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ または $CE_2 \leq 0.2\text{ V}$ または $(\overline{BHE} \text{ と } \overline{BLE}) \geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ または $V_{IN} \leq 0.2\text{ V}$	–		13	μA
t_{CDR} ^[16]	チップの選択解除からデータ保持までの時間		0	–	–	ns
t_R ^[17]	動作回復時間		45/55	–	–	ns

データ保持波形

図 9. データ保持波形^[18]



- 注:
- 標準値は単に参考値であり、保証または試験されていません。標準値は、 $V_{CC} = 1.8\text{ V}$ (V_{CC} が $1.65\text{ V} \sim 2.2\text{ V}$ の場合)、 $V_{CC} = 3\text{ V}$ (V_{CC} が $2.2\text{ V} \sim 3.6\text{ V}$ の場合)、 $V_{CC} = 5\text{ V}$ (V_{CC} が $4.5\text{ V} \sim 5.5\text{ V}$ の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。
 - $I_{SB1}/I_{SB2}/I_{CCDR}$ 仕様を満たすために、チップイネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにすることができます。
 - I_{CCDR} は、デバイスが最初に $V_{CC(\text{min})}$ に電源投入され、 V_{DR} に下げられた後でのみ保証されています。
 - これらのパラメーターは設計保証されます。
 - 完全なデバイス動作には、 V_{DR} から $V_{CC(\text{min})}$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ 以上であるか、または $V_{CC(\text{min})}$ で安定する時間が $100\mu\text{s}$ 以上である必要があります。
 - $\overline{BHE}.\overline{BLE}$ は \overline{BHE} と \overline{BLE} の論理和です。チップイネーブル信号を無効にするか、または \overline{BHE} と \overline{BLE} の両方を無効にすることでチップの選択を解除します。

AC スイッチング特性

パラメーター [19、20]	説明	45ns		55ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{RC}	読み出しサイクル時間	45	–	55	–	ns
t_{AA}	アドレス指定からデータ有効まで/アドレス指定から ERR 有効までの時間	–	45	–	55	ns
t_{OHA}	アドレス変更からのデータ ホールド時間/アドレス変更からの ERR ホールド時間	10	–	10	–	ns
t_{ACE}	\overline{CE}_1 LOW および CE_2 HIGH からデータ有効まで/ \overline{CE} LOW から ERR 有効までの時間	–	45	–	55	ns
t_{DOE}	\overline{OE} LOW からデータ有効まで/ \overline{OE} LOW から ERR 有効までの時間	–	22	–	25	ns
t_{LZOE}	\overline{OE} LOW から低インピーダンスまでの時間 [20、22]	5	–	5	–	ns
t_{HZOE}	\overline{OE} HIGH から HI-Z までの時間 [20、21、22]	–	18	–	18	ns
t_{LZCE}	\overline{CE}_1 LOW および CE_2 HIGH から低インピーダンスまでの時間 [20、22]	10	–	10	–	ns
t_{HZCE}	\overline{CE}_1 HIGH および CE_2 LOW から HI-Z までの時間 [20、21、22]	–	18	–	18	ns
t_{PU}	\overline{CE}_1 LOW および CE_2 HIGH から電源投入までの時間 [22]	0	–	0	–	ns
t_{PD}	\overline{CE}_1 HIGH および CE_2 LOW から電源切断までの時間 [22]	–	45	–	55	ns
t_{DBE}	\overline{BLE} / \overline{BHE} LOW からデータ有効までの時間	–	45	–	55	ns
t_{LZBE}	\overline{BLE} / \overline{BHE} LOW から低インピーダンスまでの時間 [20、22]	5	–	5	–	ns
t_{HZBE}	\overline{BLE} / \overline{BHE} HIGH から HI-Z までの時間 [20、21、22]	–	18	–	18	ns
書き込みサイクル [23、24]						
t_{WC}	書き込みサイクル時間	45	–	55	–	ns
t_{SCE}	\overline{CE}_1 LOW および CE_2 HIGH から書き込み終了までの時間	35	–	45	–	ns
t_{AW}	アドレス セットアップから書き込み終了までの時間	35	–	45	–	ns
t_{HA}	書き込み終了からのアドレス ホールドまでの時間	0	–	0	–	ns
t_{SA}	アドレス セットアップから書き込み開始までの時間	0	–	0	–	ns
t_{PWE}	\overline{WE} パルス幅	35	–	40	–	ns
t_{BW}	\overline{BLE} / \overline{BHE} LOW から書き込み終了までの時間	35	–	45	–	ns
t_{SD}	データ セットアップから書き込み終了までの時間	25	–	25	–	ns
t_{HD}	書き込み終了からのデータホールドまでの時間	0	–	0	–	ns
t_{HZWE}	\overline{WE} LOW から HI-Z までの時間 [20、21、22]	–	18	–	20	ns
t_{LZWE}	\overline{WE} HIGH から低インピーダンスまでの時間 [20、22]	10	–	10	–	ns

注:

19. テスト条件では、信号遷移時間 (立ち上がり/立ち下がり) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} \geq 3V$ の場合) かつ $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、および入力パルスレベルが 0V ~ 3V ($V_{CC} \geq 3V$ の場合) かつ 0 ~ V_{CC} ($V_{CC} < 3V$ の場合) であることを前提にします。特に指定しない限り、読み出しサイクルのためのテスト条件は、「AC テストの負荷と波形」節に示されている出力負荷を使います。
20. 任意の温度、電圧条件で、どのデバイスでも t_{HZCE} は t_{LZCE} より短く、 t_{HZBE} は t_{LZBE} より短く、 t_{HZOE} は t_{LZOE} より短く、そして t_{HZWE} は t_{LZWE} より短いです。
21. 出力がハイインピーダンス状態に入る時に、 t_{HZOE} 、 t_{HZCE} 、 t_{HZBE} 、および t_{HZWE} 遷移が測定されます。
22. これらのパラメーターは設計保証されます。
23. メモリの内部書き込み期間は $\overline{WE}=V_{IL}$ 、 $\overline{CE}_1=V_{IL}$ 、 \overline{BHE} と \overline{BLE} のいずれかまたは両方とも $=V_{IL}$ 、および $CE_2=V_{IH}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
24. 書き込みサイクル 3 (\overline{WE} 制御、 \overline{OE} LOW) 用の最少のパルス幅は、 t_{SD} と t_{HZWE} の合計と等しくなる必要があります。

スイッチング波形

図 10. CY62147G の読み出しサイクル 1 (アドレス遷移制御) [25、26]

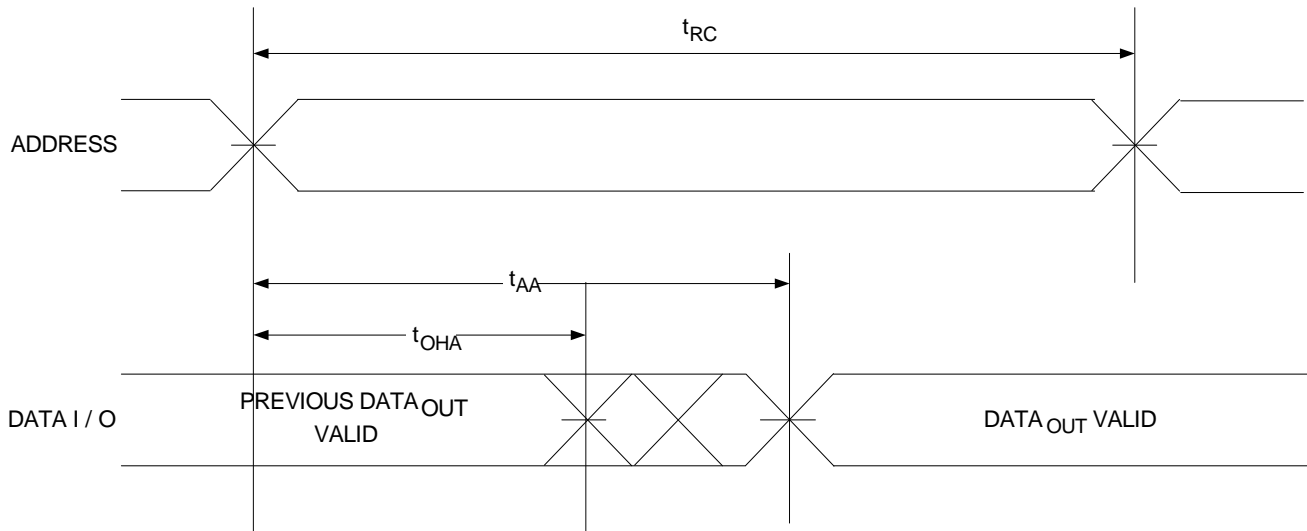
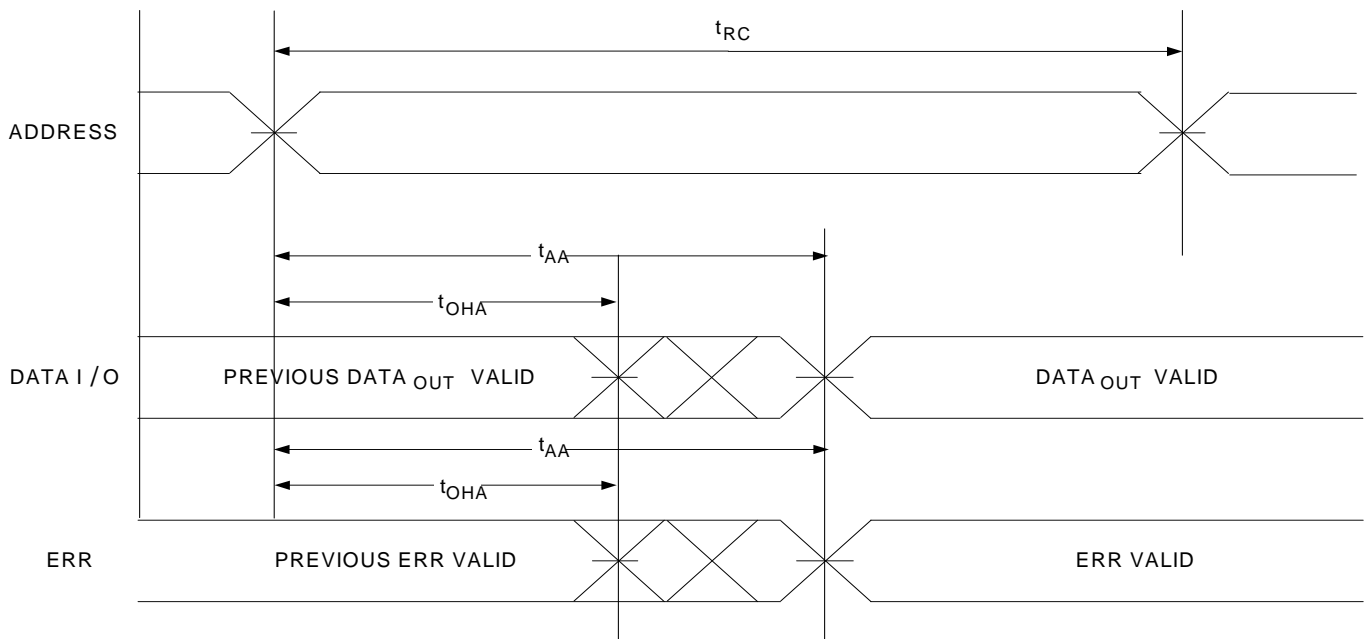


図 11. CY62147GE の読み出しサイクル 1 (アドレス遷移制御) [25、26]



注:

25. デバイスは継続して選択されています。 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} または \overline{BLE} または両方 = V_{IL} 。

26. 読み出しサイクルの間は WE が HIGH です。

スイッチング波形 (続き)

図 12. 読み出しサイクル 2 (\overline{OE} 制御) [27、28、29]

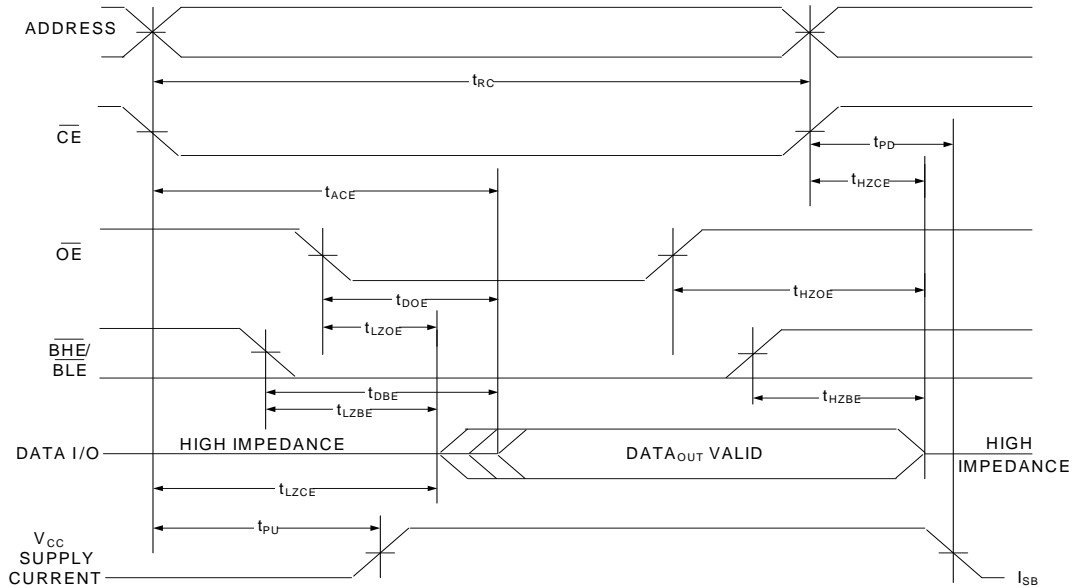
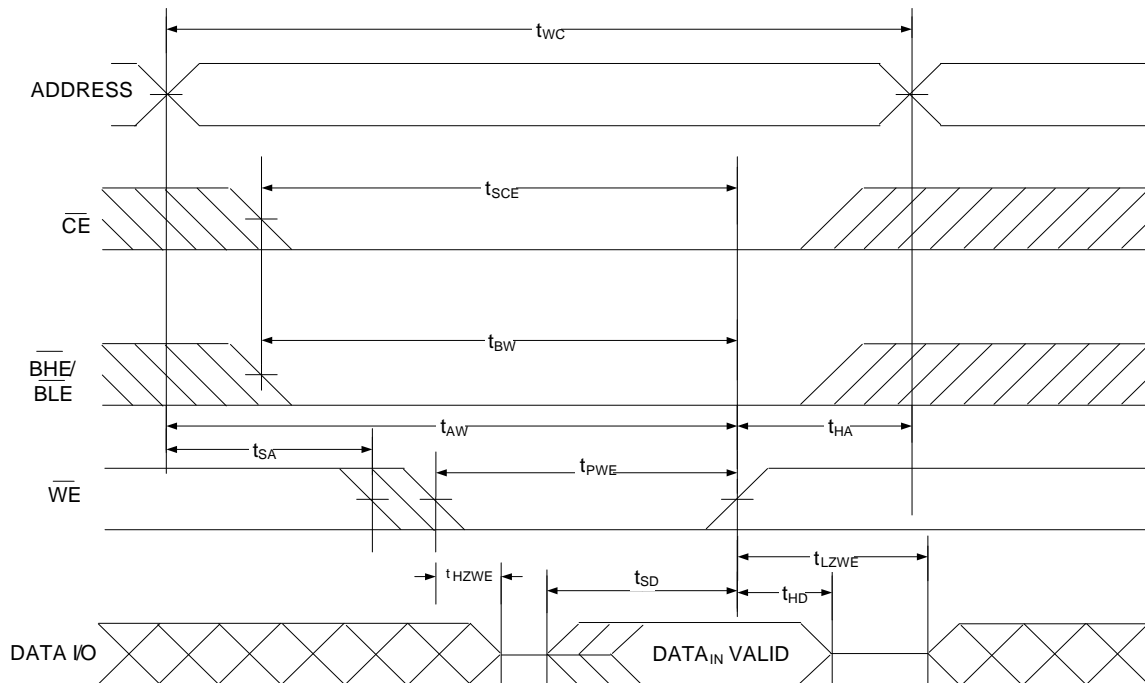


図 13. 書き込みサイクル 1 (\overline{WE} 制御) [28、30、31]



- 注:
27. 読み出しサイクルの間は \overline{WE} が HIGH です。
 28. 全てのデュアルインネーブルデバイスに対して \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で CE_2 が HIGH の場合は \overline{CE} は LOW で、 \overline{CE}_1 が HIGH または CE_2 が LOW の場合は \overline{CE} は HIGH です。
 29. アドレスは、 \overline{CE} の LOW 遷移前、またはそれと同時に有効になります。
 30. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、 \overline{BHE} と \overline{BLE} のいずれかまたは両方とも $= V_{IL}$ 、 および $CE_2 = V_{IH}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準としなければなりません。
 31. $\overline{CE} = V_{IH}$ 、または $OE = V_{IH}$ または \overline{BHE} および/または $\overline{BLE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。

スイッチング波形 (続き)

図 14. 書き込みサイクル 2 (\overline{CE} 制御) [32、33、34]

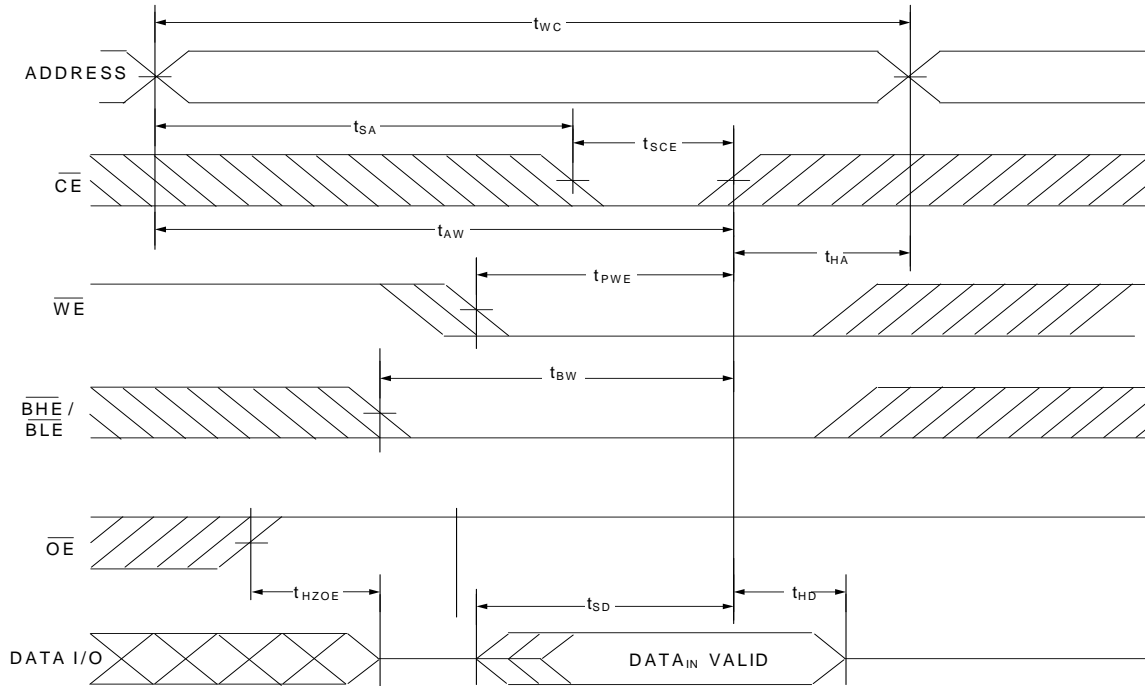
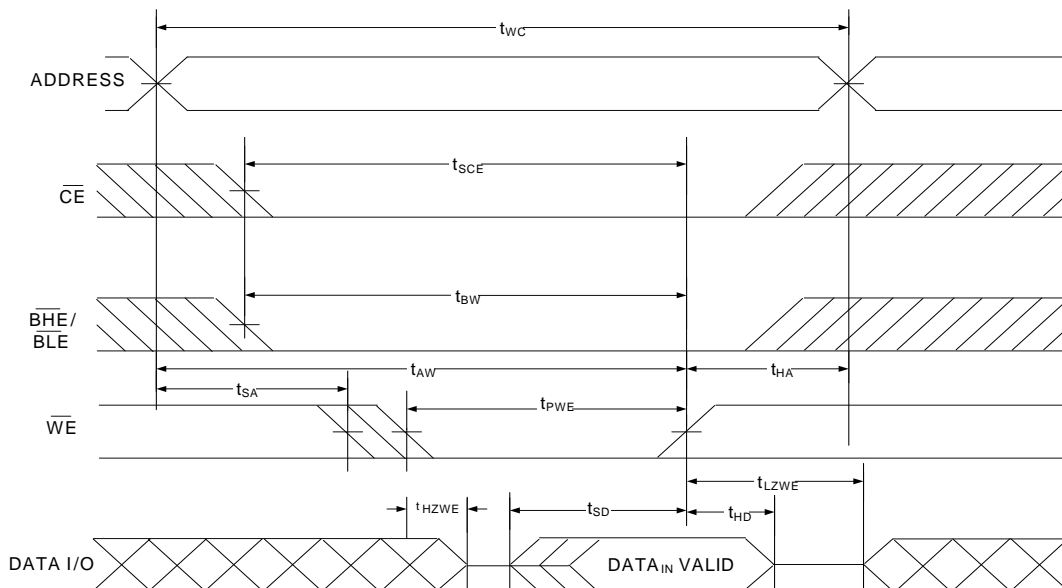


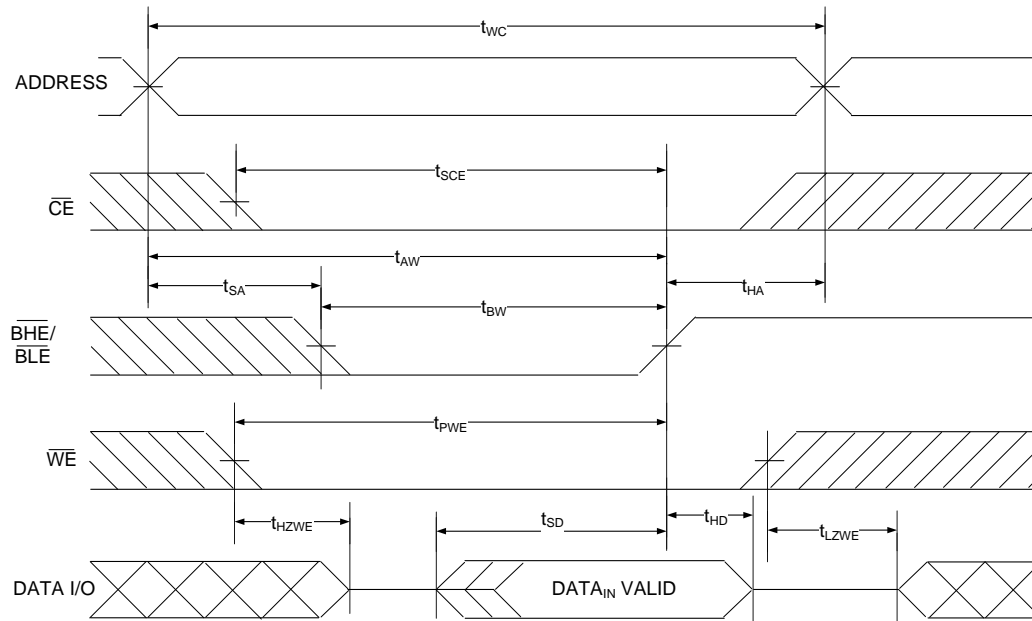
図 15. 書き込みサイクル 3 (\overline{WE} 制御、 \overline{OE} LOW) [32、33、34、35]



- 注:
- 32. 全てのデュアル イネーブル デバイスに対応して \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で、 CE_2 が HIGH の場合は、 \overline{CE} は LOW で、 \overline{CE}_1 が HIGH または CE_2 が LOW の場合は、 \overline{CE} は HIGH です。
 - 33. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、 \overline{BHE} または \overline{BLE} または両方とも $= V_{IL}$ 、 および $CE_2 = V_{IH}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入カセットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
 - 34. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ または \overline{BHE} 、および/または $\overline{BLE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。
 - 35. 書き込みサイクル 3 の最短書き込みパルス幅 (\overline{WE} 制御、 \overline{OE} LOW) は、 t_{HZWE} と t_{SD} の合計である必要があります。

スイッチング波形 (続き)

図 16. 書き込みサイクル 4 ($\overline{\text{BHE}}/\overline{\text{BLE}}$ 制御) [36、37、38]



- 注:
36. 全てのデュアル イネーブル デバイスの場合、 $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理結合です。 $\overline{\text{CE}}_1$ が LOW で、 CE_2 が HIGH の場合は、 $\overline{\text{CE}}$ は LOW で、 $\overline{\text{CE}}_1$ が HIGH または CE_2 が LOW の場合は、 $\overline{\text{CE}}$ は HIGH です。
 37. メモリの内部書き込み期間は $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}}_1 = V_{\text{IL}}$ 、 $\overline{\text{BHE}}$ または $\overline{\text{BLE}}$ または両方とも $= V_{\text{IL}}$ 、および $\text{CE}_2 = V_{\text{IH}}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
 38. $\overline{\text{CE}} = V_{\text{IH}}$ 、または $\overline{\text{OE}} = V_{\text{IH}}$ または $\overline{\text{BHE}}$ 、および/または $\overline{\text{BLE}} = V_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。

真理値表 – CY62147G/CY62147GE

$\overline{CE}_1/\overline{CE}$ ^[39]	CE_2 ^[39]	\overline{WE}	\overline{OE}	\overline{BHE}	\overline{BLE}	入力/出力	モード	電源
H	X ^[40]	X	X	X	X	HI-Z	選択解除/電源切断	スタンバイ (I _{SB})
X	L	X	X	X	X	HI-Z	選択解除/電源切断	スタンバイ (I _{SB})
X	X	X	X	H	H	HI-Z	選択解除/電源切断	スタンバイ (I _{SB})
L	H	H	L	L	L	データ出力 (I/O ₀ ~ I/O ₁₅)	読み出し	アクティブ (I _{CC})
L	H	H	L	H	L	データ出力 (I/O ₀ ~ I/O ₇); HI-Z (I/O ₈ ~ I/O ₁₅)	読み出し	アクティブ (I _{CC})
L	H	H	L	L	H	HI-Z (I/O ₀ ~ I/O ₇); データ出力 (I/O ₈ ~ I/O ₁₅)	読み出し	アクティブ (I _{CC})
L	H	H	H	L	H	HI-Z	出力が無効	アクティブ (I _{CC})
L	H	H	H	H	L	HI-Z	出力が無効	アクティブ (I _{CC})
L	H	H	H	L	L	HI-Z	出力が無効	アクティブ (I _{CC})
L	H	L	X	L	L	データ入力 (I/O ₀ ~ I/O ₁₅)	書き込み	アクティブ (I _{CC})
L	H	L	X	H	L	データ入力 (I/O ₀ ~ I/O ₇); HI-Z (I/O ₈ ~ I/O ₁₅)	書き込み	アクティブ (I _{CC})
L	H	L	X	L	H	HI-Z (I/O ₀ ~ I/O ₇); データ入力 (I/O ₈ ~ I/O ₁₅)	書き込み	アクティブ (I _{CC})

ERR 出力 – CY62147GE

出力 ^[41]	モード
0	読み出し動作、保存データにはシングルビットエラー無し
1	読み出し動作、シングルビットエラーが検出され、訂正済み
HI-Z	デバイスが選択解除/出力が無効/書き込み動作

注:

39. 全てのデュアルチップイネーブルデバイスの場合、 \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 がLOWで CE_2 がHIGHの場合は \overline{CE} はLOWで、 \overline{CE}_1 がHIGHまたは CE_2 がLOWの場合は \overline{CE} はHIGHです。

40. チップイネーブルに応じた「X」(ドントケア)状態は、論理状態(HIGHまたはLOW)を意味します。これらのピンでの中間電圧レベルは許可されていません。

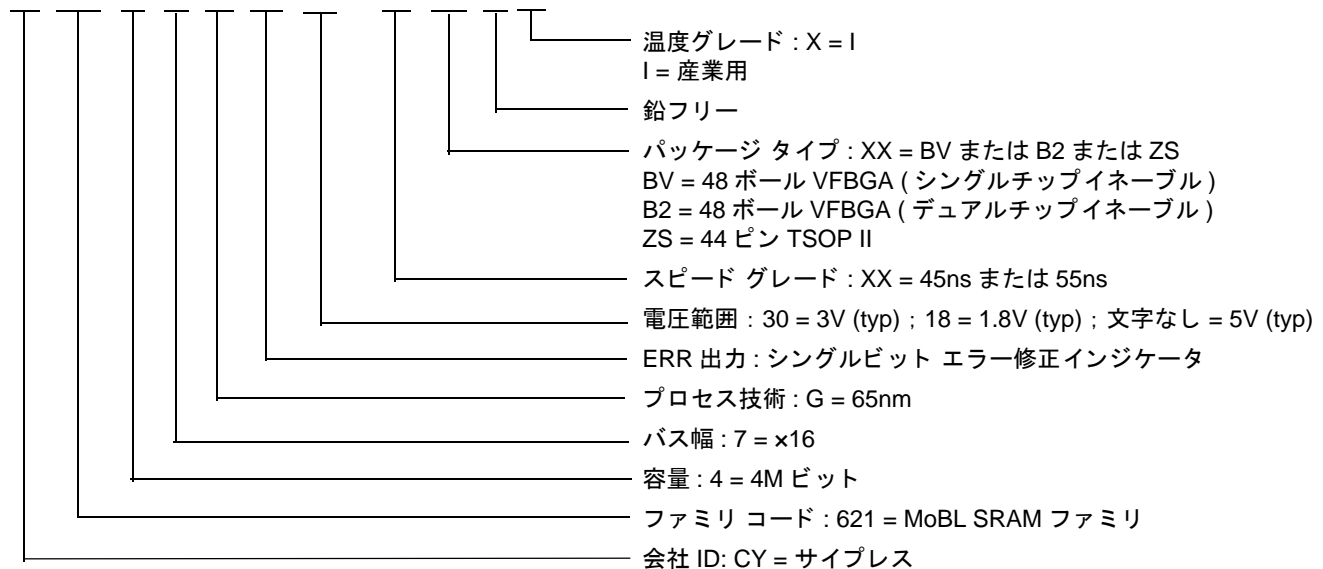
41. ERRは出力ピンです。使用しない場合、このピンはフローティング状態のままにしてください。

注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージタイプ	動作範囲
45	2.2V ~ 3.6V	CY62147G30-45BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1mm)、ERR なしのシングルチップ イネーブル	産業用
		CY62147GE30-45BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1mm)、ERR 付きのシングルチップ イネーブル	
		CY62147G30-45ZSXI	51-85087	ERR なしの 44 ピン TSOP II	
		CY62147GE30-45ZSXI	51-85087	ERR 付きの 44 ピン TSOP II	
		CY62147G30-45B2XI	51-85150	48 ボール VFBGA (6 × 8 × 1mm)、ERR なしのデュアルチップ イネーブル	
		CY621472G30-45ZSXI	51-85087	44 ピン TSOP II、ERR なしのデュアルチップ イネーブル	
	4.5V ~ 5.5V	CY62147G-45ZSXI	51-85087	ERR なしの 44 ピン TSOP II	
		CY62147GE-45ZSXI	51-85087	ERR 付きの 44 ピン TSOP II	
55	1.8 V ~ 2.2 V	CY62147G18-55ZSXI	51-85087	ERR なしの 44 ピン TSOP II	
		CY62147G18-55BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1mm)、ERR なしのシングルチップ イネーブル	
		CY62147GE18-55ZSXI	51-85087	ERR 付きの 44 ピン TSOP II	
		CY62147GE18-55BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1mm)、ERR 付きのシングルチップ イネーブル	

注文コードの定義

CY 621 4 7 G E XX - XX XX X X



パッケージ図

図 17. 44ピン TSOP II (Z44) パッケージ図、51-85087

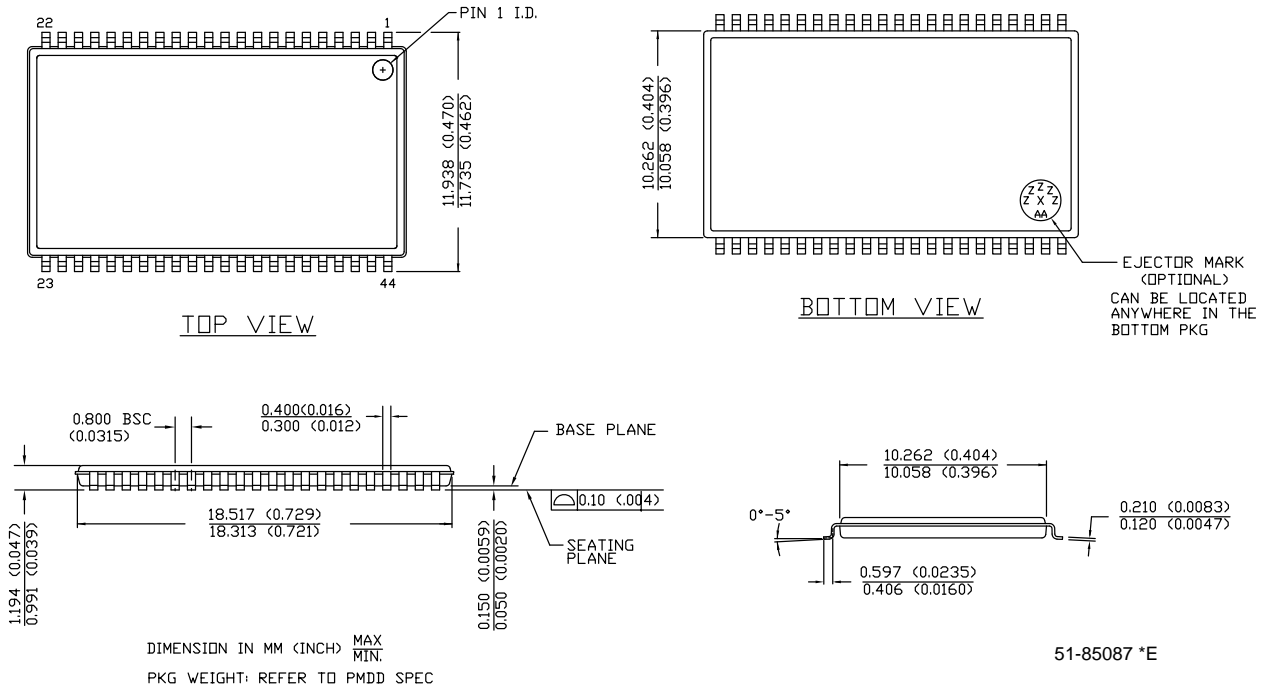
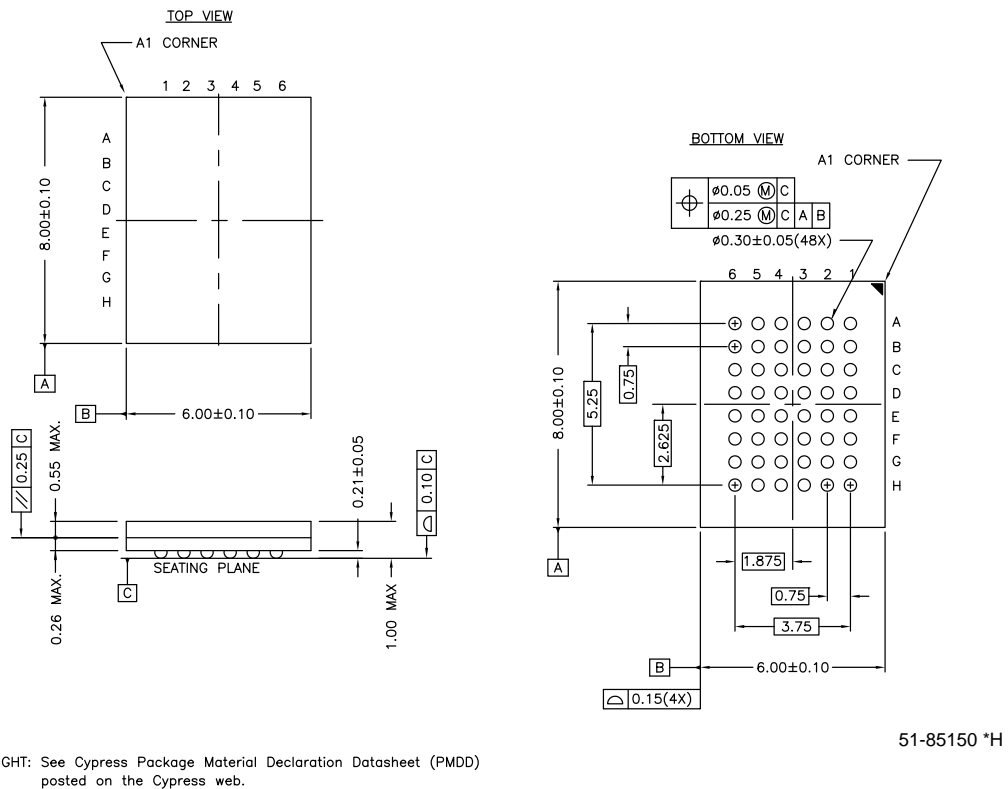


図 18. 48 ボール VFBGA (6 × 8 × 1.0mm) BV48/BZ48 パッケージ図、51-85150



略語

略語	説明
BHE	バイト HIGH イネーブル
BLE	バイト LOW イネーブル
CE	チップ イネーブル
CMOS	相補型金属酸化膜半導体
I/O	入力/出力
OE	出力イネーブル
SRAM	スタティック ランダム アクセス メモリ
TSOP	小型薄型パッケージ
VFBGA	超ファインピッチ ボール グリッド アレイ
WE	書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY62147G/CY621472G/CY62147GE MoBL [®] 、エラー訂正コード (ECC) 内蔵の 4M ビット (256K ワード ×16 ビット) スタティック RAM 文書番号 : 001-96521				
版	ECN 番号	変更者	発行日	変更内容
**	4669812	HZEN	03/26/2015	これは英語版 001-92847 Rev. *C を翻訳した日本語版 001-96521 Rev. ** です。
*A	4908501	SSAS	09/07/2015	これは英語版 001-92847 Rev. *F を翻訳した日本語版 001-96521 Rev. *A です。
*B	5140079	HZEN	03/01/2016	これは英語版 001-92847 Rev. *H を翻訳した日本語版 001-96521 Rev. *B です。

セールス、ソリューション、および法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2014-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限り、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。