

特長

- 処理能力の高いハード アーキテクチャ プロセッサ
 - 最大 24 MHz の周波数で動作する M8C プロセッサ
 - 8x8 乗算、32 ビット 加算器
 - 高速で低消費電力
 - 動作電圧：3.0V ~ 5.25V
 - 産業用途向け温度範囲：-40 °C ~ +85 °C
- 高度な周辺回路 (PSoC ブロック)
 - 4 個の Rail to Rail アナログ PSoC ブロックの特長：
 - 最大 14 ビットの ADC
 - 最大 8 ビットの DAC
 - プログラマブルなゲイン アンプ
 - プログラマブルなフィルタとコンパレータ
 - 4 個のデジタル PSoC ブロックの特長：
 - 8 ~ 32 ビット タイマーおよびカウンタ、8 ビットと 16 ビットのパルス幅変調器 (PWM)
 - CRC および PRS モジュール
 - 全二重 UART
 - 複数の SPI[™] マスターまたはスレーブ
 - すべての GPIO ピンに接続可能
 - ブロックの組み合わせで構成する複雑な周辺回路
 - モーター制御に最適化された高速 8 ビット SAR ADC
- プログラム可能な高精度クロック供給
 - 内部 ±5% [1] 24/48MHz 振動子
 - オプションの 32 kHz 水晶振動子と PLL による高精度な 24MHz クロック
 - オプションの最大 24MHz の外部振動子に対応
 - ウォッチドッグとスリープ用の内部発振子
- 柔軟性のある内蔵メモリ
 - 50,000 回の消去/書き込みサイクル可能な 8K バイト フラッシュ
 - 256 バイト SRAM によるデータ領域
 - インシステム シリアル プログラミング (ISSP) に対応
 - フラッシュ メモリの部分的な書き換えに対応
 - 柔軟性のある保護モード
 - フラッシュ メモリによる EEPROM のエミュレーション
- プログラマブルなピン コンフィギュレーション
 - すべての GPIO で 25mA のシンク電流と 10mA のソース電流を実現
 - すべての GPIO でプルアップ、プルダウン、High-Z、ストロング、オープン ドレインの各駆動モードに対応
 - GPIO で最大 8 アナログ入力に、限定されたルーティングで 2 つの追加のアナログ入力
 - GPIO 上で 2 個の 30mA アナログ出力を実現
 - すべての GPIO でコンフィギュレーション可能な割り込み

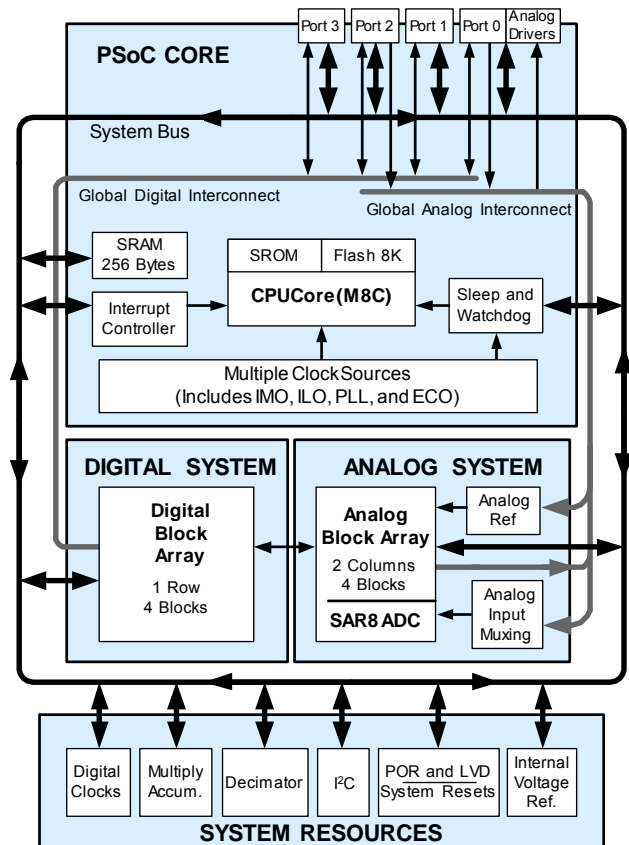
■ 追加システム リソース

- 最大 400kHz の I²C[™] スレーブ、マスター、およびマルチマスター
- ウォッチドッグ タイマーとスリープ タイマー
- ユーザー側でコンフィギュレーション可能な低電圧検出
- 内蔵の監視回路
- 高精度のオンチップ リファレンス電圧

■ 完全な開発ツール

- 無料の開発ソフトウェア (PSoC Designer[™])
- 必要な機能を網羅したインサーキット エミュレータおよびインサーキット プログラマ
- フルスピードのエミュレーション
- 複雑なブレイクポイント構造に対応
- 128KB のトレース メモリ

ロジック ブロック図



注

1. **エラッタ**: デバイスが 0°C ~ 70°C の温度範囲内で動作する時、周波数の誤差は ±2.5% に低下されますが、極度の温度 (0°C より低い温度や 70°C より高い温度) で動作する時、周波数の誤差は ±2.5% ~ ±5% です。詳細については、**エラッタ** (ページ 51) を参照してください。

目次

PSoC 機能の概要	3	絶対最大定格	16
PSoC コア	3	動作温度	16
デジタル システム	3	DC 電気的特性	17
アナログ システム	4	AC 電気的特性	31
追加システム リソース	5	パッケージ情報	41
PSoC デバイスの特性	5	熱インピーダンス	42
はじめに	6	水晶振動子ピンの静電容量	42
アプリケーション ノート	6	はんだリフロ ピーク温度	42
開発キット	6	注文情報	44
トレーニング	6	略語	44
CYPros コンサルタント	6	使用している略号	43
ソリューション ライブラリ	6	参考資料	44
テクニカル サポート	6	本書の表記法	45
開発ツール	7	測定単位	45
PSoC Designer ソフトウェア サブシステム	7	数値の表記	45
PSoC Designer による設計	8	用語集	46
ユーザー モジュールの選択	8	エラッタ	51
ユーザー モジュールのコンフィギュレーション	8	影響を受ける部品番号	51
構成と接続	8	CY8C23433 認定状態	51
生成、検証、デバッグ	8	CY8C23433 エラッタのまとめ	51
ピン配置	9	改訂履歴	52
32 ピン製品のピン配置	9	販売、ソリューション、および法律情報	53
28 ピン製品のピン配置	10	ワールドワイドな販売と設計サポート	53
レジスタ リファレンス	11	製品	53
レジスタの表記法	11	PSoC® ソリューション	53
レジスタ マッピング テーブル	11	サイプレス開発者コミュニティ	53
電氣的仕様	15	テクニカル サポート	53

PSoC の機能概要

PSoC ファミリは、オンチップ コントローラー デバイスを備えた多くのデバイスで構成されています。これらのデバイスは、従来の MCU ベースのシステム部品を複数使用した構成を、低コストでプログラマブルなシングル チップ デバイスで置き換えることを目的としています。PSoC デバイスは、コンフィギュレーション可能なアナログ ロジックとデジタル ロジックのブロックを備え、これらのブロック間の相互接続はプログラム可能です。このアーキテクチャにより、各アプリケーションの要件を満たすカスタマイズ パリフェラル コンフィギュレーションを実現することができます。さらに、高速の中央処理装置 (CPU)、フラッシュ メモリ、SRAM データ メモリ、およびコンフィギュレーション可能な I/O は、便利なピン配列およびパッケージに収められます。

PSoC アーキテクチャは、**ロジック ブロック図** (ページ 1) で示しているように、PSoC コア、デジタル システム、アナログ システム、システム リソースの 4 つの主要な領域で構成されています。コンフィギュレーション可能なグローバル バスにより、すべてのデバイス リソースを組み合わせて完全なカスタム システムを構築できます。PSoC の CY8C23x33 ファミリは、グローバル デジタルとグローバル アナログとの相互接続に接続する最大 3 個の I/O ポートを備えています。これらのポートから 4 個のデジタル ブロックおよび 4 個のアナログ ブロックにアクセスできます。

PSoC コア

PSoC コアは、充実した機能セットを持つ高性能なエンジンです。このコアは、CPU、メモリ、クロック、およびコンフィギュレーション可能な汎用 I/O (GPIO) を備えています。

M8C CPU コアは、最高 24 MHz で動作する高性能プロセッサで 400 万命令毎秒 (MIPS) の性能を持つ 8 ビット ハーバード アーキテクチャ マイクロプロセッサを提供します。この CPU では、11 のベクタを持つ割り込みコントローラーを使用して、リアルタイム組み込みイベントのプログラミングを簡素化しています。内蔵のスリープ タイマーやウォッチドッグ タイマー (WDT) を使用して、プログラムの実行に対してタイミング管理や、保護を行います。

メモリは、プログラム ストレージ用の 8KB フラッシュ、データ ストレージ用の 256 バイト SRAM、およびフラッシュを使用してエミュレートする最大 2KB の EEPROM で構成されています。プログラム フラッシュ メモリは 64 バイトのブロック毎に対して 4 段階の保護レベルを使用して、ソフトウェアの IP 保護をカスタマイズできます。

PSoC デバイスは、柔軟性のある各種内部クロック ジェネレータを備えています。広い範囲の温度と電圧にわたって $\pm 5\%$ ^[2] の精度を発揮する 24 MHz 内部メイン発振器 (IMO) もこのジェネレータの 1 つです。この 24MHz の IMO は、周波数を 48MHz に倍増して、デジタル システムで使用することもできます。スリープ タイマーと WDT 用に低消費電力の 32kHz 内部低速振動子 (ILO) が用意されています。水晶精度を必要とする場合は、ECO (32.768 kHz の外部水晶振動子) をリアルタイム クロック (RTC) として使用できるほか、必要に応じ、PLL を使用して水晶精度の 24 MHz システム クロックを生成できます。これらのクロックを、プログラマブルなクロック分周器 (システム リソースの一部) と組み合わせれば、ほぼあらゆるタイミング要件を PSoC デバイスに組み込むことができる柔軟性が得られます。

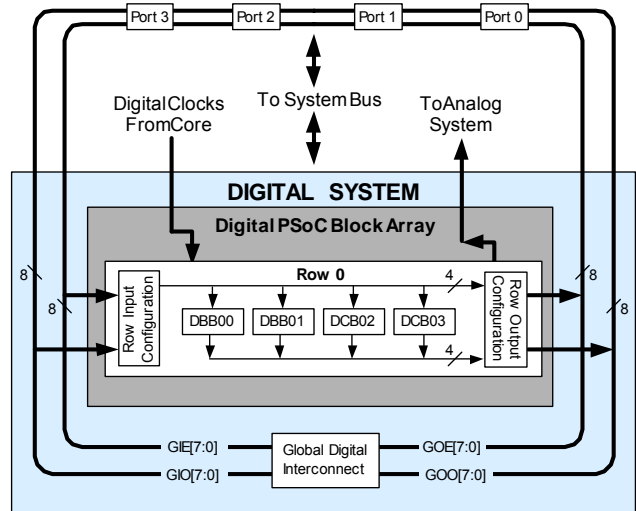
PSoC の GPIO は、デバイスの CPU、デジタル リソース、およびアナログ リソースに接続しています。各ピンの駆動モードは 8 つのオプションから選択できるため、外部とのインターフェースを非常に柔軟に設定できます。また各ピンには、HIGH

レベル、LOW レベル、および前回読み出し時からの変化に基づいてシステム割り込みを発生する機能もあります。

デジタル システム

デジタル システムは 4 個の PSoC デジタル ブロックで構成されています。各ブロックは 8 ビットのリソースであり、単独で使用できるほか、他のブロックと組み合わせ、ユーザー モジュール リファレンスという 8 ビット、16 ビット、24 ビット、および 32 ビットの周辺回路を構成することもできます。

図 1. デジタル システムのブロック図



デジタル パリフェラルのコンフィギュレーションには次のようなものがあります。

- PWM (8 ビットおよび 16 ビット)
- デッドバンド PWM (8 ビットおよび 16 ビット)
- カウンター (8 ~ 32 ビット)
- タイマー (8 ~ 32 ビット)
- 選択可能なパリティを持つ UART 8 ビット (最大 1 個)
- シリアル パリフェラル インターフェース (SPI) マスターおよびスレーブ (最大 1 個)
- I²C スレーブとマルチマスター (その内、1 個がシステム リソースとして使用可能)
- 巡回冗長検査回路 (CRC) / ジェネレータ (8 ~ 32 ビット)
- IrDA (最大 1 個)
- 疑似ランダム系列振動子 (8 ~ 32 ビット)

任意のピンに任意の信号を送ることができるグローバル バスを通じて、どの GPIO にもデジタル ブロックを接続できます。また、バスによる信号の多重化や論理演算も可能です。このような柔軟なコンフィギュレーションにより、固定された周辺コントローラーに伴う制約を受けずに設計できます。

デジタル ブロックは、複数行に配置され、1 行につき 4 個があります。ブロックの数は PSoC デバイス ファミリによって異なります。用途に応じて最適なシステム リソースを選択できます。**PSoC デバイスの特性** (ページ 5) にファミリ リソースを示します。

注
2. **エラッタ**: デバイスが 0°C ~ 70°C の温度範囲内で動作する時、周波数の誤差は $\pm 2.5\%$ に低下されますが、極度の温度 (0°C より低い温度や 70°C より高い温度) で動作する時、周波数の誤差は $\pm 2.5\% \sim \pm 5\%$ です。詳細については、**エラッタ** (ページ 51) を参照してください。

アナログ システム

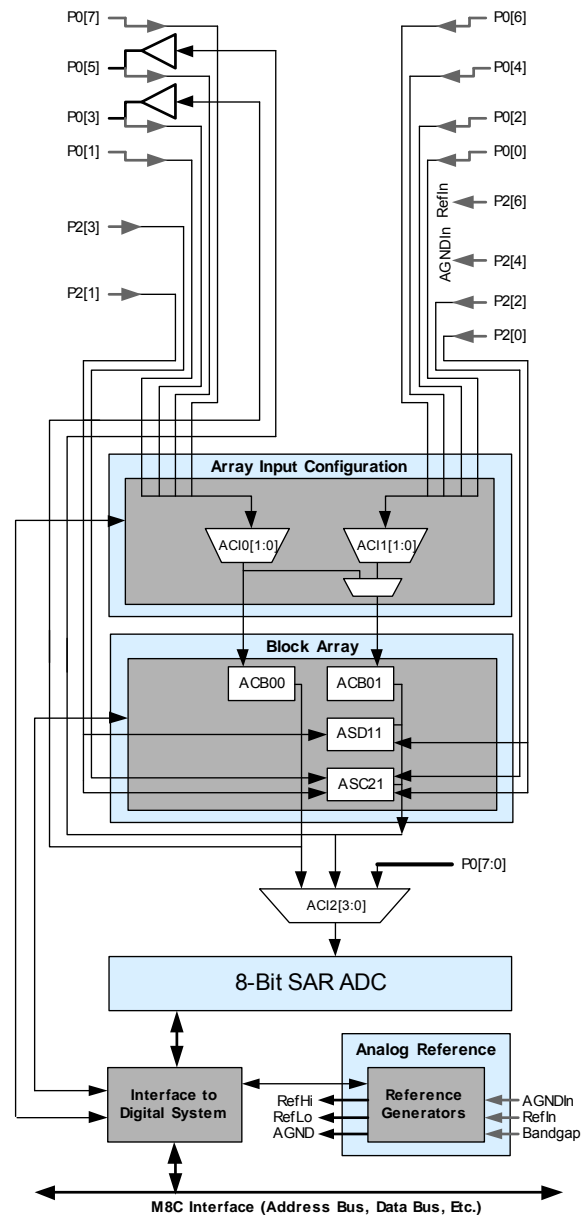
アナログ システムは、8 ビット SAR ADC と 4 個のコンフィギュレーション可能なブロックで構成されています。プログラマブルな 8 ビット SAR ADC は、最大 300Ksps で動作する最適化された ADC であり、単調性が保証されています。また、モーター制御の用途に対応する機能も備えています。

アナログ ブロックごとにオペアンプ回路を持っているので、複雑なアナログ信号系を構築できます。アナログ周辺回路は柔軟性が高く、用途の具体的な要件に合わせてカスタマイズできます。一般的な PSoC アナログ機能として、以下の機能があります (ほとんどはユーザー モジュールとして実現可能です)。

- フィルタ (2 種のバンドパス、ローパス)
- アンプ (最大 2 個、48x までのゲインを選択可能)
- 計装用アンプ (最大 1 個、93x までのゲインを選択可能)
- コンパレータ (1 個、16 種類のしきい値を選択可能)
- DAC (6 ビット DAC または 9 ビット DAC)
- 乗算型 DAC (6 ビット DAC または 9 ビット DAC)
- 大電流出力ドライバ (30mA 駆動で 2 個)
- 1.3V リファレンス電圧 (システム リソースとして可能)
- DTMF ダイアラー
- 変調器
- 相関器
- ピーク検出器
- 他に多数のトポロジが可能

アナログ ブロックは、1 個の連続時間 (CT) ブロックと 2 個のスイッチド キャパシタ (SC) ブロックの 3 個のブロックの列で編成されます。アナログ カラム 0 には、標準の SC ブロックではなく、SAR8 ADC ブロックがあります。

図 2. アナログ システムのブロック図



追加システム リソース

システム リソースは、システムの構築に効果的な追加機能を提供します。一部のシステム リソースについては既に前半で説明しました。追加リソースとして、乗算器、デシメータ、低電圧検出、パワーオン リセットなどがあります。ここでは、各システム リソースの利点について簡単に説明します。

- デジタル クロック分周器は、各種用途向けにカスタマイズ可能な 3 種類のクロック周波数を提供します。このクロックは、デジタルとアナログの両方のシステムで使用できます。デジタル PSoC ブロックをクロック分周器として使用することで、さらに別のクロックを生成できます。
- 積和演算器 (MAC) は、32 ビット加算器が付加された高速 8 ビット乗算器を提供し、一般的な数学演算やデジタル フィルタ処理を支援します。

- デシメータは、デルタ シグマ ADC の作成などのデジタル信号処理用途向けにカスタム ハードウェア フィルターを提供します。
- I²C モジュールは 100kHz と 400kHz での 2 線式の通信をサポートします。スレーブ、マスター、およびマルチマスターのいずれのモードにも対応できます。
- 低電圧検出 (LVD) 割り込みは、電圧レベルの低下を通知する信号をアプリケーションに送信します。同時に、高度な POR (パワーオン リセット) 回路を使用することでシステム監視が不要になります。
- 1.3V の内部リファレンス電圧は、ADC や DAC などのアナログシステムにリファレンス電圧を提供します。

PSoC デバイスの特性

PSoC デバイスの特性に応じて、デジタルシステムとアナログシステムは 16 個、8 個、または 4 個のデジタルブロックと 12 個、6 個、または 3 個のアナログブロックを持つことができます。表 1 に特定の PSoC デバイス グループで使用可能なリソースを示します。

表 1. PSoC デバイスの特性

PSoC 型番	デジタル I/O 数	デジタル行数	デジタルブロック数	アナログ入力数	アナログ出力数	アナログカラム数	アナログブロック数	SRAM サイズ	フラッシュメモリサイズ	SAR ADC
CY8C29x66	最大 64	4	16	最大 12	4	4	12	2K	32K	無
CY8C28xxx	最大 44	最大 3	最大 12	最大 44	最大 4	最大 6	最大 12 + 4 ^[3]	1k	16K	有
CY8C27x43	最大 44	2	8	最大 12	4	4	12	256	16K	無
CY8C24x94	最大 56	1	4	最大 48	2	2	6	1K	16K	無
CY8C24x23A	最大 24	1	4	最大 12	2	2	6	256	4K	無
CY8C23x33	最大 26	1	4	最大 12	2	2	4	256	8K	有
CY8C24x33	最大 26	1	4	最大 12	2	2	4	256	8K	有
CY8C22x45	最大 38	2	8	最大 38	0	4	6 ^[3]	1K	16K	無
CY8C21x45	最大 24	1	4	最大 24	0	4	6 ^[3]	512	8K	有
CY8C21x34	最大 28	1	4	最大 28	0	2	4 ^[3]	512	8K	無
CY8C21x23	最大 16	1	4	最大 8	0	2	4 ^[3]	256	4K	無
CY8C20x34	最大 28	0	0	最大 28	0	0	3 ^[3、4]	512	8K	無
CY8C20xx6	最大 36	0	0	最大 36	0	0	3 ^[3、4]	最大 2K	最大 32K	無

注

3. アナログ機能に制約あり
4. 2 個のアナログブロックと 1 個の CapSense®。

はじめに

PSoC シリコンを効率的に理解するには、このデータシートを読み、PSoC Designer 統合開発環境 (IDE) を使用していただくことをお勧めします。このデータシートは PSoC 集積回路の概要を紹介するもので、特定のピンおよびレジスタの仕様と電氣的仕様を示します。

詳細情報やプログラミングの詳細については、「PSoC® **テクニカルリファレンスマニュアル**」を参照してください。

注文、パッケージ、および電氣的仕様の最新情報については、<http://www.cypress.com> に掲載している **PSoC デバイスデータシート** を参照してください。

アプリケーションノート

サイプレスのアプリケーションノート は、PSoC を使った多種多様な設計への優れた入門書であり、<http://www.cypress.com> から入手できます。

開発キット

PSoC 開発キット は、サイプレスのオンラインストア (www.cypress.com) で入手できます。また、各地域や世界規模で Arrow、Avnet、Digi-Key、Farnell、Future Electronics、Newark などの販売代理店網が広がっているので、こちらからお求めいただくこともできます。

トレーニング

PSoC の無料技術トレーニング (オンデマンド、Webinar、ワークショップ) は、オンラインで <http://www.cypress.com> で受講できます。このトレーニングでは、各種のトピックやスキルレベルをカバーしており、お客様の設計を支援します。

CYPros コンサルタント

認定された PSoC コンサルタントが、技術支援から完成した PSoC 設計までのあらゆるニーズに対応します。CYPros の検索、問い合わせ、または PSoC コンサルタントとしての認定申請については、<http://www.cypress.com> をご覧ください。

ソリューション ライブラリ

ソリューションを重視した設計のライブラリ をご覧ください。ライブラリには、設計を素早く完成するうえで役立つ、ファームウェアおよびハードウェア設計ファイルを含むさまざまなアプリケーション設計が用意されています。

テクニカル サポート

技術的な問題について支援が必要な場合は、KnowledgeBase 記事およびフォーラム (<http://www.cypress.com>) でを検索してください。解決策が見つからない場合は、テクニカル サポート (1-800-541-4736) までご連絡ください。

開発ツール

画期的な統合設計環境 (IDE) である PSoC Designer™ を使うと、ユーザーが必要とするアプリケーション要件を満たすよう PSoC をカスタマイズすることが可能になります。PSoC Designer ソフトウェアは、システム設計や市場投入までの時間を早めるお手伝いをいたします。ユーザー モジュールと呼ばれる予め用意されたアナログ周辺回路やデジタル周辺回路のライブラリを、ドラッグ&ドロップによる設計環境内で利用して独自のアプリケーションを開発できます。また、動的に生成されるアプリケーション プログラミング インターフェイス (API) のコード ライブラリを活用しながら、設計をカスタマイズすることも可能です。そして、設計のデバッグおよびテストは、回路内エミュレーションや標準ソフトウェア デバッグ機能などを備えた統合デバッグ環境で行います。PSoC Designer には以下が含まれます。

- デバイス、ユーザー モジュール コンフィギュレーションおよびダイナミック リコンフィギュレーション向けのアプリケーション エディタ グラフィカル ユーザー インターフェイス (GUI)
- 広範なユーザー モジュール カタログ
- 統合ソース コード エディタ (C およびアセンブリ言語)
- サイズや使用期限のない無料の C コンパイラ
- 内蔵デバッグ
- インサーキット エミュレータ
- 通信インターフェースの組み込みサポート機能は以下の通りです。
 - ハードウェアおよびソフトウェア I²C スレーブとマスター フルスピード USB 2.0
 - 最大 4 個の全二重汎用非同期レシーバ/トランスミッタ (UART)、SPI マスターおよび SPI スレーブ、および無線

PSoC Designer は、PSoC 1 デバイスの全ライブラリをサポートしており、Windows XP、Windows Vista、Windows 7 上で動作します。

PSoC Designer ソフトウェア サブシステム

設計エントリ

チップレベル ビューでは、まずの対象の基本デバイスを選択します。次に、PSoC ブロックを使用するアナログとデジタルの各種オンボード コンポーネント (ユーザー モジュール) を選択します。ユーザー モジュールの例として、アナログ-デジタル変換器 (ADC)、デジタル-アナログ変換器 (DAC)、アンプ、フィルタがあります。選択したアプリケーション向けにユーザー モジュールをコンフィギュレーションし、他のユーザー モジュールや適切なピンに接続します。その後、プロジェクトを生成します。それにより、アプリケーションのプログラミングに使用できる API とライブラリがプロジェクトに事前設定されます。

またこのツールを使用すると、マルチ コンフィギュレーションやダイナミック リコンフィギュレーションにより容易に開発できます。ダイナミック リコンフィギュレーションにより、実行中にコンフィギュレーションを変更できます。この機能によって、一つのアプリケーションで 100 パーセント以上の PSoC リソースを使用することができます。

コード生成ツール

コード生成ツールは、PSoC Designer のインターフェース内で途切れることなく動作し、様々なデバッグ ツールでテスト済みです。C、アセンブリ、または両方の組み合わせで開発できます。

アセンブラ : アセンブラでは、アセンブリ コードを C コードとシームレスに組み合わせることができます。リンク ライブラリでは、自動的に絶対アドレス指定を使用できるほか、相対モードでコンパイルされた上で他のソフトウェア モジュールとリンクし、絶対アドレス指定を取得することもできます。

C 言語コンパイラ : PSoC ファミリのデバイスをサポートする C 言語コンパイラを使用できます。これらの製品を使用することで、PSoC ファミリ デバイス向けに完成した C プログラムを作成できます。

これらの最適化 C コンパイラは、PSoC のアーキテクチャに合わせて設定した C 言語のすべての機能を提供します。これらのコンパイラには、ポートとバスの動作、標準のキーボードとディスプレイのサポート、および拡張計算機能を提供する組み込みライブラリが付属しています。

デバッグ

PSoC Designer はハードウェアによるインサーキット エミュレーション機能を提供するデバッグ環境を備えているため、PSoC デバイスの内部状態を観察しながら実システムでプログラムに対してテストを行うことができます。設計者はデバッグ コマンドを使用して、データ メモリの読み出しとプログラム、読み出しと書き込み、I/O レジスタの読み出しと書き込み、CPU レジスタの読み出しと書き込み、ブレークポイントの設定と消去、プログラムの実行、停止、およびステップ制御が可能です。また、調査対象のレジスタとメモリ位置のトレースバッファをデバッグで作成することもできます。

オンライン ヘルプ システム

オンライン ヘルプ システムでは、オンラインでコンテキスト依存ヘルプが表示されます。それぞれの機能のサブシステムには固有のコンテキスト依存ヘルプがあり、操作手順のヘルプやクイック リファレンスとして使用できます。また、このヘルプ システムはチュートリアルを備え、さらに FAQ とオンライン サポート フォーラムへのリンクを記述しているので、デザイン段階で初めて使用する際のスタート ガイドとして役立ちます。

インサーキット エミュレータ

コストの低く、機能性の高い ICE (インサーキット エミュレータ) が開発作業をサポートするために用意されています。このハードウェアは単独のデバイスをプログラムできます。

このエミュレータは、USB ポートを介して PC に接続する 1 つの基本ユニットで構成されています。この基本ユニットは汎用型で、すべての PSoC デバイスで動作します。各デバイスファミリのエミュレーション ポッドは、それぞれ別々に用意されています。エミュレーション ポッドは、作業対象の基板上の PSoC デバイスと置き換わり、全速 (24MHz) で動作します。

PSoC Designer を使用したデザイン

PSoC デバイスの開発プロセスは、従来の機能固定のマイクロプロセッサの開発プロセスとは異なります。設定可能なアナログとデジタルハードウェアブロックにより、PSoC アーキテクチャに独自の柔軟性がもたらされ、開発時の仕様変更の管理や在庫費用の低減に役立ちます。これらのコンフィギュレーション可能なリソースは PSoC ブロックと呼ばれ、ユーザーが選択可能なさまざまな機能を実装できます。PSoC 開発プロセスは次の通りです。

1. ユーザー モジュールの選択
2. ユーザー モジュールの設定
3. 構成と接続
4. 生成、検証、およびデバッグ

ユーザー モジュールの選択

PSoC Designer は、あらかじめ構築され、テスト済みのハードウェア周辺コンポーネント (ユーザー モジュールと呼ばれる) のライブラリを備えています。ユーザー モジュールにより、アナログとデジタル両方の周辺デバイスの選択と実装を簡素化できます。

ユーザー モジュールの設定

選択した各ユーザー モジュールによって、選択した機能を実装する基本的なレジスタ設定が確立されます。また、コンポーネントの適格なコンフィギュレーションを特定のアプリケーションに合わせるようにするパラメータとプロパティも提供されます。例えば、PWM ユーザー モジュールでは、デジタル PSoC ブロックを 1 つまたは複数設定し、それぞれは 8 ビットの分解能を持ちます。これらのパラメータを使って、パルス幅とデューティ サイクルを設定できます。選択したアプリケーションに対応するように、パラメータとプロパティをコンフィギュレーションします。値は直接入力することも、ドロップダウン メニューから選択することもできます。すべてのユーザー モジュールはデータシートに文書化され、PSoC Designer またはサイプレスのウェブサイト で直接確認できます。これらの [ユーザー モジュール データシート](#) には、ユーザー モジュールの内部動作に関する説明と性能仕様が記載されています。また、各データシートにはユーザー モジュールの各パラメータの使用法や、設計を適切に実装するために必要なその他の情報もまとめられています。

構成と接続

ユーザー モジュールを他のモジュールおよび I/O ピンに相互接続することによって、チップレベルで信号処理チェーンを構築することができます。すべてのオンチップ リソースを完全に制御できるように、選択、コンフィギュレーション、およびルーティングを行います。

生成、検証、およびデバッグ

ハードウェアのコンフィギュレーションのテスト、またはプロジェクトのコード開発への移行の準備ができれば、「コンフィギュレーション ファイルの生成」手順を実行します。このステップで PSoC Designer によって生成されるソースコードは、仕様に合わせてデバイスを自動的に設定し、システム用のソフトウェアを提供します。生成されたコードは、実行時に発生するハードウェア イベントの制御とそれに対する応答を実現する高レベル API、および必要に応じて修正して使用できる割り込みサービス ルーチンを提供します。

高い完成度のコード開発環境により、C、アセンブリ言語、またはその両方を使用したアプリケーションの開発とカスタマイズが可能です。

開発プロセスの最後のステップは、PSoC Designer のデバッグ内で進めます (接続のアイコンをクリックしてアクセスします)。PSoC Designer によって HEX イメージが ICE にダウンロードされ、フルスピードで実行されます。PSoC Designer のデバッグ機能は、何倍も高価なデバッグシステムの機能に匹敵します。デバッグ インターフェースは、シングルステップ実行、ブレークポイントまでの実行、変数値の追跡などの従来からの機能のほか、大容量のトレース バッファを備えています。それは、アドレスとデータ バス値の監視、メモリ位置の監視、外部信号の監視などの複雑なブレークポイント イベントを定義できます。

ピン配置

CY8C23X33 PSoC は、32 ピン QFN と 28 ピン SSOP パッケージで出荷されます。以下の表と図に示している Vss および Vdd を除いて各ポート ピン (「P」のラベル付き) はデジタル I/O が可能です。

32 ピン製品のピン配置

表 2. ピン定義 - 32 ピン (QFN)

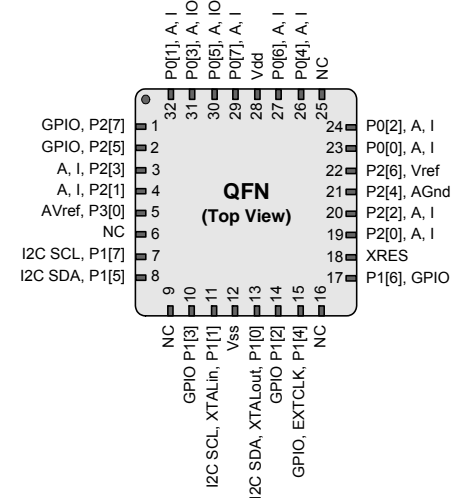
ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O		P2[7]	GPIO
2	I/O		P2[5]	GPIO
3	I/O	I	P2[3]	直接スイッチド キャパシタ ブロック入力
4	I/O	I	P2[1]	直接スイッチド キャパシタ ブロック入力
5	I/O	AVref	P3[0] ^[4]	GPIO/ADC Vref (任意)
6			NC	接続なし
7	I/O		P1[7]	I ² C シリアル クロック (SCL)
8	I/O		P1[5]	I ² C シリアル データ (SDA)
9			NC	接続なし
10	I/O		P1[3]	GPIO
11	I/O		P1[1]	GPIO、水晶振動子入力 (XTAL in)、I ² C シリアル クロック (SCL)、ISSP-SCLK*
12	電源		Vss	グランド接続
13	I/O		P1[0]	GPIO、水晶振動子出力 (XTAL out)、I ² C シリアル データ (SDA)、ISSP-SDATA*
14	I/O		P1[2]	GPIO
15	I/O		P1[4]	GPIO、外部クロック IP
16			NC	接続なし
17	I/O		P1[6]	GPIO
18	入力		XRES	内部プルダウン抵抗付きのアクティブ HIGH の外部リセットピン
19	I/O	I	P2[0]	直接スイッチド キャパシタ ブロック入力
20	I/O	I	P2[2]	直接スイッチド キャパシタ ブロック入力
21	I/O		P2[4]	外部アナログ グランド (AGnd)
22	I/O		P2[6]	外部基準電圧 (VRef)
23	I/O	I	P0[0]	アナログ カラム マルチプレクサ入力および ADC 入力
24	I/O	I	P0[2]	アナログ カラム マルチプレクサ入力および ADC 入力
25			NC	接続なし
26	I/O	I	P0[4]	アナログ カラム マルチプレクサ入力および ADC 入力
27	I/O	I	P0[6]	アナログ カラム マルチプレクサ入力および ADC 入力
28	電源		V _{DD}	電源電圧
29	I/O	I	P0[7]	アナログ カラム マルチプレクサ入力および ADC 入力
30	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ入力、カラム出力、および ADC 入力
31	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ入力、カラム出力、および ADC 入力
32	I/O	I	P0[1]	アナログ カラム マルチプレクサ入力および ADC 入力

凡例: A = アナログ、I = 入力、O = 出力。

注

- P3[0] は奇数のポートであるが、ピン配置では左側に配置されます。

図 3. CY8C23533 32 ピン PSoC デバイス



28 ピン製品のピン配置

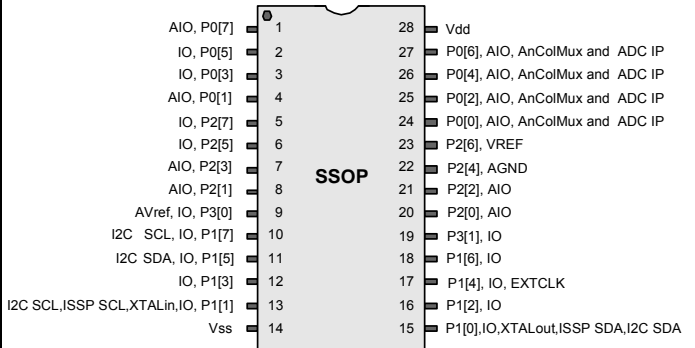
表 3. ピン定義 - 28 ピン (SSOP)

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P0[7]	アナログ カラム マルチプレクサ IP および ADC IP
2	I/O	I/O	P0[5]	アナログ カラム マルチプレクサ IP およびカラム O/P および ADC IP
3	I/O	I/O	P0[3]	アナログ カラム マルチプレクサ IP およびカラム O/P および ADC IP
4	I/O	I	P0[1]	アナログ カラム マルチプレクサ IP および ADC IP
5	I/O		P2[7]	GPIO
6	I/O		P2[5]	GPIO
7	I/O	I	P2[3]	直接スイッチド キャパシタ入力
8	I/O	I	P2[1]	直接スイッチド キャパシタ入力
9	I/O	AVref	P3[0] ^[5]	GPIO/ADC Vref (任意)
10	I/O		P1[7]	I2C SCL
11	I/O		P1[5]	I2C SDA
12	I/O		P1[3]	GPIO
13	I/O		P1[1] ^[6]	GPIO、Xtal 入力、I2C SCL、ISSP SCL
14	電源		Vss	グラウンド ピン
15	I/O		P1[0] ^[6]	GPIO、Xtal 出力、I2C SDA、ISSP SDA
16	I/O		P1[2]	GPIO
17	I/O		P1[4]	GPIO、外部クロック IP
18	I/O		P1[6]	GPIO
19	I/O		P3[1] ^[7]	GPIO
20	I/O	I	P2[0]	直接スイッチド キャパシタ入力
21	I/O	I	P2[2]	直接スイッチド キャパシタ入力
22	I/O		P2[4]	外部アナログ グランド (AGnd)
23	I/O		P2[6]	アナログ電圧リファレンス (VRef)
24	I/O	I	P0[0]	アナログ カラム マルチプレクサ IP および ADC IP
25	I/O	I	P0[2]	アナログ カラム マルチプレクサ IP および ADC IP
26	I/O	I	P0[4]	アナログ カラム マルチプレクサ IP および ADC IP
27	I/O	I	P0[6]	アナログ カラム マルチプレクサ IP および ADC IP
28	電源		Vdd	電源電圧

凡例：A = アナログ、I = 入力、O = 出力。

図 4.

図 5. CY8C23433 28 ピン PSoC デバイス



注
 5. P3[0] は奇数のポートであるが、ピン配置では左側に配置されます。
 6. POR (パワーオン リセット) の時に High-Z とならない ISSP ピン
 7. P3[1] は偶数のポートであるが、ピン配置では右側に配置されます。

レジスタ リファレンス

このセクションでは、マッピング テーブルにより CY8C23433 PSoC デバイスのレジスタをオフセット順序で示します。

レジスタの表記法

表 4 に、本節で使用しているレジスタの表記法を示します。

表 4. レジスタの表記法

表記法	説明
R	読み出しレジスタまたはビット
W	書き込みレジスタまたはビット
L	論理レジスタまたはビット
C	クリア可能なレジスタまたはビット
#	アクセスはビット固有

レジスタ マッピング テーブル

PSoC デバイスには、全部で 512 バイトのレジスタ アドレス空間があります。レジスタ空間は、I/O 空間を示し、バンク 0 とバンク 1 の 2 バンクに区分されます。フラグ レジスタ (CPU_F) 内の XIO ビットは、ユーザーがアクセスしているバンクを判定します。XIO ビットが 1 にセットされる場合、ユーザーはバンク 1 にアクセスしています。

注 次のレジスタ マッピング テーブルでは、空白のフィールドは予約済みで、アクセスしてはなりません。

表 5. レジスタ マップ バンク 0 テーブル: ユーザー空間

レジスタ名	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス
PRT0DR	00	RW		40			80			C0	
PRT0IE	01	RW		41			81			C1	
PRT0GS	02	RW		42			82			C2	
PRT0DM2	03	RW		43			83			C3	
PRT1DR	04	RW		44		ASD11CR0	84	RW		C4	
PRT1IE	05	RW		45		ASD11CR1	85	RW		C5	
PRT1GS	06	RW		46		ASD11CR2	86	RW		C6	
PRT1DM2	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DR	08	RW		48			88			C8	
PRT2IE	09	RW		49			89			C9	
PRT2GS	0A	RW		4A			8A			CA	
PRT2DM2	0B	RW		4B			8B			CB	
PRT3DR	0C	RW		4C			8C			CC	
PRT3IE	0D	RW		4D			8D			CD	
PRT3GS	0E	RW		4E			8E			CE	
PRT3DM2	0F	RW		4F			8F			CF	
	10			50			90			D0	
	11			51			91			D1	
	12			52			92			D2	
	13			53			93			D3	
	14			54		ASC21CR0	94	RW		D4	
	15			55		ASC21CR1	95	RW		D5	
	16			56		ASC21CR2	96	RW	I2C_CFG	D6	RW
	17			57		ASC21CR3	97	RW	I2C_SCR	D7	#
	18			58			98		I2C_DR	D8	RW
	19			59			99		I2C_MSCR	D9	#
	1A			5A			9A		INT_CLR0	DA	RW
	1B			5B			9B		INT_CLR1	DB	RW
	1C			5C			9C			DC	
	1D			5D			9D		INT_CLR3	DD	RW
	1E			5E			9E		INT_MSK3	DE	RW
	1F			5F			9F			DF	
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#	SARAD-C_DL	67	RW		A7		DEC_CR1	E7	RW
DCB02DR0	28	#		68			A8		MUL0_X	E8	W
DCB02DR1	29	W	SARAD-C_CR0	69	#		A9		MUL0_Y	E9	W
DCB02DR2	2A	RW	SARAD-C_CR1	6A	RW		AA		MUL0_DH	EA	R
DCB02CR0	2B	#		6B			AB		MUL0_DL	EB	R
DCB03DR0	2C	#	TMP_DR0	6C	RW		AC		ACC0_DR1	EC	RW
DCB03DR1	2D	W	TMP_DR1	6D	RW		AD		ACC0_DR0	ED	RW
DCB03DR2	2E	RW	TMP_DR2	6E	RW		AE		ACC0_DR3	EE	RW
DCB03CR0	2F	#	TMP_DR3	6F	RW		AF		ACC0_DR2	EF	RW
	30		ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
	31		ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
	32		ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
	34		ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
	35		ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
	36		ACB01CR1*	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2*	77	RW		B7		CPU_F	F7	RL
	38			78			B8			F8	
	39			79			B9			F9	

灰色のフィールドは予約されています。「#」アクセスはビット固有です。

表 5. レジスタ マップ バンク 0 テーブル: ユーザー空間 (続き)

レジスタ名	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス	名称	アドレス (1、16 進)	アクセス
	3A			7A			BA			FA	
	3B			7B			BB			FB	
	3C			7C			BC			FC	
	3D			7D			BD			FD	
	3E			7E			BE		CPU_SCR1	FE	#
	3F			7F			BF		CPU_SCR0	FF	#

灰色のフィールドは予約されています。「#」アクセスはビット固有です。

表 6. レジスタ マップ バンク 1 テーブル: コンフィギュレーション空間

レジスタ名	アドレス (1、16 進)	アクセス	レジスタ名	アドレス (1、16 進)	アクセス	レジスタ名	アドレス (1、16 進)	アクセス	レジスタ名	アドレス (1、16 進)	アクセス
PRT0DM0	00	RW		40			80			C0	
PRT0DM1	01	RW		41			81			C1	
PRT0IC0	02	RW		42			82			C2	
PRT0IC1	03	RW		43			83			C3	
PRT1DM0	04	RW		44		ASD11CR0	84	RW		C4	
PRT1DM1	05	RW		45		ASD11CR1	85	RW		C5	
PRT1IC0	06	RW		46		ASD11CR2	86	RW		C6	
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW		48			88			C8	
PRT2DM1	09	RW		49			89			C9	
PRT2IC0	0A	RW		4A			8A			CA	
PRT2IC1	0B	RW		4B			8B			CB	
PRT3DM0	0C	RW		4C			8C			CC	
PRT3DM1	0D	RW		4D			8D			CD	
PRT3IC0	0E	RW		4E			8E			CE	
PRT3IC1	0F	RW		4F			8F			CF	
	10			50			90		GDI_O_IN	D0	RW
	11			51			91		GDI_E_IN	D1	RW
	12			52			92		GDI_O_OU	D2	RW
	13			53			93		GDI_E_OU	D3	RW
	14			54		ASC21CR0	94	RW		D4	
	15			55		ASC21CR1	95	RW		D5	
	16			56		ASC21CR2	96	RW		D6	
	17			57		ASC21CR3	97	RW		D7	
	18			58			98			D8	
	19			59			99			D9	
	1A			5A			9A			DA	
	1B			5B			9B			DB	
	1C			5C			9C			DC	
	1D			5D			9D		OSC_GO_EN	DD	RW
	1E			5E			9E		OSC_CR4	DE	RW
	1F			5F			9F		OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7			E7	
DCB02FN	28	RW		68		SARADC_TRS	A8	RW	IMO_TR	E8	W
DCB02IN	29	RW		69		SARADC_TRCL	A9	RW	ILO_TR	E9	W
DCB02OU	2A	RW		6A		SARADC_TRCH	AA	RW	BDG_TR	EA	RW
	2B			6B		SARADC_CR2	AB	#	ECO_TR	EB	W
DCB03FN	2C	RW	TMP_DR0	6C	RW	SARADC_LCR	AC	RW		EC	
DCB03IN	2D	RW	TMP_DR1	6D	RW		AD			ED	
DCB03OU	2E	RW	TMP_DR2	6E	RW		AE			EE	
	2F		TMP_DR3	6F	RW		AF			EF	
	30		ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
	31		ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
	32		ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
	34		ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	

灰色のフィールドは予約されています。「#」アクセスはビット固有です。

表 6. レジスタ マップ バンク 1 テーブル: コンフィギュレーション空間 (続き)

レジスタ名	アドレス (1、16 進)	アクセス	レジスタ名	アドレス (1、16 進)	アクセス	レジスタ名	アドレス (1、16 進)	アクセス	レジスタ名	アドレス (1、16 進)	アクセス
	35		ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
	36		ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2*	77	RW		B7		CPU_F	F7	RL
	38			78			B8			F8	
	39			79			B9			F9	
	3A			7A			BA		FLS_PR1	FA	RW
	3B			7B			BB			FB	
	3C			7C			BC			FC	
	3D			7D			BD			FD	
	3E			7E			BE		CPU_SCR1	FE	#
	3F			7F			BF		CPU_SCR0	FF	#

灰色のフィールドは予約されています。「#」アクセスはビット固有です。

電氣的仕様

このセクションでは、CY8C23433 PSoC デバイスにおける DC および AC の電氣的仕様について説明します。最新の電氣的仕様については、<http://www.cypress.com> をご覧ください。

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。

SLIMO モードでの IMO (内部主振動子) の電氣的仕様については、表 23 (ページ 31) を参照してください。

図 6. 電圧と CPU 周波数の関係

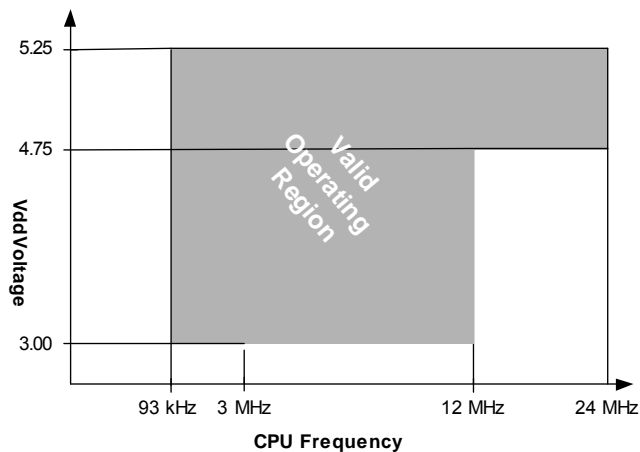
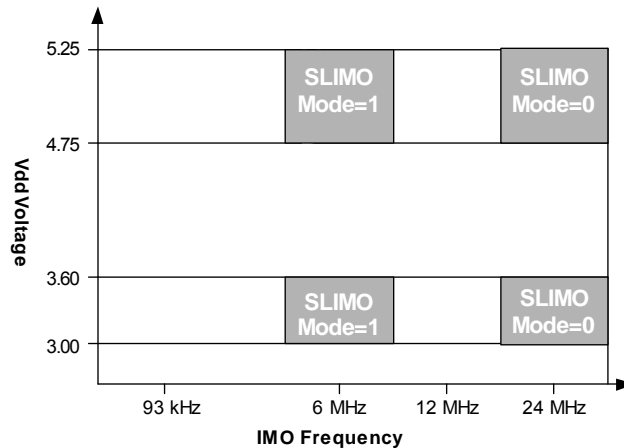


図 8. IMO 周波数のトリム オプション



絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインは未テストです。

表 7. 絶対最大定格

記号	説明	Min	Typ	Max	単位	注
T _{STG}	保管温度	-55	25	+100	°C	保管温度が高いと、データ保存期間が短くなる。推奨保管温度は +25°C ± 25°C。85°C を超える温度で長期間保管すると、信頼性が低下
T _{BAKETEMP}	ベーキング温度	-	125	パッケージのラベルを参照	°C	
T _{BAKETIME}	ベーキング時間	パッケージのラベルを参照	-	72	時間	
T _A	通電時の周囲温度	-40	-	+85	°C	
V _{DD}	V _{SS} を基準にした VDD の電源電圧	-0.5	-	+6.0	V	
V _{IO}	DC 入力電圧	V _{SS} -0.5	-	V _{DD} +0.5	V	
V _{IOZ}	トライステートの時の DC 電圧	V _{SS} -0.5	-	V _{DD} +0.5	V	
I _{MIO}	ポート ピンへの最大電流	-25	-	+50	mA	
ESD	静電気放電電圧	2000	-	-	V	人体モデル ESD
LU	ラッチアップ電流	-	-	200	mA	

動作温度
表 8. 動作温度

記号	説明	Min	Typ	Max	単位	注
T _A	周囲温度	-40	-	+85	°C	
T _J	接合部温度	-40	-	+100	°C	周囲温度に対する接合部の温度上昇はパッケージにより異なります。表 37 (ページ 42) を参照してください。この要件を満たすように、消費電力を制限する必要があります

DC 電気的特性
チップレベルの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 9. チップレベルの DC 仕様

記号	説明	Min	Typ	Max	単位	注
V _{DD}	電源電圧	3.0	–	5.25	V	表 19 (ページ 28) を参照してください
I _{DD}	電源電流	–	5	8	mA	条件は、V _{DD} = 5.0V、T _A = 25°C、CPU = 3 MHz、SYSCLK ダブラー無効、VC1 = 1.5MHz、VC2 = 93.75 kHz、VC3 = 93.75 kHz、アナログ電源 = オフ。SLIMO モード = 0。IMO = 24MHz
I _{DD3}	電源電流	–	3.3	6.0	mA	条件は、V _{DD} = 3.3V、T _A = 25°C、CPU = 3MHz、SYSCLK ダブラー無効、VC1 = 1.5MHz、VC2 = 93.75kHz、VC3 = 93.75kHz、アナログ電源 = オフ。SLIMO モード = 0。IMO = 24MHz
I _{SB}	POR、LVD、スリープ タイマー、および WDT を持つスリープ (モード) 電流 ^[8]	–	3	6.5	μA	条件：内部低速振動子あり、V _{DD} = 3.3V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、アナログ電源 = オフ
I _{SBH}	POR、LVD、スリープ タイマー、WDT を持つスリープ (モード) 電流 ^[8]	–	4	25	μA	条件：内部低速振動子あり、V _{DD} = 3.3V、 $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$ 、アナログ電源 = オフ
I _{SBXTL}	POR、LVD、スリープ タイマー、WDT、および外部水晶を持つスリープ (モード) 電流 ^[8]	–	4	7.5	μA	条件：適切にロードされた、最大 1mW、32.768kHz の水晶 V _{DD} = 3.3V、 $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$ 、アナログ電源 = オフ
I _{SBXTLH}	高温での POR、LVD、スリープ タイマー、WDT および外部水晶を持つスリープ (モード) 電流 ^[8]	–	5	26	μA	条件：適切にロードされた、最大 1mW、32.768kHz の水晶 V _{DD} = 3.3V、 $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$ 、アナログ電源 = オフ
V _{REF}	基準電圧 (バンドギャップ)	1.28	1.30	1.32	V	適切な V _{DD} のためにトリムされる。V _{DD} > 3.0V

注
8. スタンバイ電流は信頼性のあるシステム動作に必要なすべての機能 (POR、LVD、WDT、スリープ時間) を備えています。これは、同じ機能が有効されたデバイスと比較する必要があります。

汎用 I/O の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型的なパラメータは、温度 25°C、電圧 5V および 3.3V の場合の値で、設計の指針としてのみ示します。

表 10. 5V と 3.3V 時の GPIO の DC 仕様

記号	説明	Min	Typ	Max	単位	注
R _{PU}	プルアップ抵抗	4	5.6	8	kΩ	
R _{PD}	プルダウン抵抗	4	5.6	8	kΩ	
V _{OH}	出力 HIGH レベル	V _{DD} - 1.0	–	–	V	I _{OH} = 10mA、V _{DD} = 4.75 ~ 5.25V (偶数ポートピン (例えば、P0[2]、P1[4]) では最大 40mA、奇数ポートピン (例えば、P0[3]、P1[5]) では最大 40mA)。すべてのピンにおける最大総電流 I _{OH} バジレットが 80mA
V _{OL}	出力 LOW レベル	–	–	0.75	V	I _{OL} = 25mA、V _{DD} = 4.75 ~ 5.25V (偶数ポートピン (例えば、P0[2]、P1[4]) では、最大 100mA、奇数ポートピン (例えば、P0[3]、P1[5]) では、最大 100mA)。すべてのピンにおける最大総電流 I _{OL} バジレットが 150mA
I _{OH}	HIGH レベル ソース電流	10	–	–	mA	V _{OH} = V _{DD} - 1.0V、V _{OH} の注に記載されている総電流の制限を参照してください
I _{OL}	出力電圧が LOW の時のシンク電流	25	–	–	mA	V _{OL} = 0.75V、V _{OL} の注に記載されている総電流の制限を参照してください
V _{IL}	入力 LOW 時の電圧レベル	–	–	0.8	V	V _{DD} = 3.0 ~ 5.25
V _{IH}	入力 HIGH 時の電圧レベル	2.1	–	–	V	V _{DD} = 3.0 ~ 5.25
V _H	入力ヒステリシス	–	60	–	mV	
I _{IL}	入力リーク電流 (絶対値)	–	1	–	nA	総リーク電流 1mA 以下
C _{IN}	入力として使用されるピンの容量負荷	–	3.5	10	pF	パッケージとピンによって異なる。温度 = 25 °C
C _{OUT}	出力として使用されるピンの容量負荷	–	3.5	10	pF	パッケージとピンによって異なる。温度 = 25 °C

オペアンプの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

オペアンプは、アナログ連続時間 PSoC ブロックとアナログ スイッチド キャパシタ PSoC ブロック両方のコンポーネントです。保証された仕様は、アナログ連続時間 PSoC ブロックで測定されます。標準パラメータは、温度 25°C、電圧 5V の場合の値で、単なる設計の参考用のデータです。

表 11. 5V 時の演算増幅器の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V _{OSOA}	入力オフセット電圧 (絶対値)	–	1.6	10	mV	
	電力 = 低、オペアンプ バイアス = 高	–	1.3	8	mV	
	電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	–	1.2	7.5	mV	
TCV _{OSOA}	平均入力オフセット電圧ドリフト	–	7.0	35.0	mV/°C	
I _{EBOA}	入力リーク電流 (ポート 0 アナログピン)	–	20	–	pA	総リーク電流が 1mA 以下ですべてのピンで同時テスト
C _{INOA}	入力容量 (ポート 0 アナログピン)	–	4.5	9.5	pF	パッケージとピンによって異なる。温度 = 25°C
V _{CMOA}	同相電圧範囲	0.0	–	V _{DD}	V	同相入力電圧範囲は、アナログ出力バッファを通じて測定される。仕様には、アナログ出力バッファの特性に伴う制限も含まれる
	同相電圧範囲 (「電力 = 高」または「オペアンプ バイアス」 = 高)	0.5	–	V _{DD} - 0.5	V	
G _{OLOA}	開ループゲイン					仕様は電力が高い時に適用。「電力 = 高、オペアンプ バイアス = 高」以外のすべての他のバイアスモードの場合には最少値が 60dB
	電力 = 低、オペアンプ バイアス = 高	60	–	–	dB	
	電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	60 80	– –	– –	– –	
V _{OHIGHOA}	HIGH 出力電圧スイング (内部信号)					
	電力 = 低、オペアンプ バイアス = 高	V _{DD} - 0.2	–	–	V	
	電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	V _{DD} - 0.2 V _{DD} - 0.5	– –	– –	V V	
V _{OLOWOA}	LOW 出力電圧スイング (内部信号)					
	電力 = 低、オペアンプ バイアス = 高	–	–	0.2	V	
	電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	– –	– –	0.2 0.5	V V	
I _{SOA}	電源電流 (関連する AGND バッファも含む)					
	電力 = 低、オペアンプ バイアス = 高	–	300	400	μA	
	電力 = 中、オペアンプ バイアス = 低	–	600	800	μA	
	電力 = 中、オペアンプ バイアス = 高	–	1200	1600	μA	
	電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	– –	2400 4600	3200 6400	μA μA	
PSRR _{OA}	電源電圧変動除去比	52	80	–	dB	V _{SS} ≤ V _{IN} ≤ (V _{DD} - 2.25) または (V _{DD} - 1.25V) ≤ V _{IN} ≤ V _{DD}

表 12. 3.3V 時の演算増幅器の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{OSOA}	入力オフセット電圧 (絶対値) 電力 = 低、オペアンプ バイアス = 高 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 高	– – –	1.65 1.32 –	10 8 –	mV mV mV	電力 = 高、オペアンプ バイアス = 高という設定は、3.3V の V_{DD} 動作で許可されない
TCV_{OSOA}	平均入力オフセット電圧ドリフト	–	7.0	35.0	$\mu V/^{\circ}C$	
I_{EBOA}	入力リーク電流 (ポート 0 アナログ ピン)	–	20	–	pA	総リーク電流 1mA 以下
C_{INOA}	入力静電容量 (ポート 0 アナログ ピン)	–	4.5	9.5	pF	パッケージとピンによって異なる。温度 = 25 $^{\circ}C$
V_{CMOA}	同相電圧範囲	0.2	–	$V_{DD}-0.2$	V	同相入力電圧範囲は、アナログ出力バッファを通じて測定される。仕様には、アナログ出力バッファの特性に伴う制限も含まれる
G_{OLOA}	開ループ ゲイン 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 低	60 60 80	– – –	– – –	dB dB dB	仕様はオペアンプ バイアスが低い時に適用。「電力 = 高い、オペアンプ バイアス = 高」以外の HIGH オペアンプ バイアス モードの場合は最少が 60dB
$V_{OHIGHOA}$	HIGH 出力電圧スイング (内部信号) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 低	$V_{DD}-0.2$ $V_{DD}-0.2$ $V_{DD}-0.2$	– – –	– – –	V V V	電力 = 高、オペアンプ バイアス = 高という設定は、3.3V の V_{DD} 動作で許可されない
V_{OLOWA}	LOW 出力電圧スイング (内部信号) 電力 = 低、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 低	– – –	– – –	0.2 0.2 0.2	V V V	「電力 = 高、オペアンプ バイアス = 高」の設定は、3.3V の V_{DD} 動作で許可されない
I_{SOA}	電源電流 (関連する AGND バッファを含む) 電力 = 低、オペアンプ バイアス = 低 電力 = 低、オペアンプ バイアス = 高 電力 = 中、オペアンプ バイアス = 低 電力 = 中、オペアンプ バイアス = 高 電力 = 高、オペアンプ バイアス = 低 電力 = 高、オペアンプ バイアス = 高	– – – – – –	150 300 600 1200 2400 –	200 400 800 1600 3200 –	mA mA mA mA mA mA	「電力 = 高、オペアンプ バイアス = 高」の設定は、3.3V の V_{DD} 動作で許可されない
$PSRR_{OA}$	電源電圧変動除去比	64	80	–	dB	$V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25)$ または $(V_{DD} - 1.25) \leq V_{IN} \leq V_{DD}$

低消費電力コンパレータの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します: 4.75V ~ 5.25V、 $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、または 3.0V ~ 3.6V、 $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。標準パラメータは、温度 25 $^{\circ}C$ 、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 13. 低消費電力コンパレータの DC 仕様

記号	説明	Min	Typ	Max	単位
V_{REFLPC}	低消費電力コンパレータ (LPC) リファレンス電圧範囲	0.2	–	$V_{DD} - 1.0$	V
I_{SLPC}	LPC 供給電流	–	10	40	μA
V_{OSLPC}	LPC 電圧オフセット	–	2.5	30	mV

アナログ出力バッファの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 14. 5V の時のアナログ出力バッファの DC 仕様

記号	説明	Min	Typ	Max	単位	注
C_L	負荷容量	-	-	200	pF	この仕様は、アナログ出力バッファにより駆動されている外部回路に適用。
V_{OSOB}	入力オフセット電圧 (絶対値)	-	3	12	mV	
TCV_{OSOB}	平均入力オフセット電圧ドリフト	-	+6	-	mV/°C	
V_{CMOB}	同相入力電圧範囲	0.5	-	$V_{DD} - 1.0$	V	
R_{OUTOB}	出力抵抗値 電力 = 低 電力 = 高	- -	1 1	- -	W W	
$V_{OHIGHOB}$	High 出力電圧スイング ($V_{DD}/2$ への負荷 = 32Ω) 電力 = 低 電力 = 高	$0.5 \times V_{DD} + 1.1$ $0.5 \times V_{DD} + 1.1$	- -	- -	V V	
V_{OLOWOB}	LOW 出力電圧スイング ($V_{DD}/2$ への負荷 = 32Ω) 電力 = 低 電力 = 高	- -	- -	$0.5 \times V_{DD} - 1.3$ $0.5 \times V_{DD} - 1.3$	V V	
I_{SOB}	バイアスセルを含む電源電流 (負荷なし) 電力 = 低 電力 = 高	- -	1.1 2.6	5.1 8.8	mA mA	
$PSRR_{OB}$	電源電圧変動除去比	52	64	-	dB	$V_{OUT} > (V_{DD} - 1.25)$

表 15. 3.3V 時のアナログ出力バッファの DC 仕様

記号	説明	Min	Typ	Max	単位	注
C_L	負荷容量	-	-	200	pF	この仕様は、アナログ出力バッファにより駆動されている外部回路に適用。
V_{OSOB}	入力オフセット電圧 (絶対値)	-	3	12	mV	
TCV_{OSOB}	平均入力オフセット電圧ドリフト	-	+6	-	mV/°C	
V_{CMOB}	同相入力電圧範囲	0.5	-	$V_{DD} - 1.0$	V	
R_{OUTOB}	出力抵抗値 電力 = 低 電力 = 高	- -	1 1	- -	W W	
$V_{OHIGHOB}$	出力電圧スイング ($V_{DD}/2$ への負荷 = 1kΩ) 電力 = 低 電力 = 高	$0.5 \times V_{DD} + 1.0$ $0.5 \times V_{DD} + 1.0$	- -	- -	V V	
V_{OLOWOB}	LOW 出力電圧スイング ($V_{DD}/2$ への負荷 = 1000Ω) 電力 = 低 電力 = 高	- -	- -	$0.5 \times V_{DD} - 1.0$ $0.5 \times V_{DD} - 1.0$	V V	
I_{SOB}	バイアスセルを含む電源電流 (負荷なし) 電力 = 低 電力 = 高	- -	0.8 2.0	2.0 4.3	mA mA	
$PSRR_{OB}$	電源電圧変動除去比	52	64	-	dB	$V_{OUT} > (V_{DD} - 1.25)$

アナログ リファレンスの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

保証された仕様は、アナログ連続時間 PSoC ブロックを通じて測定されます。AGND の電力レベルは、アナログ連続時間 PSoC ブロックの電力を表します。RefHi と RefLo の電力レベルは、アナログ リファレンス制御レジスタの電力を表します。AGND について記載されている制限には、アナログ連続時間 PSoC ブロックに固有の AGND バッファのオフセット誤差が含まれます。リファレンス制御電力が高いです。

表 16. 5V 時のアナログ リファレンスの DC 仕様

リファレンス ARF_CR [5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b000	リファレンス電力 = 高 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	V _{DD} /2 + バンドギャップ	V _{DD} /2 + 1.136	V _{DD} /2 + 1.288	V _{DD} /2 + 1.409	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.138	V _{DD} /2 + 0.003	V _{DD} /2 + 0.132	V
		V _{REFLO}	リファレンス電圧 LOW	V _{DD} /2 - バンドギャップ	V _{DD} /2 - 1.417	V _{DD} /2 - 1.289	V _{DD} /2 - 1.154	V
	リファレンス電力 = 高 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	V _{DD} /2 + バンドギャップ	V _{DD} /2 + 1.202	V _{DD} /2 + 1.290	V _{DD} /2 + 1.358	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.055	V _{DD} /2 + 0.001	V _{DD} /2 + 0.055	V
		V _{REFLO}	リファレンス電圧 LOW	V _{DD} /2 - バンドギャップ	V _{DD} /2 - 1.369	V _{DD} /2 - 1.295	V _{DD} /2 - 1.218	V
	リファレンス電力 = 中 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	V _{DD} /2 + バンドギャップ	V _{DD} /2 + 1.211	V _{DD} /2 + 1.292	V _{DD} /2 + 1.357	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.055	V _{DD} /2	V _{DD} /2 + 0.052	V
		V _{REFLO}	リファレンス電圧 LOW	V _{DD} /2 - バンドギャップ	V _{DD} /2 - 1.368	V _{DD} /2 - 1.298	V _{DD} /2 - 1.224	V
	リファレンス電力 = 中 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	V _{DD} /2 + バンドギャップ	V _{DD} /2 + 1.215	V _{DD} /2 + 1.292	V _{DD} /2 + 1.353	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.040	V _{DD} /2 - 0.001	V _{DD} /2 + 0.033	V
		V _{REFLO}	リファレンス電圧 LOW	V _{DD} /2 - バンドギャップ	V _{DD} /2 - 1.368	V _{DD} /2 - 1.299	V _{DD} /2 - 1.225	V
0b001	リファレンス電力 = 高 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.076	P2[4] + P2[6] - 0.021	P2[4] + P2[6] + 0.041	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.025	P2[4] - P2[6] + 0.011	P2[4] - P2[6] + 0.085	V
	リファレンス電力 = 高 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.069	P2[4] + P2[6] - 0.014	P2[4] + P2[6] + 0.043	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.029	P2[4] - P2[6] + 0.005	P2[4] - P2[6] + 0.052	V
	リファレンス電力 = 中 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.072	P2[4] + P2[6] - 0.011	P2[4] + P2[6] + 0.048	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.031	P2[4] - P2[6] + 0.002	P2[4] - P2[6] + 0.057	V
	リファレンス電力 = 中 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.070	P2[4] + P2[6] - 0.009	P2[4] + P2[6] + 0.047	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - P2[6] (P2[4] = V _{DD} /2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.033	P2[4] - P2[6] + 0.001	P2[4] - P2[6] + 0.039	V

表 16. 5V 時のアナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR [5:3]	リファレンス 電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b010	リファレンス 電力=高 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.121	V _{DD} - 0.003	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.040	V _{DD} /2	V _{DD} /2 + 0.034	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.006	V _{SS} + 0.019	V
	リファレンス 電力=高 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.083	V _{DD} - 0.002	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.040	V _{DD} /2 - 0.001	V _{DD} /2 + 0.033	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.004	V _{SS} + 0.016	V
	リファレンス 電力=中 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.075	V _{DD} - 0.002	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.040	V _{DD} /2 - 0.001	V _{DD} /2 + 0.032	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.003	V _{SS} + 0.015	V
	リファレンス 電力=中 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.074	V _{DD} - 0.002	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.040	V _{DD} /2 - 0.001	V _{DD} /2 + 0.032	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.002	V _{SS} + 0.014	V
0b011	リファレンス 電力=高 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	3.753	3.874	3.979	V
		V _{AGND}	AGND	2 × バンドギャップ	2.511	2.590	2.657	V
		V _{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.243	1.297	1.333	V
	リファレンス 電力=高 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	3.767	3.881	3.974	V
		V _{AGND}	AGND	2 × バンドギャップ	2.518	2.592	2.652	V
		V _{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.241	1.295	1.330	V
	リファレンス 電力=中 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	2.771	3.885	3.979	V
		V _{AGND}	AGND	2 × バンドギャップ	2.521	2.593	2.649	V
		V _{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.240	1.295	1.331	V
	リファレンス 電力=中 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	3 × バンドギャップ	3.771	3.887	3.977	V
		V _{AGND}	AGND	2 × バンドギャップ	2.522	2.594	2.648	V
		V _{REFLO}	リファレンス電圧 LOW	バンドギャップ	1.239	1.295	1.332	V

表 16. 5V 時のアナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR [5:3]	リファレンス 電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b100	リファレンス 電力 = 高 オペアンプ バ イアス = 高	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.481 + P2[6]	2.569 + P2[6]	2.639 + P2[6]	V
		V _{AGND}	AGND	2 × バンドギャップ	2.511	2.590	2.658	V
		V _{REFLO}	リファレンス電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.515 – P2[6]	2.6V – P2[6]	2.654 – P2[6]	V
	リファレンス 電力 = 高 オペアンプ バ イアス = 低	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.498 + P2[6]	2.579 + P2[6]	2.642 + P2[6]	V
		V _{AGND}	AGND	2 × バンドギャップ	2.518	2.592	2.652	V
		V _{REFLO}	リファレンス電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.513 – P2[6]	2.598 – P2[6]	2.650 – P2[6]	V
	リファレンス 電力 = 中 オペアンプ バ イアス = 高	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.504 + P2[6]	2.583 + P2[6]	2.646 + P2[6]	V
		V _{AGND}	AGND	2 × バンドギャップ	2.521	2.592	2.650	V
		V _{REFLO}	リファレンス電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.513 – P2[6]	2.596 – P2[6]	2.649 – P2[6]	V
	リファレンス 電力 = 中 オペアンプ バ イアス = 低	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ + P2[6] (P2[6] = 1.3V)	2.505 + P2[6]	2.586 + P2[6]	2.648 + P2[6]	V
		V _{AGND}	AGND	2 × バンドギャップ	2.521	2.594	2.648	V
		V _{REFLO}	リファレンス電圧 LOW	2 × バンドギャップ – P2[6] (P2[6] = 1.3V)	2.513 – P2[6]	2.595 – P2[6]	2.648 – P2[6]	V
0b101	リファレンス 電力 = 高 オペアンプ バ イアス = 高	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.228	P2[4] + 1.284	P2[4] + 1.332	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V _{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V _{DD} /2)	P2[4] – 1.358	P2[4] – 1.293	P2[4] – 1.226	V
	リファレンス 電力 = 高 オペアンプ バ イアス = 低	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.236	P2[4] + 1.289	P2[4] + 1.332	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V _{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V _{DD} /2)	P2[4] – 1.357	P2[4] – 1.297	P2[4] – 1.229	V
	リファレンス 電力 = 中 オペアンプ バ イアス = 高	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.237	P2[4] + 1.291	P2[4] + 1.337	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V _{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V _{DD} /2)	P2[4] – 1.356	P2[4] – 1.299	P2[4] – 1.232	V
	リファレンス 電力 = 中 オペアンプ バ イアス = 低	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.237	P2[4] + 1.292	P2[4] + 1.337	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	–
		V _{REFLO}	リファレンス電圧 LOW	P2[4] – バンドギャップ (P2[4] = V _{DD} /2)	P2[4] – 1.357	P2[4] – 1.300	P2[4] – 1.233	V

表 16. 5V 時のアナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR [5:3]	リファレンス 電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b110	リファレンス 電力=高 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.512	2.594	2.654	V
		V _{AGND}	AGND	バンドギャップ	1.250	1.303	1.346	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.011	V _{SS} + 0.027	V
	リファレンス 電力=高 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.515	2.592	2.654	V
		V _{AGND}	AGND	バンドギャップ	1.253	1.301	1.340	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.006	V _{SS} + 0.02	V
	リファレンス 電力=中 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.518	2.593	2.651	V
		V _{AGND}	AGND	バンドギャップ	1.254	1.301	1.338	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.004	V _{SS} + 0.017	V
	リファレンス 電力=中 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.517	2.594	2.650	V
		V _{AGND}	AGND	バンドギャップ	1.255	1.300	1.337	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.003	V _{SS} + 0.015	V
0b111	リファレンス 電力=高 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	3.2 × バンドギャップ	4.011	4.143	4.203	V
		V _{AGND}	AGND	1.6 × バンドギャップ	2.020	2.075	2.118	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.011	V _{SS} + 0.026	V
	リファレンス 電力=高 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	3.2 × バンドギャップ	4.022	4.138	4.203	V
		V _{AGND}	AGND	1.6 × バンドギャップ	2.023	2.075	2.114	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.006	V _{SS} + 0.017	V
	リファレンス 電力=中 オペアンプバ イアス=高	V _{REFHI}	リファレンス電圧 HIGH	3.2 × バンドギャップ	4.026	4.141	4.207	V
		V _{AGND}	AGND	1.6 × バンドギャップ	2.024	2.075	2.114	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.004	V _{SS} + 0.015	V
	リファレンス 電力=中 オペアンプバ イアス=低	V _{REFHI}	リファレンス電圧 HIGH	3.2 × バンドギャップ	4.030	4.143	4.206	V
		V _{AGND}	AGND	1.6 × バンドギャップ	2.024	2.076	2.112	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.003	V _{SS} + 0.013	V

表 17. 3.3V 時のアナログ リファレンスの DC 仕様

リファレンス ARF_CR [5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b000	リファレンス電力 = 高 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2 + \text{バンドギャップ}$	$V_{DD}/2 + 1.170$	$V_{DD}/2 + 1.288$	$V_{DD}/2 + 1.376$	V
		V _{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.098$	$V_{DD}/2 + 0.003$	$V_{DD}/2 + 0.097$	V
		V _{REFLO}	リファレンス電圧 LOW	$V_{DD}/2 - \text{バンドギャップ}$	$V_{DD}/2 - 1.386$	$V_{DD}/2 - 1.287$	$V_{DD}/2 - 1.169$	V
	リファレンス電力 = 高 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2 + \text{バンドギャップ}$	$V_{DD}/2 + 1.210$	$V_{DD}/2 + 1.290$	$V_{DD}/2 + 1.355$	V
		V _{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.055$	$V_{DD}/2 + 0.001$	$V_{DD}/2 + 0.054$	V
		V _{REFLO}	リファレンス電圧 LOW	$V_{DD}/2 - \text{バンドギャップ}$	$V_{DD}/2 - 1.359$	$V_{DD}/2 - 1.292$	$V_{DD}/2 - 1.214$	V
	リファレンス電力 = 中 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2 + \text{バンドギャップ}$	$V_{DD}/2 + 1.198$	$V_{DD}/2 + 1.292$	$V_{DD}/2 + 1.368$	V
		V _{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.041$	$V_{DD}/2$	$V_{DD}/2 + 0.04$	V
		V _{REFLO}	リファレンス電圧 LOW	$V_{DD}/2 - \text{バンドギャップ}$	$V_{DD}/2 - 1.362$	$V_{DD}/2 - 1.295$	$V_{DD}/2 - 1.220$	V
	リファレンス電力 = 中 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	$V_{DD}/2 + \text{バンドギャップ}$	$V_{DD}/2 + 1.202$	$V_{DD}/2 + 1.292$	$V_{DD}/2 + 1.364$	V
		V _{AGND}	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.033$	$V_{DD}/2$	$V_{DD}/2 + 0.030$	V
		V _{REFLO}	リファレンス電圧 LOW	$V_{DD}/2 - \text{バンドギャップ}$	$V_{DD}/2 - 1.364$	$V_{DD}/2 - 1.297$	$V_{DD}/2 - 1.222$	V
0b001	リファレンス電力 = 高 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	$P2[4] + P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] + P2[6] - 0.072$	$P2[4] + P2[6] - 0.017$	$P2[4] + P2[6] + 0.041$	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	$P2[4] - P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] - P2[6] - 0.029$	$P2[4] - P2[6] + 0.010$	$P2[4] - P2[6] + 0.048$	V
	リファレンス電力 = 高 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	$P2[4] + P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] + P2[6] - 0.066$	$P2[4] + P2[6] - 0.010$	$P2[4] + P2[6] + 0.043$	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	$P2[4] - P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] - P2[6] - 0.024$	$P2[4] - P2[6] + 0.004$	$P2[4] - P2[6] + 0.034$	V
	リファレンス電力 = 中 オペアンプバイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	$P2[4] + P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] + P2[6] - 0.073$	$P2[4] + P2[6] - 0.007$	$P2[4] + P2[6] + 0.053$	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	$P2[4] - P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] - P2[6] - 0.028$	$P2[4] - P2[6] + 0.002$	$P2[4] - P2[6] + 0.033$	V
	リファレンス電力 = 中 オペアンプバイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	$P2[4] + P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] + P2[6] - 0.073$	$P2[4] + P2[6] - 0.006$	$P2[4] + P2[6] + 0.056$	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	$P2[4] - P2[6] (P2[4] = V_{DD}/2, P2[6] = 0.5V)$	$P2[4] - P2[6] - 0.030$	$P2[4] - P2[6]$	$P2[4] - P2[6] + 0.032$	V

表 17. 3.3V 時のアナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR [5:3]	リファレンス 電力 設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b010	リファレンス電力 = 高 オペアンプ バイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.102	V _{DD} - 0.003	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.040	V _{DD} /2 + 0.001	V _{DD} /2 + 0.039	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.005	V _{SS} + 0.020	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.082	V _{DD} - 0.002	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.031	V _{DD} /2	V _{DD} /2 + 0.028	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.003	V _{SS} + 0.015	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.083	V _{DD} - 0.002	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.032	V _{DD} /2 - 0.001	V _{DD} /2 + 0.029	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.002	V _{SS} + 0.014	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	V _{DD}	V _{DD} - 0.081	V _{DD} - 0.002	V _{DD}	V
		V _{AGND}	AGND	V _{DD} /2	V _{DD} /2 - 0.033	V _{DD} /2 - 0.001	V _{DD} /2 + 0.029	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.002	V _{SS} + 0.013	V
0b011	すべての電源設定。 3.3V 時に許可されない	-	-	-	-	-	-	-
0b100	すべての電源設定。 3.3V 時に許可されない	-	-	-	-	-	-	-
0b101	リファレンス電力 = 高 オペアンプ バイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.211	P2[4] + 1.285	P2[4] + 1.348	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - バンドギャップ (P2[4] = V _{DD} /2)	P2[4] - 1.354	P2[4] - 1.290	P2[4] - 1.197	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.209	P2[4] + 1.289	P2[4] + 1.353	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - バンドギャップ (P2[4] = V _{DD} /2)	P2[4] - 1.352	P2[4] - 1.294	P2[4] - 1.222	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.218	P2[4] + 1.291	P2[4] + 1.351	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - バンドギャップ (P2[4] = V _{DD} /2)	P2[4] - 1.351	P2[4] - 1.296	P2[4] - 1.224	V
	リファレンス電力 = 中 オペアンプ バイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	P2[4] + バンドギャップ (P2[4] = V _{DD} /2)	P2[4] + 1.215	P2[4] + 1.292	P2[4] + 1.354	V
		V _{AGND}	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		V _{REFLO}	リファレンス電圧 LOW	P2[4] - バンドギャップ (P2[4] = V _{DD} /2)	P2[4] - 1.352	P2[4] - 1.297	P2[4] - 1.227	V

表 17. 3.3V 時のアナログ リファレンスの DC 仕様 (続き)

リファレンス ARF_CR [5:3]	リファレンス電力設定	記号	リファレンス	説明	Min	Typ	Max	単位
0b110	リファレンス電力 = 高 オペアンプ バイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.460	2.594	2.695	V
		V _{AGND}	AGND	バンドギャップ	1.257	1.302	1.335	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.01	V _{SS} + 0.029	V
	リファレンス電力 = 高 オペアンプ バイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.462	2.592	2.692	V
		V _{AGND}	AGND	バンドギャップ	1.256	1.301	1.332	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.005	V _{SS} + 0.017	V
	リファレンス電力 = 中 オペアンプ バイアス = 高	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.473	2.593	2.682	V
		V _{AGND}	AGND	バンドギャップ	1.257	1.301	1.330	V
		V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.003	V _{SS} + 0.014	V
リファレンス電力 = 中 オペアンプ バイアス = 低	V _{REFHI}	リファレンス電圧 HIGH	2 × バンドギャップ	2.470	2.594	2.685	V	
	V _{AGND}	AGND	バンドギャップ	1.256	1.300	1.332	V	
	V _{REFLO}	リファレンス電圧 LOW	V _{SS}	V _{SS}	V _{SS} + 0.002	V _{SS} + 0.012	V	
0b111	すべての電源設定。 3.3V 時に許可されない	-	-	-	-	-	-	-

アナログ PSoC ブロックの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します: 4.75V ~ 5.25V、-40 °C ≤ T_A ≤ 85 °C、または 3.0V ~ 3.6V、-40 °C ≤ T_A ≤ 85 °C。標準パラメータは、温度 25 °C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 18. アナログ PSoC ブロックの DC 仕様

記号	説明	Min	Typ	Max	単位
R _{CT}	レジスタ ユニット値 (連続時間)	-	12.2	-	kΩ
C _{SC}	コンデンサ ユニット値 (スイッチド キャパシタ)	-	80 ^[9]	-	fF

POR および LVD の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します: 4.75V ~ 5.25V、-40 °C ≤ T_A ≤ 85 °C、または 3.0V ~ 3.6V、-40 °C ≤ T_A ≤ 85 °C。標準パラメータは、温度 25 °C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

注 下表に記載されている PORLEV および VM ビットは、VLT_CR レジスタのビットを表します。VLT_CR レジスタの詳細については、PSoC 混合シグナル アレイ テクニカル リファレンス マニュアルを参照してください。

表 19. POR および LVD の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V _{PPOR1}	PPOR トリップの V _{DD} 値	-	2.82	2.95	V	V _{DD} は起動中、またはウォッチドッグからリセットされている間、2.5V を上回らなければならない
V _{PPOR2}	PORLEV[1:0] = 01b		4.55	4.70		
V _{LVD1}	LVD トリップ用の V _{dd} 値	2.85	2.92	2.99 ^[10]	V	
V _{LVD2}	VM[2:0] = 001b	2.95	3.02	3.09	V	
V _{LVD3}	VM[2:0] = 010b	3.06	3.13	3.20	V	
V _{LVD4}	VM[2:0] = 011b	4.37	4.48	4.55	V	
V _{LVD5}	VM[2:0] = 100b	4.50	4.64	4.75	V	
V _{LVD6}	VM[2:0] = 101b	4.62	4.73	4.83	V	
V _{LVD7}	VM[2:0] = 110b	4.71	4.81	4.95	V	

注

9. C_{SC} は、設計保証の値であり、テストは行われていません。
10. 電源電圧の低下を検出できるように、必ず V_{PPOR} (PORLEV=01) +50mV を上回る値とします。

プログラミングの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 20. プログラミングの DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{DDP}	プログラミングおよび消去時の V_{DD}	4.5	5	5.5	V	この仕様は、外部プログラマツールの機能要件に適用される
$V_{DDL V}$	検証時の低 V_{DD}	3.0	3.1	3.2	V	この仕様は、外部プログラマツールの機能要件に適用
$V_{DDH V}$	検証時の高 V_{DD}	5.1	5.2	5.3	V	この仕様は、外部プログラマツールの機能要件に適用
$V_{DDIWRITE}$	フラッシュ メモリ書き込み処理の電源電圧	3.0	-	5.25	V	内部フラッシュ書き込みを実行している時に、この仕様がこのデバイスに適用
I_{DDP}	プログラミングまたは検証中の電源電流	-	5	25	mA	
V_{ILP}	プログラミングまたは検証時の LOW 入力の電圧	-	-	0.8	V	
V_{IHP}	プログラミングまたは検証時の HIGH 入力の電圧	2.1	-	-	V	
I_{ILP}	プログラミングまたは検証時に P1[0] または P1[1] に V_{ilp} を印加した時の入力電流	-	-	0.2	mA	内部プルダウン抵抗を駆動する電流
I_{IHP}	プログラミングまたは検証時に P1[0] または P1[1] に V_{ihp} を印加した時の入力電流	-	-	1.5	mA	内部プルダウン抵抗を駆動する電流
V_{OLV}	プログラミングまたは検証時の LOW 出力の電圧	-	-	$V_{SS} + 0.75$	V	
V_{OHV}	プログラミングまたは検証時の HIGH 出力の電圧	$V_{DD} - 1.0$	-	V_{DD}	V	
フラッシュ ENPB	フラッシュ メモリ アクセス可能回数 (ブロック当たり)	50,000	-	-	-	ブロックあたりの消去/書き込み回数
フラッシュ ENT	フラッシュ メモリ アクセス可能回数 (合計) ^[11]	1,800,000	-	-	-	消去/書き込み回数
フラッシュ DR	フラッシュ データ保持期間	10	-	-	年 (1年の位)	

I²C の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 21. I²C の DC 仕様^[12]

記号	説明	Min	Typ	Max	単位	注
$V_{IL I2C}$	入力 LOW レベル	-	-	$0.3 \times V_{DD}$	V	$3.0V \leq V_{DD} \leq 3.6V$
		-	-	$0.25 \times V_{DD}$	V	$4.75V \leq V_{DD} \leq 5.25V$
$V_{IH I2C}$	入力 HIGH レベル	$0.7 \times V_{DD}$	-	-	V	$3.0V \leq V_{DD} \leq 5.25V$

注

11. 最大 36 x 50,000 のブロック アクセス可能回数 (サイクル) が許可されます。それぞれ最大 50,000 サイクルの 36x1 ブロック、それぞれ最大 25,000 サイクルの 36x2 ブロック、またはそれぞれ最大 12,500 サイクルの 36x4 ブロックに対する操作を比較検討することができます (合計サイクル数は 36x50,000 に制限され、どのブロックも 50,000 サイクルを超えることはありません)。産業用フルレンジの場合、ユーザーは温度センサ ユーザー モジュール (FlashTemp) を使用し、書き込みの前に結果を温度引数に入力する必要があります。詳細については、<http://www.cypress.com> に掲載しているアプリケーション ノートの下のフラッシュ API アプリケーション ノート AN2015 を参照してください。
12. すべての GPIO は、GPIO の DC 仕様セクションに記載されている GPIO V_{IL} と V_{IH} の DC 仕様を満たします。I²C GPIO ピンは、上記の仕様をも満たしています。

SAR8 ADC の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 22. SAR8 ADC の DC 仕様

記号	説明	Min	Typ	Max	単位	注
V_{ADCREF}	ADC リファレンス電圧としてコンフィギュレーションされた場合のピン P3[0] におけるリファレンス電圧	3.0	–	5.25	V	P3[0] における電圧レベル (ADC リファレンス電圧としてコンフィギュレーションされる場合) は、 V_{DD} ピンのチップ電源電圧レベルよりも低い状態に維持する必要がある。 $V_{\text{ADCREF}} < V_{\text{DD}}$
I_{ADCREF}	P3[0] が ADC の V_{REF} としてコンフィギュレーションされる時の電流	3	–	–	mA	
INL	積分非直線性	–1.5	–	+1.5	LSB	
INL (制限される範囲)	0x80 でのオフセットのシフトに対応する積分非直線性	–1.2 ^[12]	–	+1.2	LSB	LSB の最大値は全範囲の 1/16 を超えない部分範囲上にある。0x7F 値と 0x80 値の仕様はここに含まれていない
DNL	微分非直線性	–2.3	–	+2.3	LSB	ADC 変換は全範囲において単調である。
DNL (制限される範囲)	0x7F から 0x80 への遷移を含めない微分非直線性	–1	–	+1	LSB	ADC 変換は全範囲において単調である。0x7F から 0x80 への遷移の仕様がここに含まれていない

注

12. SAR コンバータは、サンプリング期間中には安定した入力電圧を必要とします。サンプリングの間 SAR8 への電圧が 2 つ以上の LSB により変化する場合、精度の仕様は満たされることがあります。

AC 電気的特性
チップレベルの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します: 4.75V ~ 5.25V, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 23. 5V および 3.3V 時のチップレベルの AC 仕様

記号	説明	Min	Typ	Max	単位	注
F _{IMO24} ^[13]	24MHz の内部メイン発振器周波数	22.8	24	25.2 ^[14, 15, 16]	MHz	工場出荷時のトリム値を使用して、5V または 3.3V 動作向けにトリム。図 8 (ページ 15) をご覧ください。SLIMO モード = 0
F _{IMO6}	6MHz 時の内部メイン発振器周波数	5.5	6	6.5 ^[14, 15, 16]	MHz	工場出荷時のトリム値を使用して、5V または 3.3V 動作向けにトリム。図 8 (ページ 15) をご覧ください。SLIMO モード = 1
F _{CPU1}	CPU 周波数 (5V 公称)	0.093	24	25.2 ^[14, 15]	MHz	SLIMO モード = 0
F _{CPU2}	CPU 周波数 (3.3V 公称)	0.093	12	12.6 ^[14, 15]	MHz	SLIMO モード = 0
F _{48M}	デジタル PSoC ブロック周波数	0	48	50.4 ^[14, 15, 17]	MHz	デジタル ブロックの AC 仕様を参照
F _{24M}	デジタル PSoC ブロック周波数	0	24	25.2 ^[15, 17]	MHz	
F _{32K1}	内部低速振動子周波数	15	32	75	kHz	
F _{32K2}	外部水晶振動子	-	32.768	-	kHz	精度はコンデンサと水晶依存している。デューティサイクルの 50%
F _{32K_U}	内部低速振動子 (ILO) 周波数 (トリムなし)	5	-	100	kHz	リセット後、m8c の実行を開始するまで、ILO はトリムされません。このタイミング計測の詳細については、PSoC テクニカルリファレンス マニュアルの「システムリセット」セクションを参照
F _{PLL}	PLL 周波数	-	23.986	-	MHz	複数 (x732) の水晶周波数
T _{PLLSLEW}	PLL ロック時間	0.5	-	10	ms	
T _{PLLSLEWSLOW}	LOW ゲイン設定用の PLL ロック時間	0.5	-	50	ms	
T _{OS}	外部水晶振動子の起動時から 1% に達したまでの時間	-	1700	2620	ms	
T _{OSACC}	外部水晶振動子の起動時から 100ppm に達したまでの時間	-	2800	3800	ms	T _{OSACC} 期間の終わりでは、水晶振動子の周波数はその最終値からの誤差 100ppm 以内になる。操作が正常に行われるためには正しくロードされた最大駆動レベル 1uW の 32.768kHz の水晶を前提としている。3.0V ≤ V _{DD} ≤ 5.5V, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$
T _{XRST}	外部リセット パルス幅	10	-	-	ms	
DC _{24M}	24MHz デューティ比	40	50	60	%	
DC _{ILO}	内部低速振動子デューティ比	20	50	80	%	
Step _{24M}	24MHz トリム ステップ サイズ	-	50	-	kHz	
F _{out48M}	48MHz 出力周波数	45.6	48.0	50.4 ^[14, 16]	MHz	トリミングされた。工場出荷時のトリム値を使用
F _{MAX}	行入力または行出力時の信号の最大周波数	-	-	12.3	MHz	

注

13. エラッタ: デバイスが 0°C ~ 70°C の温度範囲内で動作する時、周波数の誤差は ±2.5% に低下されますが、極度の温度 (0°C より低い温度や 70°C より高い温度) で動作する時、周波数の誤差は ±2.5% ~ ±5% です。詳細については、ページ 51 の「Errata」項目を参照してください。

14. 4.75V < V_{DD} < 5.25V.

15. V_{DD} 範囲で適切にトリムされた内部主振動子から派生した精度です。

16. 3.0V < V_{DD} < 3.6V.

17. ユーザー モジュールの最大周波数については、個々のユーザー モジュールのデータシートを参照してください。

18. 詳細については、サイプレスのジッタ仕様 アプリケーション ノート「Understanding Datasheet Jitter Specifications for Cypress Timing Products – AN5054」を参照してください。

表 23. 5V および 3.3V 時のチップレベルの AC 仕様 (続き)

記号	説明	Min	Typ	Max	単位	注
SR _{POWER_UP}	電源供給スルーレート	-	-	250	V/ms	電源投入時の V _{DD} スルーレート
T _{POWERUP}	POR の終了から CPU コード実行までの時間	-	16	100	ms	0V からの起動。PSoC テクニカル リファレンスマニュアルの「システム リセット」セクションを参照してください
t _{jit_IMO} ^[18]	24MHz IMO サイクル対サイクルジッタ (RMS)	-	200	700	ps	
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	-	300	900	ps	N = 32
	24MHz IMO 周期ジッタ (RMS)	-	100	400	ps	
t _{jit_PLL} ^[18]	24MHz IMO サイクル ツー サイクルジッタ (RMS)	-	200	800	ps	
	24MHz IMO 長期 N サイクル間ジッタ (RMS)	-	300	1200	ps	N = 32
	24MHz IMO 周期ジッタ (RMS)	-	100	700	ps	

図 9. PLL ロック タイミング図

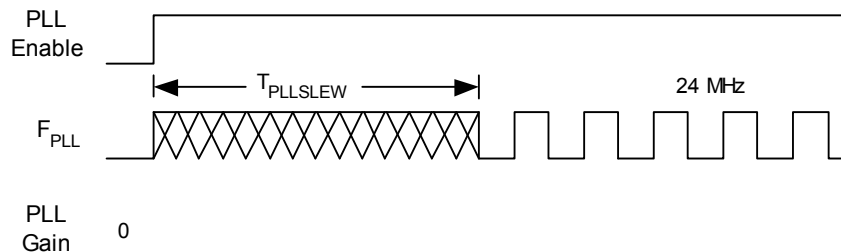


図 10. LOW ゲイン設定用の PLL ロック タイミング図

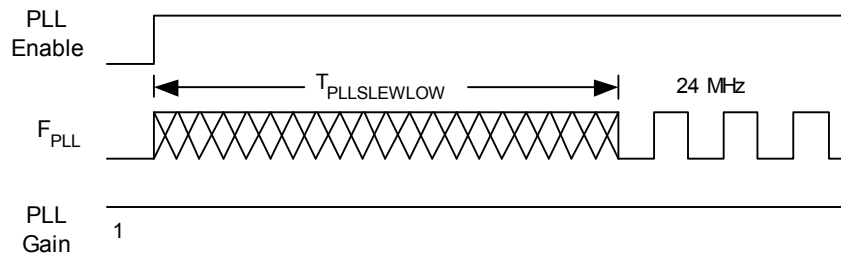
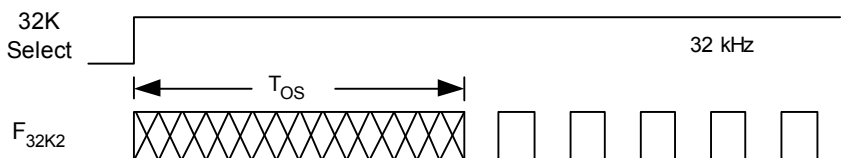


図 11. 外部水晶振動子の起動タイミング図



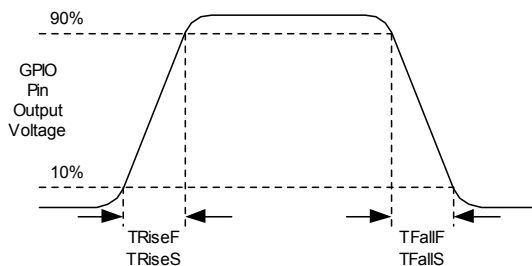
GPIO の AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 24. 5V と 3.3V 時の GPIO の AC 仕様

記号	説明	Min	Typ	Max	単位	注
F_{GPIO}	GPIO 動作周波数	0	-	12.3	MHz	標準ストロングモード
T_{RiseF}	立ち上がり時間、標準ストロングモード、 Clod = 50pF	3	-	18	ns	$V_{\text{DD}} = 4.5\text{V} \sim 5.25\text{V}$ 、10% ~ 90%
T_{FallF}	立ち下がり時間、標準ストロングモード、 Clod = 50pF	2	-	18	ns	$V_{\text{DD}} = 4.5\text{V} \sim 5.25\text{V}$ 、10% ~ 90%
T_{RiseS}	立ち上がり時間、低速ストロングモード、 Clod = 50pF	10	27	-	ns	$V_{\text{DD}} = 3\text{V} \sim 5.25\text{V}$ 、10% ~ 90%
T_{FallS}	立ち下がり時間、低速ストロングモード、 Clod = 50pF	10	22	-	ns	$V_{\text{DD}} = 3\text{V} \sim 5.25\text{V}$ 、10% ~ 90%

図 12. GPIO タイミング図



オペアンプの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

セトリング時間、スルー レート、およびゲイン帯域幅はアナログ連続時間 PSoC ブロックに基づいています。

「電源 = 高」かつ「オペアンプ バイアス = 高」は 3.3V ではサポートされていません。

表 25. 5V 時のオペアンプの AC 仕様

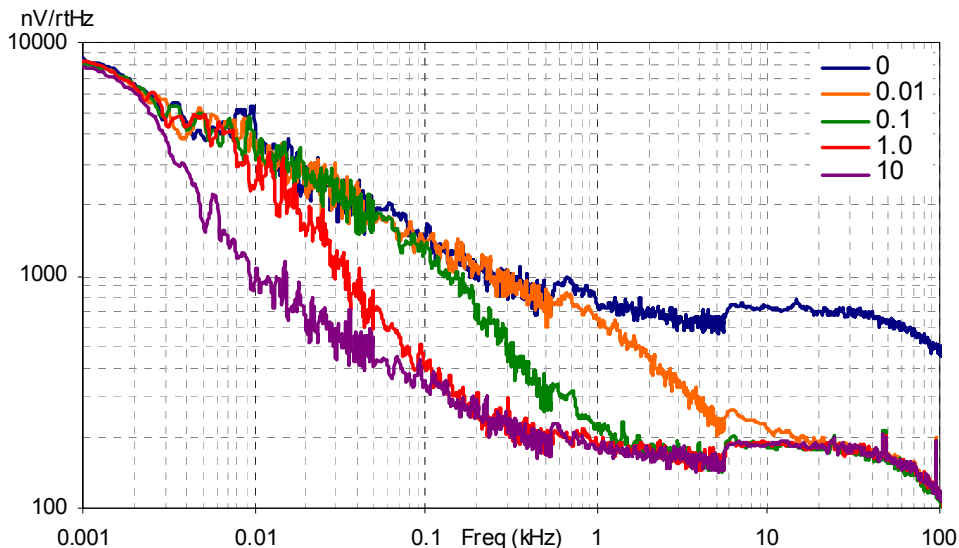
記号	説明	Min	Typ	Max	単位
T _{ROA}	DV80% ~ DV0.1% までの立ち上がり整定時間 (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	-	-	3.9	μs
	電力 = 中、オペアンプ バイアス = 高	-	-	0.72	μs
T _{SOA}	DV20% ~ DV0.1% (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	-	-	5.9	μs
	電力 = 中、オペアンプ バイアス = 高	-	-	0.92	μs
SR _{ROA}	立ち上がりスルー レート (20% ~ 80%) (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	0.15	-	-	V/μs
	電力 = 中、オペアンプ バイアス = 高	1.7	-	-	V/μs
SR _{FOA}	立ち下がりスルー レート (20% ~ 80%) (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	0.01	-	-	V/μs
	電力 = 中、オペアンプ バイアス = 高	0.5	-	-	V/μs
BW _{OA}	ゲインと帯域幅の積				
	電力 = 低、オペアンプ バイアス = 低	0.75	-	-	MHz
	電力 = 中、オペアンプ バイアス = 高	3.1	-	-	MHz
	電力 = 高、オペアンプ バイアス = 高	5.4	-	-	MHz

表 26. 3.3V 時の演算増幅器の AC 仕様

記号	説明	Min	Typ	Max	単位
T _{ROA}	DV80% ~ DV0.1% までの立ち上がり整定時間 (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	-	-	3.92	μs
T _{SOA}	DV20% ~ DV0.1% (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	-	-	5.41	μs
SR _{ROA}	立ち上がりスルー レート (20% ~ 80%) (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	0.31	-	-	V/μs
SR _{FOA}	立ち下がりスルー レート (20% ~ 80%) (10pF 負荷、ユニティ ゲイン)				
	電力 = 低、オペアンプ バイアス = 低	0.24	-	-	V/μs
BW _{OA}	ゲインと帯域幅の積				
	電力 = 低、オペアンプ バイアス = 低	0.67	-	-	MHz
	電力 = 中、オペアンプ バイアス = 高	2.8	-	-	MHz

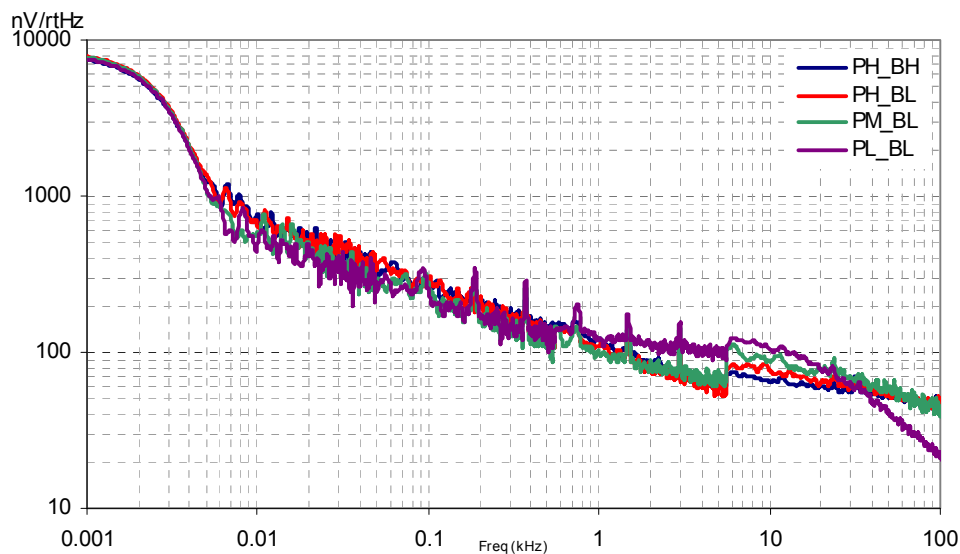
P2[4] のコンデンサによりバイパスされると、各ブロックに分配されるアナログ グランド 信号のノイズは最大 5 (14dB) の係数で減少されます。これは、オンチップ 8.1k 抵抗と外部コンデンサにより定義されたコーナー周波数以上の周波数です。

図 13. P2[4] バイパスを使用した代表的な AGND ノイズ



低周波数では、オペアンプ ノイズは $1/f$ の、独立した電力に比例し、デバイスの幾何学的形状により決定されます。高い周波数では、増大した電力レベルは、ノイズの拡散レベルを低下させます。

図 14. 標準オペアンプ ノイズ



低消費電力コンパレータの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します : 4.75V ~ 5.25V, -40°C ≤ T_A ≤ 85°C、または 3.0V ~ 3.6V, -40°C ≤ T_A ≤ 85°C。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 27. 低消費電力コンパレータの AC 仕様

記号	説明	Min	Typ	Max	単位	注
T _{RLPC}	LPC 応答時間	-	-	50	ms	³ V _{REFLPC} 内で設定されたコンパレータリファレンスを 50mV 超える

デジタルブロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します : 4.75V ~ 5.25V, -40°C ≤ T_A ≤ 85°C、または 3.0V ~ 3.6V, -40°C ≤ T_A ≤ 85°C。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 28. 5V および 3.3V 時のデジタルブロックの AC 仕様

機能	説明	Min	Typ	Max	単位	注
すべての機能	ブロック入力クロック周波数					
	V _{DD} ≥ 4.75 V	-	-	50.4	MHz	
	V _{DD} < 4.75 V	-	-	25.2	MHz	
タイマー	入力クロック周波数					
	キャプチャなし、V _{DD} ≥ 4.75 V	-	-	50.4	MHz	
	キャプチャなし、V _{DD} < 4.75V	-	-	25.2	MHz	
	キャプチャあり	-	-	25.2	MHz	
	キャプチャパルス幅	50 ^[19]	-	-	ns	
カウンター	入力クロック周波数					
	イネーブル入力なし、V _{DD} ≥ 4.75 V	-	-	50.4	MHz	
	イネーブル入力なし、V _{DD} < 4.75V	-	-	25.2	MHz	
	イネーブル入力あり	-	-	25.2	MHz	
	イネーブル入力パルス幅	50 ^[19]	-	-	ns	
デッドバンド	キルパルス幅					
	非同期リスタートモード	20	-	-	ns	
	同期リスタートモード	50 ^[19]	-	-	ns	
	無効モード	50 ^[19]	-	-	ns	
	入力クロック周波数					
	V _{DD} ≥ 4.75 V	-	-	50.4	MHz	
	V _{DD} < 4.75V	-	-	25.2	MHz	
CRCPRS (PRS モード)	入力クロック周波数					
	V _{DD} ≥ 4.75 V	-	-	50.4	MHz	
	V _{DD} < 4.75V	-	-	25.2	MHz	
CRCPRS (CRC モード)	入力クロック周波数	-	-	25.2	MHz	
SPIM	入力クロック周波数	-	-	8.2	MHz	SPI シリアルクロック (SCLK) 周波数は入力クロック周波数を 2 で割った値に等しくなる
SPIS	入力クロック (SCLK) 周波数	-	-	4.1	MHz	SPIS モードでは、入力クロックが SPI SCLK
	送信間の SS_Negated の幅	50 ^[19]	-	-	ns	
トランスミッタ	入力クロック周波数					ボーレートは、入力クロック周波数を 8 で割った値
	V _{DD} ≥ 4.75 V、2 ストップビット	-	-	50.4	MHz	
	V _{DD} ≥ 4.75 V、1 ストップビット	-	-	25.2	MHz	
	V _{DD} < 4.75V	-	-	25.2	MHz	
レシーバ	入力クロック周波数					ボーレートは、入力クロック周波数を 8 で割った値
	V _{DD} ≥ 4.75 V、2 ストップビット	-	-	50.4	MHz	
	V _{DD} ≥ 4.75 V、1 ストップビット	-	-	25.2	MHz	
	V _{DD} < 4.75V	-	-	25.2	MHz	

注

19. 50ns の最小入力パルス幅は、24MHz で動作する入力シンクロナイザに基づきます (定格周期は 42ns です)。

アナログ出力バッファの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 29. 5V 時のアナログ出力バッファの AC 仕様

記号	説明	Min	Typ	Max	単位
T _{ROB}	1V ステップ (100pF 負荷) 時の 0.1% までの立ち上がり 整定時間 電力 = 低 電力 = 高	–	–	2.5	μs
		–	–	2.5	μs
T _{SOB}	1V ステップ (100pF 負荷) 時の 0.1% までの立ち下がり 整定時間 電力 = 低 電力 = 高	–	–	2.2	μs
		–	–	2.2	μs
SR _{ROB}	1V ステップ (100pF 負荷) の時の立ち上がりスルーレート (20% ~ 80%) 電力 = 低 電力 = 高	0.65	–	–	V/μs
		0.65	–	–	V/μs
SR _{FOB}	1V ステップ (100pF 負荷) の時の立ち下がりスルーレート (80% ~ 20%) 電力 = 低 電力 = 高	0.65	–	–	V/μs
		0.65	–	–	V/μs
BW _{OB}	20mV _{pp} 、3 dB BW、100pF 負荷の時の小信号帯域幅 電力 = 低 電力 = 高	0.8	–	–	MHz
		0.8	–	–	MHz
BW _{OB}	1V _{pp} 、3 dB BW、100pF 負荷の時の大信号帯域幅 電力 = 低 電力 = 高	300	–	–	kHz
		300	–	–	kHz

表 30. 3.3V 時のアナログ出力バッファの AC 仕様

記号	説明	Min	Typ	Max	単位
T _{ROB}	1V ステップ (100pF 負荷) 時の 0.1% までの立ち上がり 整定時間 電力 = 低 電力 = 高	–	–	3.8	μs
		–	–	3.8	μs
T _{SOB}	1V ステップ (100pF 負荷) の時 0.1% までの立ち下がり 整定時間 電力 = 低 電力 = 高	–	–	2.6	μs
		–	–	2.6	μs
SR _{ROB}	1V ステップ (100pF 負荷) の時の立ち上がりスルーレート (20% ~ 80%) 電力 = 低 電力 = 高	0.5	–	–	V/μs
		0.5	–	–	V/μs
SR _{FOB}	1V ステップ (100pF 負荷) の時の立ち下がりスルーレート (80% ~ 20%) 電力 = 低 電力 = 高	0.5	–	–	V/μs
		0.5	–	–	V/μs
BW _{OB}	20mV _{pp} 、3 dB BW、100pF 負荷の時の小信号帯域幅 電力 = 低 電力 = 高	0.7	–	–	MHz
		0.7	–	–	MHz
BW _{OB}	1V _{pp} 、3 dB BW、100pF 負荷の時の大信号帯域幅 電力 = 低 電力 = 高	200	–	–	kHz
		200	–	–	kHz

外部クロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 31. 5V 時の外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位
F _{OSCEXT}	周波数	0.093	–	24.6	MHz
–	HIGH 期間	20.6	–	5300	ns
–	LOW 期間	20.6	–	–	ns
–	IMO への電源投入時から切り替えまでの時間	150	–	–	μs

表 32. 3.3V 時の外部クロックの AC 仕様

記号	説明	Min	Typ	Max	単位
F _{OSCEXT}	1 による分周の CPU クロックの場合の周波数 1 ^[20]	0.093	–	12.3	MHz
F _{OSCEXT}	2 以上による分周の CPU クロックの場合の周波数 2 ^[21]	0.186	–	24.6	MHz
–	1 による分周の CPU クロックの場合の HIGH 期間	41.7	–	5300	ns
–	1 による分周の CPU クロックの場合の LOW 期間	41.7	–	–	ns
–	IMO への電源投入時から切り替えまでの時間	150	–	–	ms

プログラミングの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 33. プログラミングの AC 仕様

記号	説明	Min	Typ	Max	単位	注
T _{RSCLK}	SCLK の立ち上がり時間	1	–	20	ns	
T _{FSCLK}	SCLK の立ち下がり時間	1	–	20	ns	
T _{SSCLK}	SCLK の立ち下がりエッジまでのデータ セットアップ時間	40	–	–	ns	
T _{HSCLK}	SCLK の立ち下がりエッジからのデータ ホールド時間	40	–	–	ns	
F _{SCLK}	SCLK の周波数	0	–	8	MHz	
T _{ERASEB}	フラッシュ消去時間 (ブロック)	–	20	–	ms	
T _{WRITE}	フラッシュ ブロック書き込み時間	–	20	–	ms	
T _{DSCLK}	SCLK の立ち下がりエッジからのデータ出力遅延	–	–	45	ns	V _{DD} > 3.6
T _{DSCLK3}	SCLK の立ち下がりエッジからのデータ出力遅延	–	–	50	ns	3.0 ≤ V _{DD} ≤ 3.6
T _{ERASEALL}	フラッシュ消去時間 (バルク)	–	80	–	ms	全てのブロックおよび保護フィールドを一度に消去
T _{PROGRAM_HOT}	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	–	–	100 ^[23]	ms	0 °C ≤ T _j ≤ 100 °C
T _{PROGRAM_COLD}	フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間	–	–	200 ^[23]	ms	–40 °C ≤ T _j ≤ 0 °C

注
 20. 最大 CPU 周波数は 3.3V の時は 12MHz です。CPU クロック分周器が 1 に設定されると、外部クロックの最大周波数とデューティサイクルの要件を満たす必要があります。
 21. 外部クロックの周波数が 12MHz を超えた場合、CPU のクロック分周器は 2 以上に設定する必要があります。この場合、CPU クロック分周器は、50% のデューティサイクルの要件が満たされることを保証する。
 22. この R2R ADC の最大のサンプルレートは 3.0/8=375KSPS です。
 23. 産業用フルレンジの場合、ユーザーは温度センサー ユーザー モジュール (FlashTemp) を使用し、書き込みの前に結果を温度指数に入力する必要があります。詳細については、<http://www.cypress.com> のアプリケーション ノート セクションから、フラッシュ API のアプリケーション ノート AN2015 を参照してください。

SAR8 ADC の AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 34. SAR8 ADC の AC 仕様^[22]

記号	説明	Min	Typ	Max	単位
Freq ₃	入力クロック周波数 3V	–	–	3.075	MHz
Freq ₅	入力クロック周波数 5V	–	–	3.075	MHz

I²C の AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメータは、温度 25°C、電圧 5V または 3.3V の場合の値で、単なる設計の参考用のデータです。

表 35. V_{DD} > 3.0V 時の I²C の SDA と SCL ピンの AC 特性

記号	説明	標準モード		高速モード		単位
		Min	Max	Min	Max	
F _{SCL I2C}	SCL 動作周波数	0	100	0	400	kHz
T _{HDSTAI2C}	ホールド時間 (反復) START 条件。この時間が経過した後、最初のクロックパルスが生成される	4.0	–	0.6	–	μs
T _{LOWI2C}	SCL クロックの LOW 期間	4.7	–	1.3	–	μs
T _{HIGHI2C}	SCL クロックの HIGH 期間	4.0	–	0.6	–	μs
T _{SUSTAI2C}	反復 START 条件のセットアップ時間	4.7	–	0.6	–	ms
T _{HDDATI2C}	データ ホールド時間	0	–	0	–	μs
T _{SUDATI2C}	データ セットアップ時間	250	–	100 ^[24]	–	ns
T _{SUSTOI2C}	STOP 条件のセットアップ時間	4.0	–	0.6	–	ms
T _{BUFI2C}	STOP 条件と START 条件間のバス空き時間	4.7	–	1.3	–	ms
T _{SPI2C}	スパイクのパルス幅は入力フィルタによって抑制される	–	–	0	50	ns

注
24. 高速モード I2C バス デバイスは標準モード I2C バス システムでも使用できますが、t_{SU, DAT}³ 250ns 条件を満たさなければなりません。SCL 信号の LOW 期間をデバイスで延ばさなければ、この要件を自動的に満たします。SCL 信号の LOW 期間をデバイスで伸ばす場合は、SCL ラインを解放する時点より t_{rmax} + t_{SU, DAT} = 1000 + 250 = 1250ns 前に標準モード I2C バスの仕様に従って次のデータ ビットを SDA ラインに出力する必要があります。

表 36. $V_{DD} < 3.0V$ 時の I²C の SDA と SCL ピンの AC 特性 (高速モードがサポートされない)

記号	説明	標準モード		高速モード		単位
		Min	Max	Min	Max	
F _{SCLi2C}	SCL 動作周波数	0	100	-	-	kHz
T _{HDSTAI2C}	ホールド時間 (反復) START 条件。この時間が経過した後、最初のクロックパルスが生成される	4.0	-	-	-	μs
T _{LOWI2C}	SCL クロックの LOW 期間	4.7	-	-	-	μs
T _{HIGHI2C}	SCL クロックの HIGH 期間	4.0	-	-	-	μs
T _{SUSTA12C}	反復 START 条件のセットアップ時間	4.7	-	-	-	ms
T _{HDDATI2C}	データ ホールド時間	0	-	-	-	μs
T _{SUDATI2C}	データ セットアップ時間	250	-	-	-	ns
T _{SUSTO12C}	STOP 条件のセットアップ時間	4.0	-	-	-	ms
T _{BUFI2C}	STOP 条件と START 条件間のバス空き時間	4.7	-	-	-	ms
T _{SPI2C}	スパイクのパルス幅は入力フィルタによって抑制される	-	-	-	-	ns

図 15. 高速モードと標準モードの I²C バスのタイミングの定義

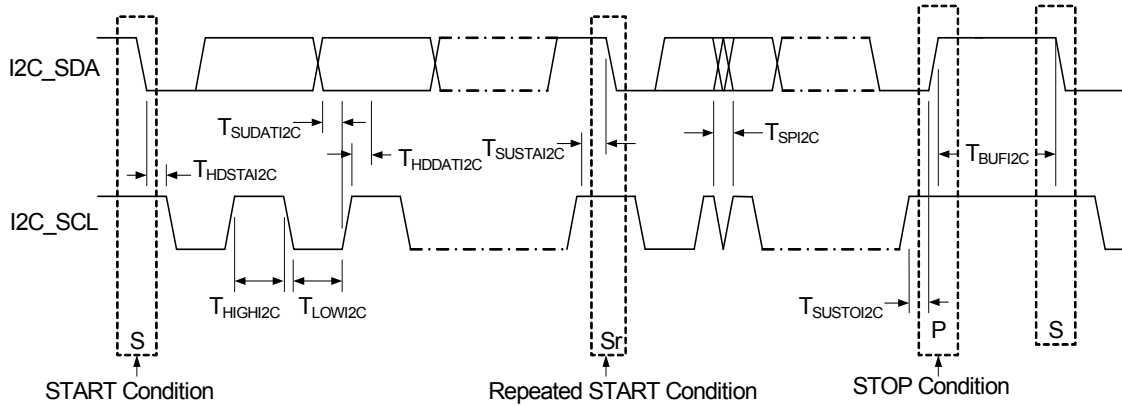
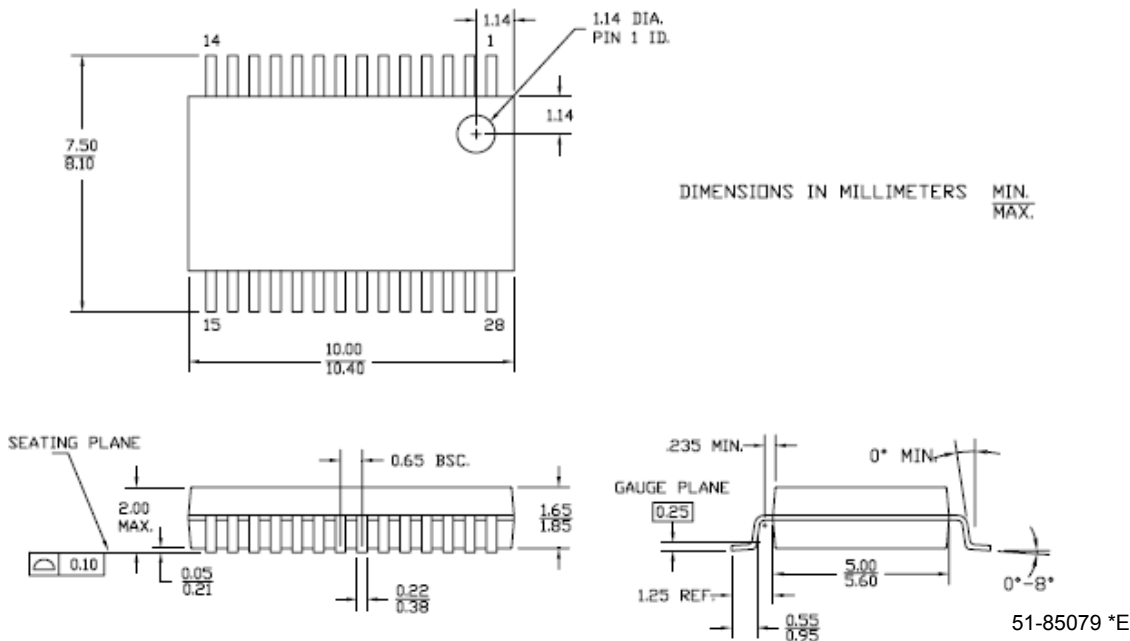


図 17. 28ピン (210 ミル) SSOP



熱インピーダンス

表 37. パッケージ別の熱インピーダンス

パッケージ	標準 q_{JA} ^[22]
32 QFN	19.4 °C/W
28 SSOP	95 °C/W

水晶振動子ピンの静電容量

表 38. パッケージの水晶振動子ピンの標準的な静電容量

パッケージ	パッケージ静電容量
32 QFN	2.0pF
28 SSOP	2.8pF

はんだリフロー ピーク温度

以下に、良好なはんだ付け強度を得るためにはんだリフローに必要な最低ピーク温度を示します。

表 39. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	最高ピーク温度での耐久時間
32 QFN	260 °C	30 秒
28 SSOP	260 °C	30 秒

注
22. $T_j = T_A + POWER \times q_{JA}$

注文情報

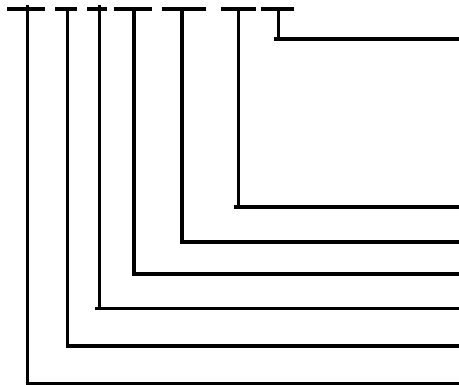
下表に、CY8C23X33 PSoC デバイス ファミリのパッケージの主な機能と注文コードを示します。

表 40. CY8C23X33 PSoC デバイス ファミリの主な機能と注文情報

パッケージ	注文コード	フラッシュ (Kバイト)	RAM (バイト)	温度範囲	デジタルブロック数 (複数行に配置, 1行につき 4 個あり)	アナログブロック数 (複数列に配置, 1列につき 3 個あり)	デジタル I/O ピン数	アナログ入力数	アナログ出力数	XRES ピンの有無
32 ピン QFN	CY8C23533-24LQXI	8	256	-40°C ~ +85°C	4	4	26	12	2	有
32 ピン QFN (テープおよびリール)	CY8C23533-24LQXIT	8	256	-40°C ~ +85°C	4	4	26	12	2	有
28 ピン (210 ミル) SSOP	CY8C23433-24PVXI	8	256	-40°C ~ +85°C	4	4	26	12	2	無
28 ピン (210 ミル) SSOP (テープおよびリール)	CY8C23433-24PVXIT	8	256	-40°C ~ +85°C	4	4	26	12	2	無

注文コードの定義

CY 8 C 23 xxx-24xx



Package Type:
 PX = PDIP Pb-free
 SX = SOIC Pb-free
 PVX = SSOP Pb-free
 LFX/LKX/LTX /LQX/LCX= QFN Pb-free
 AX = TQFP Pb-free
 Speed: 24 MHz
 Part Number
 Family Code
 Technology Code: C = CMOS
 Marketing Code: 8 = Cypress PSoC
 Company ID: CY = Cypress

Thermal Rating:
 C = Commercial
 I = Industrial
 E = Extended

略語

使用している略号

表 41 には、本書で使用している略号を示します。

表 41. 本データシートで使用されている略語

略語	説明	略語	説明
AC	alternating current (交流電流)	MIPS	million instructions per second (毎秒 100 万の命令)
ADC	analog-to-digital converter (アナログ-デジタル変換器)	PCB	printed circuit board (プリント回路基板)
API	application programming interface (アプリケーションプログラミングインターフェース)	PGA	programmable gain amplifier (プログラマブルゲインアンプ)
CPU	central processing unit (中央演算処理装置)	PLL	phase-locked loop (位相同期回路)
CRC	cyclic redundancy check (巡回冗長検査)	POR	power on reset (パワーオンリセット)
CT	continuous time (連続時間)	PPOR	precision power on reset (高精度パワーオンリセット)
DAC	digital-to-analog converter (デジタル-アナログ変換器)	PRS	pseudo random sequence (疑似乱数列)
DC	direct current (直流)	PSoC®	Programmable System-on-Chip (プログラマブルシステムオンチップ)
DNL	differential nonlinearity (微分非直線性)	PWM	pulse width modulator (パルス幅変調器)
DTMF	dual-tone multi frequency (デュアルトーンマルチ周波数)	QFN	quad flat no leads (カッドフラットノーリード)
ECO	external crystal oscillator (外部水晶振動子)	RTC	real time clock (リアルタイムクロック)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)	SAR	successive approximation (逐次比較)
GPIO	general purpose I/O (汎用 I/O)	SC	switched capacitor (スイッチドキャパシタ)
ICE	in-circuit emulator (インサーキットエミュレータ)	SLIMO	slow IMO (低速 IMO)
IDE	integrated development environment (統合開発環境)	SMP	switch mode pump (スイッチモードポンプ)
ILO	internal low speed oscillator (内部低速振動子)	SOIC	small-outline integrated circuit (小型外形集積回路)
IMO	internal main oscillator (内部メイン振動子)	SPI™	serial peripheral interface (シリアルペリフェラルインターフェース)
INL	integral nonlinearity (積分非直線性)	SRAM	static random access memory (スタティックランダムアクセスメモリ)
I/O	input/output (入力/出力)	SROM	supervisory read-only memory (監視用読み出し専用メモリ)
IrDA	infrared data association (赤外線データ協会)	SSOP	shrink small-outline package (シュリンクスモールアウトラインパッケージ)
ISSP	in-system serial programming (インシステムシリアルプログラミング)	UART	universal asynchronous receiver / transmitter (汎用非同期レシーバ/トランスミッタ)
LPC	Low power comparator (低電力コンパレータ)	USB	universal serial bus (汎用シリアルバス)
LVD	low voltage detect (低電圧検出)	WDT	watchdog timer (ウォッチドッグタイマー)
MAC	multiply-accumulate (乗算蓄積)	XRES	external reset (外部リセット)
MCU	microcontroller unit (マイクロコントローラーユニット)		

参考資料

設計支援 - PSoC® フラッシュの読み出しおよび書き込み - AN2015 (001-40459)

本書の表記法

測定単位

表 42 に測定単位の一覧を示します。

表 42. 測定単位

記号	測定単位	記号	測定単位
kB	1024 バイト	ms	ミリ秒
dB	デシベル	ns	ナノ秒
°C	摂氏温度	ps	ピコ秒
fF	フェムト ファラッド	μV	マイクロボルト
pF	ピコファラッド	mV	ミリボルト
kHz	キロヘルツ	mVpp	ミリボルト ピーク ツー ピーク
MHz	メガヘルツ	nV	ナノボルト
LSB	最下位ビット	V	ボルト
kΩ	キロオーム	μW	マイクロワット
μA	マイクロアンペア	W	ワット
mA	ミリアンペア	mm	ミリメートル
nA	ナノアンペア	ppm	100 万分の 1
pA	ピコアンペア	%	パーセント
μs	マイクロ秒		

数値の表記

16 進数はすべて大文字で表記し、小文字の「h」を付記しています (例えば、「14h」、「3Ah」)。C の符号化規則に基づき、接頭語「0x」を使用して 16 進数を表現している場合もあります。2 進数には小文字の「b」を付記しています (例えば、「01010100b」、「01000011b」)。「h」または「b」が付いていない数は 10 進数です。

用語集

- アクティブ HIGH** 5. アサート状態を論理値「1」状態とするロジック信号です。
6. 2つの状態のうち、高い電圧側を論理値「1」状態とするロジック信号です。
- アナログブロック** 基本的なプログラム可能なオペアンプ回路です。SC (スイッチド キャパシタ) および CT (連続時間) ブロックが存在します。これらのブロックは相互接続して、ADC、DAC、多極フィルタ、ゲイン段などを提供することができます。
- アナログ - デジタル変換器 (ADC)** アナログ信号を対応する振幅を持っているデジタル信号に変更するデバイスです。一般的に、ADC は電圧をデジタル数値に変換します。デジタル - アナログ変換器 (DAC) は ADC の逆の動作を行います。
- API (アプリケーションプログラミングインターフェース)** コンピュータのアプリケーションと低レベルのサービス、機能間 (例えば、ユーザー モジュールとライブラリ間) のインターフェースからなる一連のソフトウェアルーチンです。API は、ソフトウェア アプリケーションを作成するプログラムのビルディングブロックとして機能します。
- 非同期** どのクロック信号にも関係なく動作し、アクノリッジされるデータを持つ信号です。
- バンドギャップリファレンス** (理想的には) VT の正の温度係数に VBE の負の温度係数を一致させ、ゼロ温度係数を生成する、安定した電圧リファレンス設計です。
- 帯域幅**
1. ヘルツを単位として計測されるメッセージまたは情報処理システムの周波数範囲です。
2. アンプ (または減衰器) に実質的なゲイン (またはロス) があるスペクトル領域の幅です。例えば、それは時々より具体的に最大値の 1/2 になる点の全幅として表します。
- バイアス**
1. リファレンス値からの意図的な偏差の値です。
2. リファレンス値と一連の値の平均値の間の誤差です。
3. デバイスを動作させるレファレンス レベルを確立するために、デバイスに適用される電氣的、機械的、磁氣的、または他の力 (フィールド) です。
- ブロック**
1. 振動子などの単一機能を実行する機能単位です。
2. デジタル PSoC ブロックやアナログ PSoC ブロックのように、いくつかの機能のいずれかを実行するためにコンフィギュレーションすることができる機能単位です。
- バッファ**
1. 1つのデバイスから他のデバイスへデータを転送する際に、速度差を補うために使用されるデータ ストレージ領域です。通常、データが読み書きされる、IO 操作のために予約された領域を指します。
2. 多くの場合、データが外部デバイスに送信されるか、または外部デバイスから受信される前に、そのデータの格納向けのメモリ部分です。
3. システムの出力インピーダンスを下げるために使用されるアンプです。
- バス**
1. ネットの名前付き接続です。バスでネット同士を一緒にバンドルすることにより、同様のルーティングパターンを持つネットをルーティングさせることが容易になります。
2. 共通機能を実行し、同様のデータを運ぶ信号一式です。一般的にベクトル表記で表されます。例えば、アドレス [7:0] です。
3. 関連するデバイスのグループの共通接続として機能する 1 つまたは複数の導電体です。
- クロック** 一定の周波数およびデューティ比で周期信号を生成するデバイスです。クロックは時々異なるロジック ブロックを同期するために使用されます。

用語集 (続き)

コンパレータ	2つの入力レベルが同時に所定の振幅要件を満たすたびに、出力電圧または電流を生成する電子回路です。
コンパイラ	Cのような高レベルの言語を機械言語に変換するプログラムです。
コンフィギュレーション空間	PSoC デバイスでは、CPU_F レジスタ内の XIO ビットが「1」にセットされた時にアクセスされるレジスタ空間です。
水晶振動子	周波数が圧電性水晶によって制御される振動子です。一般的に圧電素子は、他の回路コンポーネントよりも周囲温度に敏感です。
巡回冗長検査回路 (CRC)	一般的に線形フィードバックシフトレジスタを使用して行われるデータ通信で、エラーを検出するために使用される計算です。同様の計算を、データ圧縮など他のさまざまな目的に使用することができます。
データバス	メモリ位置から中央演算処理装置へ、またはその逆で、情報を伝達するためにコンピュータによって使用される一式の双方向性信号です。より一般的には、デジタル機能間でデータを伝えるために使用される信号一式です。
デバッグ	ユーザーが開発中のシステムの動作を分析することができるハードウェアおよびソフトウェアシステムです。通常、デバッグにより、開発者はファームウェアを一段階ずつ手順を追って実行する、ブレークポイントを設定する、およびメモリを分析することができます。
デッドバンド	2つまたは複数の信号の内いずれもアクティブ状態や遷移中でない期間です。
デジタルブロック	カウンター、タイマー、シリアル受信機、シリアルトランスミッタ、CRC ジェネレータ、擬似乱数ジェネレータ、または SPI として機能することができる 8 ビットのロジックブロックです。
デジタル-アナログ変換器 (DAC)	アナログ信号に対応する振幅を持っているデジタル信号に変換するデバイスです。アナログ-デジタル変換器 (ADC) は逆動作をします。
デューティ比	HIGH 時間と LOW 時間のクロック周期の関係です。パーセント単位で表されます。
エミュレータ	第 2 のシステムが第 1 のシステムのように動作するように、1 つのシステムの機能を別のシステムに複製します (エミュレーションを提供します)。
外部リセット (XRES)	PSoC デバイスに駆動されるアクティブ HIGH 信号です。すべての CPU およびブロックを停止し、事前定義された状態に戻す動作を引き起こします。
フラッシュ	EPROM のプログラミング可能性およびデータストレージ、およびインシステム消去性をユーザーに提供する、電気的にプログラムおよび消去可能な不揮発性技術です。不揮発性とは、電源が切断されてもデータがまだ保持されることを意味する。
フラッシュブロック	一度プログラムすることができるフラッシュ ROM の最小領域、および保護することができるフラッシュの最小空間です。1 つのフラッシュブロックは 64 バイトを保持しています。
周波数	周期関数の場合のある時間単位当たりのサイクルまたは発生するイベントの数です。
ゲイン	出力電流、電圧、または電力対入力電流、電圧、または電力の比率です。ゲインは通常 dB で表されます。
I ² C	Philips Semiconductors 社 (現在 NXP Semiconductors 社) の 2 線式シリアル コンピュータ バスです。I2C は内部統合回路である。組み込みシステムの低速周辺機器を接続するために使用されます。USB 3.0 のスループット値は、バッテリー制御インターフェースとして 1980 年代初頭に作成されました。しかし後に、制御電子回路を構築するためのシンプルな内部バスシステムとして使用されるようになりました。I2C は 2 つの双方向性ピン、クロックおよびデータのみを使用します。双方とも +5V で動作し、抵抗で HIGH にプルアップされます。バスは標準モードでは毎秒 100 キロビット、高速モードでは毎秒 400 キロビットで動作します。

用語集 (続き)

ICE	ソフトウェア環境 (PSoC Designer) でのデバッグ デバイスのアクティビティを表示しながら、ユーザーがハードウェア環境でプロジェクトをテストすることができるインサーキット エミュレータです。
入力/出力 (I/O)	システムへデータを導入したり、システムからデータを抽出するデバイスです。
割り込み	そのプロセスにとって外部のイベントによって引き起こされ、プロセスを再開することができるような方法で行われるコンピュータ プログラムの実行などのプロセスの停止です。
割り込みサービスルーチン (ISR)	M8C がハードウェア割り込みを受信した時に通常のコードの実行から転向させられるコードのブロックです。多くの割り込み要因は、それぞれ独自の優先順位および ISR コードが存在している可能性があります。各 ISR コード ブロックは、RETI 命令で終了します。これにより、デバイスは通常のプログラム実行を終了したポイントに戻ります。
ジッタ	<ol style="list-style-type: none">理想的な位置からの移行のタイミング誤配置です。シリアル データ ストリームで発生する破損の典型的な形式です。連続パルス間隔、連続サイクルの振幅、または連続サイクルの周波数あるいはフェーズなど、1 つまたは複数の信号特性の急激および不要な変動です。
低電圧検出 (LVD)	V_{DD} を感知し、 V_{DD} が選択されたしきい値を下回るとシステムへの割り込みを生成する回路です。
M8C	8 ビット ハードウェア アーキテクチャ マイクロプロセッサです。マイクロプロセッサは、フラッシュ、SRAM、およびレジスタ空間へインターフェースで接続し、PSoC 内のすべての動作を調整します。
マスターデバイス	2 つのデバイス間のデータ交換のタイミングを制御するデバイスです。または、デバイスがカスケード接続されている場合、マスター デバイスはカスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御します。制御されるデバイスは スレーブ デバイス と呼ばれています。
マイクロコントローラー	主に制御システムおよび製品のために設計された集積回路チップです。CPU に加えて、マイクロコントローラーは通常、メモリ、タイミング回路、および IO 回路を内蔵しています。この理由は、最小量のチップを使用してコントローラーの実現を可能にするためです。このようにして、最大の可能性の小型化を達成します。これにより、ボリュームおよびコントローラーのコストを削減します。マイクロコントローラーは通常、マイクロプロセッサのような汎用演算処理には使用されません。
混合信号	アナログとデジタルの技術およびコンポーネントの両方を含む回路へのリファレンス信号です。
変調器	キャリア上の信号を課すデバイスです。
ノイズ	<ol style="list-style-type: none">信号に影響を与える、およびその信号によって運ばれた情報を歪める可能性がある妨害です。電圧、電流、またはデータなど、実体の 1 つまたは複数の特性のランダムなばらつきです。
振動子	クロック周波数を生成するために使用される回路です。水晶制御のものもあります。
パリティ	送信データをテストする技術です。通常、すべての 2 進データの桁数の合計が常に偶数 (偶数パリティ) か、または奇数 (奇数パリティ) となるように 2 進桁がデータに追加されます。
フェーズロックループ (PLL)	リファレンス信号に対して一定の位相角度を維持するように 振動子 を制御する電子回路です。
ピン配置	ピン番号の割り当て : プリント回路基板 (PCB) パッケージでの、PSoC デバイスおよびその物理的対応関係の論理入出力の関係です。ピン配置 回路図と PCB 設計 (両方ともコンピュータ生成ファイル) 間のリンクとしてのピン番号を含み、またピン名を含む場合もある。
ポート	ピンのグループです。通常 8 個あります。

用語集 (続き)

パワーオンリセット (POR)	電圧が事前設定レベル以下の際、PSoC デバイスを強制的にリセットさせる回路です。これはハードウェア リセットの一種である。
PSoC [®]	Cypress Semiconductor 社の PSoC [®] は登録商標で、Programmable System-on-Chip™ は同社の商標です。
PSoC Designer™	サイプレスのプログラマブル システムオンチップ技術のソフトウェアです。
パルス幅変調器 (PWM)	適用された測定量の関数として変動するデューティ サイクルの形で出力です。
RAM	ランダム アクセス メモリ (random access memory) の頭字語です。データを読み出すことができ、新しいデータを書き込むことができるデータ ストレージ デバイスです。
レジスタ	ビットやバイトなど、特定の容量を持つストレージ デバイスです。
リセット	システムを既知の状態に戻す手段です。ハードウェア リセットおよびソフトウェア リセットを参照してください。
ROM	読み出し専用メモリ (read only memory) の頭字語です。データを読み出すことはできるが、新しいデータを書き込むことはできないデータ ストレージ デバイスです。
シリアル	<ol style="list-style-type: none">1. すべてのイベントが相次いで発生するプロセスに係ります。2. 単一のデバイスまたはチャンネルにある 2 つまたは複数の関連するアクティビティの逐次的または連続的発生に係ります。
セトリング時間	入力がある値から別の値に変更された後に、出力信号または値が安定化するのに要する時間です。
シフト レジスタ	シリアル データのストリームを出力するために、左または右にワードを連続してシフトするメモリ ストレージ デバイスです。
スレーブ デバイス	他のデバイスに、2 つのデバイス間のデータ交換のタイミングを制御させるデバイスです。または、デバイスが幅でカスケード接続されている場合、スレーブ デバイスは、別のデバイスがカスケード接続されたデバイスおよび外部インターフェース間のデータ交換のタイミングを制御することを許可します。制御するデバイスは、マスター デバイスと呼ばれます。
SRAM	スタティック ランダム アクセス メモリ (static random access memory) の頭字語です。ユーザーに高速でデータを格納および取得させるメモリ デバイスです。値が SRAM セルに読み込まれた後、それが明示的に変更されるか、デバイスの電源が切られるまで変化しないため、スタティック (静的) という用語が使用されています。
SROM	監視用読み出し専用メモリ (supervisory read only memory) の頭字語です。SROM は、デバイスを起動したり、回路を校正し、そしてフラッシュ処理を実行するために使用されるコードを保持しています。SROM の機能は、フラッシュ メモリから操作し、普通のユーザー コードでアクセスすることができます。
ストップ ビット	受信側のデバイスが次の文字またはブロックを受信するのを準備する文字またはブロックを追う信号です。
同期	<ol style="list-style-type: none">1. クロック信号の次のアクティブ エッジまで動作したり、受け取られることのないデータを持つ信号です。2. 動作がクロック信号によって同期されるシステムです。
トライステート	出力が 0、1、および Z (ハイ インピーダンス) という 3 つの状態を採用できる関数です。関数は Z の状態ではどんな値も駆動せず、多くの点で、回路から切断状態として考えることができ、他の出力が同じネットを駆動することができます。

用語集 (続き)

UART	UART またはユニバーサル非同期レシーバトランスミッタが、データの平行ビットとシリアルビット間を変換します。
ユーザー モジュール	低レベルのアナログおよびデジタル PSoC ブロックを管理、設定する、事前構築されたテスト済みのハードウェア/ファームウェアの周辺機能です。ユーザー モジュールはまた、周辺機能に高レベルの API (アプリケーション プログラミング インターフェイス) を提供します。
ユーザー空間	レジスタ マップのバンク 0 空間です。このバンクのレジスタは、単に初期化時だけでなく、通常のプログラム実行中に変更される可能性が高いです。バンク 1 のレジスタは、プログラムの初期化フェーズでのみ変更される可能性が最も高いです。
V _{DD}	「電圧ドレイン」という意味のパワーネットの名前です。最も正の電源供給信号です。通常、5V または 3.3V です。
V _{SS}	「電圧ソース」という意味のパワーネットの名前です。最も負の電源信号です。
ウォッチドッグ タイマー	定期的にサービスしなくてはならないタイマーです。このサービスが機能していない場合、一定時間経過後に CPU がリセットされます。

エラー

このセクションでは、CY8C23433、CY8C23533 PSoC[®] プログラマブル システムオンチップ ファミリのエラーについて説明します。詳細情報は、エラーのトリガー条件、影響の範囲、可能な回避方法、シリコン チップのリビジョンの適用可能性などを含んでいます。

ご質問があれば、地方のサイプレスの販売代理店までご連絡ください。

影響を受ける部品番号

型番	注文情報
CY8C23433	CY8C23433-24PVXI
	CY8C23433-24PVXIT
CY8C23533	CY8C23533-24LQXI
	CY8C23533-24LQXIT

CY8C23433 合否状態

製品の状態：量産中

CY8C23433 エラーのまとめ

下表は、CY8C23433 ファミリへのエラーの適用性を定義します。「X」は、エラーは選択されたデバイスに関連することを示します。

注 以下の表のエラー項目はハイパーリンクされています。項目をクリックすると、その説明に移動します。

項目	製品番号	シリコン バージョン	修正状況
[1.] 極度の温度での内蔵主発振器 (IMO) の許容誤差	CY8C23433	A	シリコンの修正は計画されています。

1. 極度の温度での内蔵主発振器 (IMO) の許容誤差

- **問題の定義**
非同期デジタル通信インターフェースは 0 ~ 70°C の温度範囲外で動作する時、エラーとなる可能性があります。この問題は 0 ~ 70°C の温度範囲内での最終製品の使用に影響しません。
- **影響を受けるパラメータ**
IMO 周波数の許容誤差。0°C ~ +70°C の範囲外、またはデータシートで規定された温度の最大値と最小値の範囲内で動作する時に、最悪の偏差は ±5% です。
- **トリガー条件 (S)**
0 ~ +70°C の温度範囲外で動作する時、非同期 Rx/Tx クロック ソース IMO 周波数の誤差はデータシートで規定された ±2.5% の制限を超える可能性があります。
- **影響の範囲**
この問題は UART、IrDA および FSK の実装に影響を与える可能性があります。
- **回避方法**
非同期デジタル通信インターフェースの少なくとも一端で水晶安定化クロック ソースを実装します。
- **修正状況**
この問題の原因と解決法が特定されました。シリコンでの欠陥を修正するシリコン修正は計画されています。

変更履歴

文書名 : CY8C23433、CY8C23533 PSoC [®] Programmable System-on-Chip™ 文書番号 : 001-62937				
版	ECN 番号	変更者	発行日	変更内容
**	3006463	VED	08/12/2010	これは英語版 001-44369 Rev. *C からを翻訳した日本語版 001-62937 Rev. ** です。
*A	4093014	HZEN	08/12/2013	変更なし
*B	4580797	HZEN	11/25/2014	これは英語版 001-44369 Rev. *H からを翻訳した日本語版 001-62937 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2008-2014. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限り、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。