

サイプレスの 65nm 非同期 PowerSnooze™ SRAM の省電力

著者: Nilesh Badodekar

関連プロジェクト: なし

関連製品ファミリ: CY7S10xxG / CY7S10xxGE

このアプリケーション ノートでは、サイプレスの 65nm 非同期高速 SRAM デバイス (CY7S10xxG ファミリ) の PowerSnooze™ 機能について説明します。PowerSnooze により、長期間の非選択時、SRAM チップを低電力モードに入れることができます。ユーザー制御ピン (DS) は、高速モードと低電力モード間の円滑な移行を可能にします。このアプリケーション ノートでは、モード遷移のための重要なタイミング パラメーターだけでなく、アプリケーション システム内で PowerSnooze 機能を使用するための SRAM インタフェース設定の例についても説明します。

はじめに

モバイル技術と携帯バッテリーバックアップ デバイスの出現と共に、消費電力がシステム設計における基本要因の一つになってきました。システム設計者は、システムに使用するマイクロコントローラー/ASIC、ペリフェラルおよびメモリ デバイスに関して、より高速な動作速度と低消費電力化との間で選択のジレンマに直面しています。

テキサス インストルメント社と NXP セミコンダクタ社製のマイクロコントローラーは、ディープ パワーダウンおよびディープ スリープなどの特別な低電力モードを備えています。これらのコントローラー上で走るアプリケーションはこれらの機能を使用して電力を節約しています。コントローラーは通常動作時には全速で動作しますが、その後は低電力モードに移行し、電力を節約します。この低電力モード中、ペリフェラルとメモリ デバイスも電力を節約することが期待されます。これは、このようなシステムにインターフェースするメモリ デバイスにとっては難しい課題となります。非同期 SRAM は、一般的にはチップ外部のキャッシュ メモリ、スクラッチ パッド メモリまたは数 10 ナノ秒程度のより速いアクセス時間を必要とする別の同様な設定で使用されます。

高速 SRAM は、10ns~20ns のアクセス時間が得られますが、アクティブ モードとスタンバイ モード中に大量の電力を消費します。一方、低電力 SRAM のアクセス時間は 45ns~70ns と低速です。従来は、システム設計者は低電力アプリケーション用に低電力 SRAM を使用しましたが、現在は、メモリ インターフェースでの高速アクセス時間とシステムがアイドル中での低消費電力の両方が必要とされています。

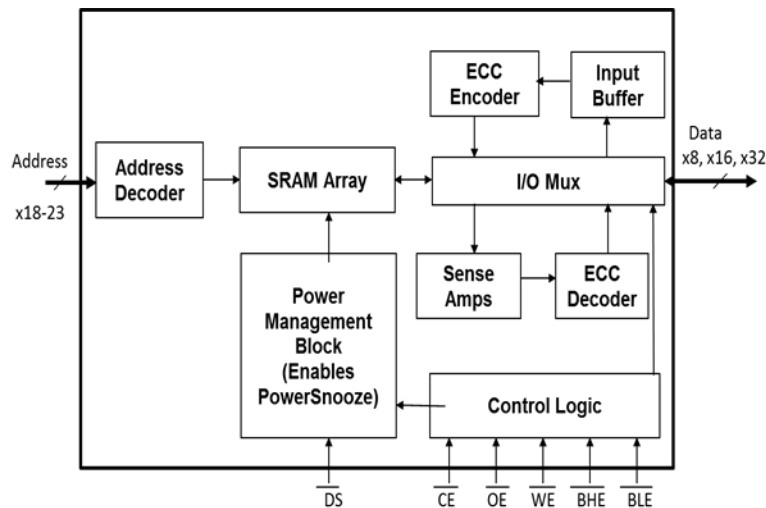
サイプレスの PowerSnooze™機能付き 65nm 非同期 SRAM は、両方の長所を備えており、真に高速、低消費電力のデバイスを提供します。

真に高速で低消費電力の非同期 SRAM

サイプレスの PowerSnooze 機能付き 65nm 非同期 SRAM を使用することによって、システム設計者は、同一チップで低消費電力だけでなく高速アクセス時間の恩恵も受けることができます。注文コードに「S」の文字 (例えば、16M バイト非同期高速 PowerSnooze SRAM を表す CY7S1061G30) の付いたサイプレスの SRAM には、従来の非同期 SRAM インターフェースとは別に DS と呼ばれる追加の入力ピンがあります。このピンはユーザー制御のピンであり、ユーザーは実行中に SRAM の動作モードを変更することができます。

通常動作時、コントローラー/ASIC/FPGA1 は 100MHz の最大速度で SRAM データにアクセスできます (アクセス時間は 10ns)。しかし、コントローラーが低電力モードに入っていると、DS ピンを制御して SRAM をディープスリープ モードにすることができます。ディープスリープ モードでは、これらの SRAM の消費電流は 16M ビット SRAM の場合 85 °C で 22 µA であり、真に高速、低消費電力のデバイスとなります。図 1 には PowerSnooze SRAM の簡単なアーキテクチャを示します。

図 1: 非同期 PowerSnooze SRAM アーキテクチャ



動作モード

図 1 に示すように、PowerSnooze SRAM には、ユーザーが次の 3 つのモードで SRAM を動作できるようにする追加の電源管理ブロックを備えています。

- アクティブ モード
- スタンバイ モード
- ディープスリープ モード

アクティブ モード

DS ピンが論理 HIGH 状態で、SRAM が有効 (CE が論理 LOW¹) の場合、SRAM はアクティブ モードになります。このモードでは、デバイスは 10ns のアクセス時間で動作し、アクティブ電流 I_{CC} (一般的に数ミリアンペア) を消費します。タイミングおよび DC パラメータについては、SRAM のデータシートを参照してください。

スタンバイ モード

DS ピンが論理 HIGH 状態であり、SRAM が非選択 (CE が論理 HIGH²) の場合、SRAM は、「チップ ディスエーブル モード」とも呼ばれるスタンバイ モードになります。このモードでは、SRAM へのアクセスは許可されず; スタンバイ電流 I_{SB2} (一般的には数ミリアンペアですが、アクティブ電流より少ない) を消費します。このモードに入る前に SRAM に格納されたデータは、スタンバイ モード中は保持されます。スタンバイ モードの条件については、SRAM データシートを参照してください。

ディープスリープ モード

サイプレスは 4Mb と 16Mb 非同期 SRAM の両方に対して PowerSnooze 機能を提供しています。これら 2 つはディープスリープ モードへの移行および終了という点でわずかの違いがあります。4Mb の PowerSnooze SRAM を使って設計したシステムは 16Mb の PowerSnooze SRAM にアップグレードする時にはファームウェアの若干の変更が必要です。16Mb の PowerSnooze SRAM を使って設計したシステムはファームウェア変更なしで 4Mb の PowerSnooze SRAM を使用できます。次の節では、16Mb と 4Mb の SRAM 用のディープスリープ モードを詳細に説明します。

¹ 全てのデュアル チップ イネーブル デバイスの場合、CE は CE₁ と CE₂ の論理結合です。CE₁ が LOW、CE₂ が HIGH の場合、CE は LOW であり、CE₁ が HIGH または CE₂ が LOW の場合、CE は HIGH です。

16Mb の SRAM 用のディープスリープ モード

16Mb の PowerSnooze SRAM はスタンバイ モード (CE は論理 HIGH²) からのみディープスリープ モードに移行できます。チップが最短 t_{CEDS} 時間で無効になった後、DS ピンは (論理 LOW に) アサートされ、ディープスリープ モードに入ります。タイミング条件については、[図 2](#) を参照してください。DS ピンの (論理 LOW) へのアサート時に、SRAM は t_{DS} 時間後にディープスリープ モードに移行します。ディープスリープ モードの間は、DS はアサートされた状態のままであり、SRAM はスタンバイ モード (CE は論理 HIGH) のままである必要があります。ディープスリープ モードへの移行期間 ($t_{CEDS} + t_{DS}$ 時間)、SRAM はスタンバイ電流 I_{SB2} を消費します; ディープスリープ モードに入ると、ディープスリープ電流 I_{DS} を消費します。

ディープスリープ モードを終了するために、DS ピンは SRAM がまだ無効である間に (論理 HIGH² に) デアサートされなければなりません。SRAM はスタンバイ モードに戻るのに t_{DSCE} 時間を要します。 t_{DSCE} 時間後、SRAM は有効にされ (CE が論理 LOW²)、アクティブ モードに移行します。

これは、これらのタイミング パラメーターに違反があればディープスリープ モードへの正常な移行、またはディープスリープ モードからの正常な終了を保証するものではないことに注意してください。タイミング条件の概要については、[表 1](#) を参照してください。

4Mb の SRAM 用のディープスリープ モード

4Mb の PowerSnooze SRAM はスタンバイ モード (CE は論理 HIGH²) またはアクティブ モードからディープスリープ モードに移行できます。DS 信号の (論理 LOW² への) アサート時、SRAM はディープスリープ モードへの移行をスタートします。DS 信号が最短 t_{DS} 時間の間アサートされ続けられれば、SRAM はディープスリープ モードに移行し、ディープスリープ電流 I_{DS} を消費します。タイミング条件については、[図 3](#) を参照してください。ディープスリープ モードの間は、DS がアサートされたままでなければなりません。ディープスリープ モードへの移行 期間 (t_{DS} 時間)、SRAM はスタンバイ電流 I_{SB2} を消費します; ディープスリープ モードに入ると、ディープスリープ電流 I_{DS} を消費します。書き込み動作中に DS 信号がアサートされれば、デバイスがディープスリープに移行し始めますので、SRAM の正常な動作は保証されません。

ディープスリープ モードを終了するために、DS ピンは (論理 HIGH に) デアサートされなければなりません。DS が最短 t_{PDS} の間アサートされれば、SRAM は内部で t_{DSCD} の間無効にされます。この時間 (t_{DSCD}) により、外部コントローラーは CE にアクセスし、それを外部で無効にすることができます。デバイスは t_{DSCA} 時間を経過した時まで無効にされたままでなければなりません。DS デアサート時から t_{DSCA} 時間が経過した後、アクティブ モードへの移行を有効 (CE を論理 LOW) にすることで SRAM へのアクセスができるようになります。システムが t_{PDS} 仕様を満たさない場合、 t_{DSCD} は SRAM によって保証されません。この期間 ($t_{PDS} < t_{PDS(min)}$) 中に、SRAM データを破損しないように SRAM は t_{DSCA} 時間まで外部で無効にする必要があります。タイミング条件の概要については、[表 2](#) を参照してください。

図 2. 16Mb の SRAM 用のディープスリープ モード – モードの移行および終了シーケンス

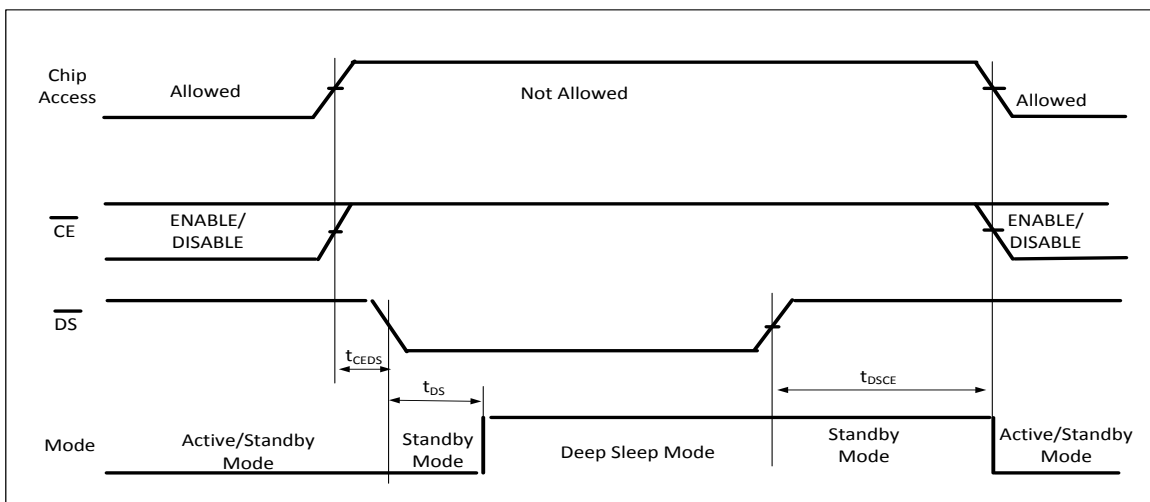


表 1. 16Mb の PowerSnooze SRAM の主要なタイミング パラメーター

パラメーター	説明	タイミング	
		Min	Max
t_{CEDS}	CE のデアサートと DS のアサートとの間の時間	100ns	–
t_{DS}	DS アサートからディープ スリープ モードへの移行までの時間	–	1ms
t_{DSCE}	DS のデアサートと CE のアサートとの間の時間	1ms	–

図 3. 4Mb の SRAM 用のディープスリープ モード – モードの移行および終了シーケンス

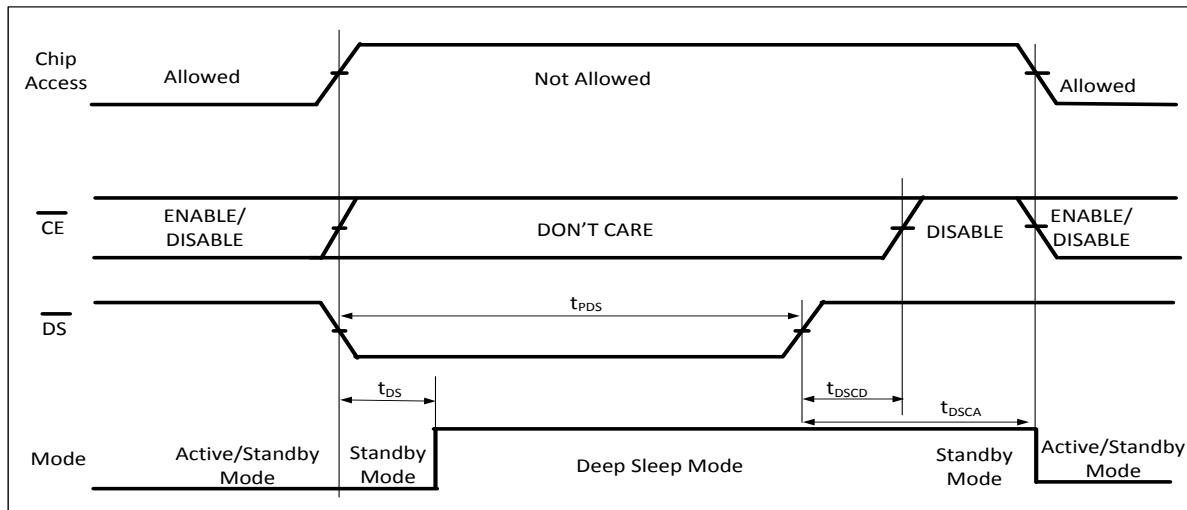


表 2. 4Mb の PowerSnooze SRAM の主要なタイミング パラメーター

パラメーター	説明	タイミング	
		Min	Max
t_{PDS}	デバイスがディープスリープ モードを正常に終了するための最小 DS LOW 時間	100ns	–
t_{DS}	DS アサートからディープ スリープ モードへの移行までの時間	–	1ms
t_{DSCD}	DS のデアサートとチップディスエーブルとの間の時間 ($t_{PDS} \geq t_{PDS(Min)}$ の場合)	–	100 μ s
	DS のデアサートとチップディスエーブルとの間の時間 ($t_{PDS} < t_{PDS(Min)}$ の場合)	–	0 μ s
t_{DSCA}	DS#デアサートからチップアクセス (アクティブ/スタンバイ) までの時間 ($t_{PDS} \geq t_{PDS(Min)}$ の場合)	300 μ s	
	DS#デアサートからチップアクセス (アクティブ/スタンバイ) までの時間 ($t_{PDS} < t_{PDS(Min)}$ の場合)		

SRAM がディープ スリープ モードにある時、その全期間で SRAM が無効にされるので、このモードに入る前に SRAM に格納されたデータは保持されます。ディープスリープ モードに関する条件については、SRAM データシートを参照してください。表 1 と表 2 には、PowerSnooze SRAM が従う必要がある主要なタイミング パラメーターをまとめます。

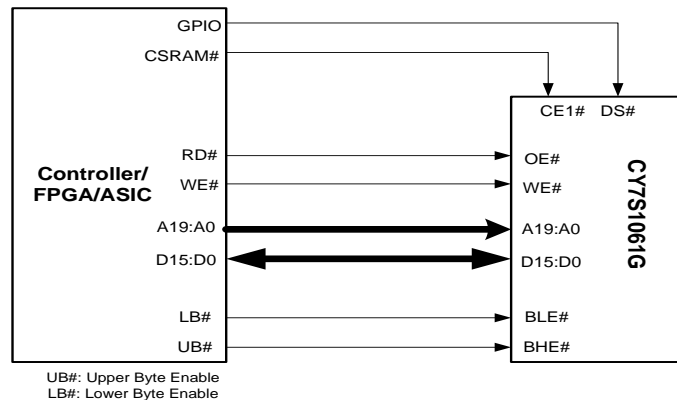
システム内の PowerSnooze SRAM へのインターフェース

TI 社製の AM18XX シリーズ、または NXP 社製の LPC 177X/LPC178X シリーズのような最高級のマイクロコントローラーには、コントローラーがそのモードに移行して電力消費量を節約できる特別なディープスリープ モードを備えています。TI 社製の AM18XX シリーズのコントローラーには、コントローラーを低電力モードに移行させるための「DEEPSLEEP」と呼ばれる入力信号があります。この信号を PowerSnooze SRAM の DS ピンにインターフェースすることができます。LPC177x/178x シリーズのコントローラーは、それに接続しているペリフェラルとメモリ デバイスを順次に無効にするソフトウェア設定を通じて低電力モードに移行することができます。このシーケンスは、通常の SRAM インターフェース信号とは別に追加の信号を生成するために使用し、PowerSnooze SRAM の DS ピンを制御することができます。

システム設計者が既存のアプリケーションで PowerSnooze SRAM を使用しようとする場合、または特別な低電力モードなしで ASIC あるいはマイクロコントローラーにインターフェースしようとする場合には、DS ピンは通常の GPIO で制御することができます。図 4 は、GPIO が PowerSnooze SRAM の DS ピンにインターフェースするインターフェースの概要を説明します。アクティブ モードとスタンバイモードの期間中、DS ピンは常に論理 HIGH にしてください。

ディープ スリープ モードに移行するためには、マイクロコントローラーは前節の CE と DS に説明したタイミング シーケンスに従わなければなりません。そのため、ソフトウェアとハードウェアに多少の変更を行うことで、システム設計者は既存のアプリケーション内で PowerSnooze SRAM を使用することができます。

図 4. PowerSnooze SRAM へのインターフェース



まとめ

サイプレスの PowerSnooze 非同期 SRAM は、高速で低消費電力である SRAM の両方の長所を提供しています。PowerSnooze SRAM は複数のオプションとパッケージで提供されています。表 3 は 16Mb と 4Mb の PowerSnooze SRAM 製品仕様の一覧をまとめます。適切な仕様選定と注文の情報のためにデータシートを参照してください。

表 3. PowerSnooze SRAM 製品仕様一覧

パラメーター	PowerSnooze SRAM (高速で低消費電力である)	
	16Mb	4Mb
温度範囲	-40°C~+85°C	-40°C~+85°C
技術	65nm	65nm
動作電流 $I_{CC}(\max)$	110mA	45mA
スタンバイ電流 $I_{SB2}(\max)$	30mA	8mA
ディープスリープ電流 $I_{DS}(\max)$	22 μ A	15 μ A
パッケージ	48ピン TSOP I、54ピン TSOP II、 48ボール VFBGA	44ピン TSOP I、44ピン SOJ、 36ピン SOJ、48ボール VFBGA
速度	10ns	10ns
銅リードフレーム	有	有
鉛フリーおよび有鉛	RoHS	RoHS
出荷予定	量産中	サンプル出荷

著者について

氏名: Nilesh Badodekar

役職: アプリケーション エンジニア

経歴: Nilesh Badodekar 氏は I.I.T. カラグプル、インドからの視覚情報処理と組込みシステムの修士号を持っています。

改訂履歴

文書名: AN89371 – サイプレスの 65nm 非同期 PowerSnooze™ SRAM の省電力

文書番号: 001-92417

版	ECN 番号	変更者	発行日	変更内容
**	4373831	XHT	05/08/2014	これは英語版 001-89371 Rev. **を翻訳した日本語版 001-92417 Rev. **です。
*A	4473286	HZEN	08/11/2014	これは英語版 001-89371 Rev. **を翻訳した日本語版 001-92417 Rev. *A です。
*B	4769227	HZEN	06/10/2015	これは英語版 001-89371 Rev. *A を翻訳した日本語版 001-92417 Rev. *B です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator は同社の商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。

	Cypress Semiconductor 198 Champion Court San Jose, CA 95134-1709	Phone : 408-943-2600 Fax : 408-943-4730 Website : www.cypress.com
---	--	--

© Cypress Semiconductor Corporation, 2014-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。