

サイプレス ONFI 1.0 nvSRAM による設計

作成者: Shivendra Singh

関連プロジェクト: なし

関連部品ファミリ: CY14V116F7, CY14V116G7

ソフトウェア バージョン: なし

関連アプリケーション ノート: なし

本アプリケーション ノートの最新版を入手するには <http://www.cypress.com/go/AN91206> へアクセスしてください。

AN91206 は、オープン NAND フラッシュ インターフェース 1.0 (ONFI バージョン 1.0) nvSRAM のコマンド構造、コマンド サイクル、アドレス サイクル、およびデータ サイクルについて詳しく説明しています。これらの情報はサイプレスの ONFI 1.0 nvSRAM を使用してシステムを設計する手助けになります。合わせて AN91206 は、ONFI 1.0 nvSRAM と ONFI 1.0 対応 NAND フラッシュ メモリ アーキテクチャにおけるオペコードと機能の主な相違点を強調して説明しています。これにより、ファームウェア プログラムに必要な変更を行い、ONFI 1.0 対応システム バスを使用して ONFI 1.0 nvSRAM の全ての機能にアクセスすることができます。

目次

はじめに.....	1
nvSRAM と NAND フラッシュの比較	2
ONFI 1.0 nvSRAM アーキテクチャ	3
メモリ構成.....	4
ONFI 1.0 nvSRAM データ インターフェース.....	5
コマンド サイクル.....	6
アドレス サイクル	6
データ入力サイクル (書き込みサイクル)	7
データ出力サイクル (読み出しサイクル).....	7
ONFI 1.0 nvSRAM アクセス オペコードとプロトコル	8
ONFI 1.0 コマンドの説明とタイミング	9
ONFI 1.0 nvSRAM のパッケージ	14
システムにおける標準的な ONFI 1.0 nvSRAM インターフェース.....	15
R/Bの抵抗値の決定方法	15
まとめ.....	16
関連資料.....	16
データシート.....	16
アプリケーション ノート/ホワイト ペーパー	16
ワールドワイドな販売と設計サポート	18

はじめに

ONFI 1.0 nvSRAM デバイスは ONFI 1.0 規格の大部分に準拠しており、全ての ONFI 1.0 対応ホストコントローラーと共に使用できます。ONFI 1.0 nvSRAM プロトコルは ONFI 1.0 規格と同じであるため、ONFI 1.0 バスをシステム内の他の ONFI 1.0 対応 NAND フラッシュ デバイスと共有することができます。

ONFI は、民生用電子製品への NAND フラッシュ メモリの組み込みを簡素化することを目的とした産業ワークグループです。ONFI は標準化されたコンポーネント レベルの仕様、デバイス動作の標準的なコマンド セット、および標準的なタイミング要件を定義しています。nvSRAM では、SRAM セルとシリコン-酸化物-窒化物-酸化物-シリコン (SONOS) ベースの不揮発性セルが単一の nvSRAM セルに結合されています。

nvSRAM は SRAM と不揮発性メモリの長所を組み合わせしており、業界で最速かつ最も信頼性の高い不揮発性メモリ ソリューションを実現しています。

nvSRAM の技術と機能の詳細については、サイプレス ホワイトペーパー「[Nonvolatile SRAM \(nvSRAM\) Basics](#)」を参照してください。ONFI 1.0 nvSRAM のタイミング図と DC/AC 仕様の詳細については、[デバイス データシート](#)を参照してください。

本アプリケーション ノートは ONFI 1.0 nvSRAM アーキテクチャ、プロトコル、ONFI 1.0 規格との主な相違点について説明します。また本書は、ONFI 1.0 nvSRAM を ONFI 1.0 対応コントローラーとインターフェースする回路例も紹介しています。

nvSRAM と NAND フラッシュの比較

nvSRAM は NAND フラッシュ メモリと、設計、セル構造、プロセス技術について異なります。表 1 に nvSRAM と NAND フラッシュ メモリ技術の比較を示します。

表 1. nvSRAM と NAND フラッシュ メモリ

パラメータ	nvSRAM	NAND フラッシュ
不揮発性メモリ セル	SONOS (シリコン S-酸化物 O-窒化物 N-酸化物 O-シリコン S)	フローティング ゲート
消去サイクル	該当なし	メモリ ブロックは新しいデータでプログラムする前に消去する必要がある
ページ プログラム サイクル 時間	該当なし。 データは常に SRAM アレイに書き込まれ、電源切断時に不揮発性メモリに自動的に保存される	標準: 200 μ s~300 μ s
アクセス回数	1,000,000 サイクル (不揮発性セル)	100,000 サイクル
データ保持期間	20 年 (85 °C で)	10 年 (85 °C で)
ページ書き込み	メモリ アレイ全体への書き込みはバス速度で行う	ページ バッファへのページ書き込み動作はバス速度で行う。但しデータをページ バッファから NAND フラッシュ メモリへ転送するために各ページ書き込みの後にページ プログラム サイクルが続く
ページ読み出し	メモリ アレイ全体からの読み出しはバス速度で行う	ページ バッファからのページ読み出し動作はバス速度で行う。但し各ページ読み出しコマンドの後、データがアクセス可能になるまでシステムは「t _R 」の間待機する必要がある
ページ サイズ	該当なし。バルク書き込みまたはバルク読み出しの実行中に、メモリ全体は単一のページとしてアクセス可能	2KB 以上
ブロック サイズ	該当なし	64 ページ以上

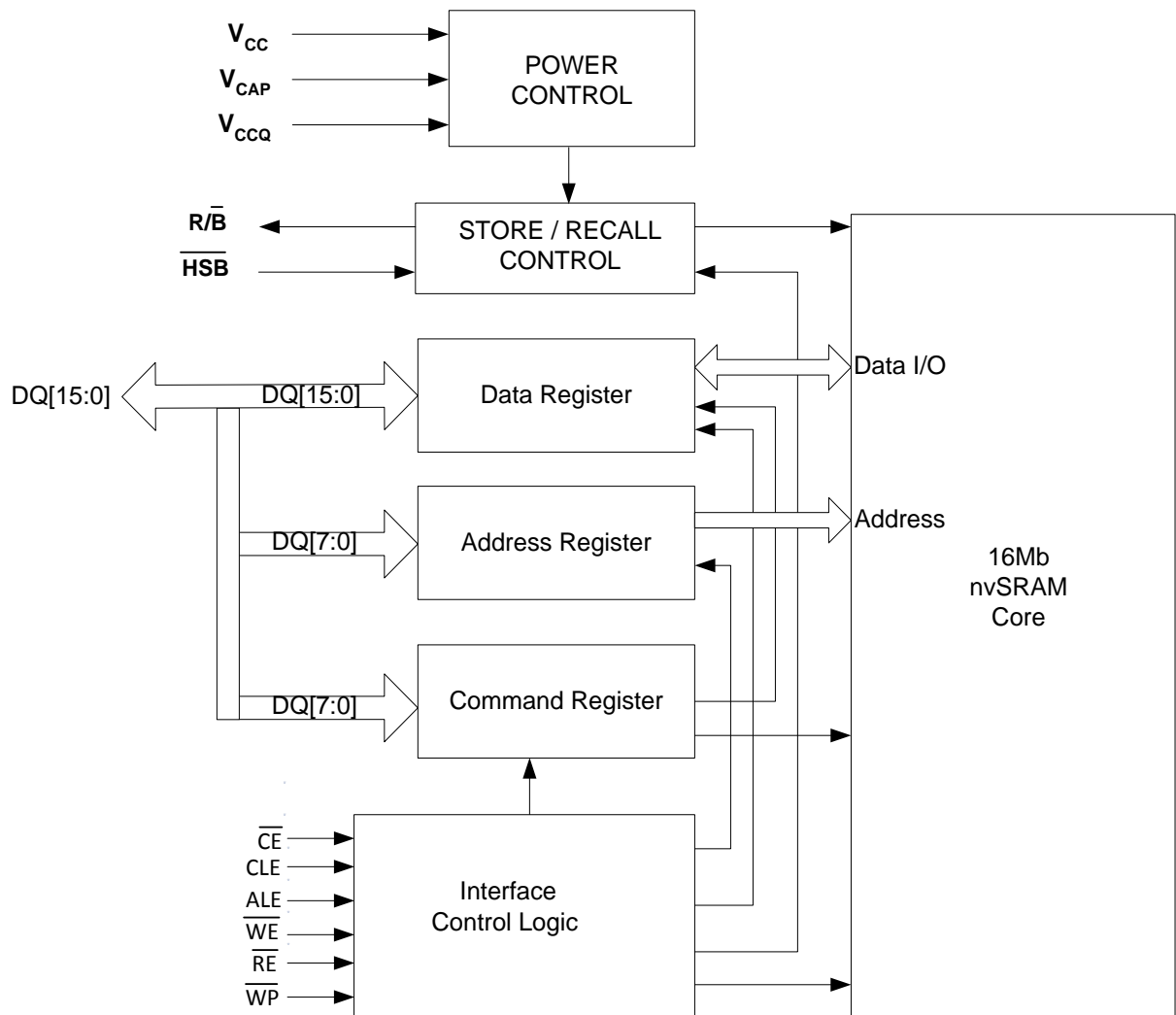
ONFI 1.0 nvSRAM アーキテクチャ

ONFI 1.0 は同じ I/O バスを介してコマンド、アドレス、データバイトを送信するための、高度に多重化された x8 I/O (DQ[7:0]) および x16 I/O (DQ[15:0]) アーキテクチャです。x8 インターフェースではコマンド、アドレス、データ バイトは同じバスを介して送信されます。x16 インターフェースでは、コマンドとアドレス バイトは常に下位 8 ビット バスを介して送信されますが、データ ワードは 16 ビット バスを介して送信されます (メイ

ン メモリ書き込みと読み出し動作の場合だけです)。ステータス レジスタ、デバイス ID、パラメータ ページ送信などその他の読み出し動作は常に x16 I/O インターフェースの下位 8 ビット バスを介して行われます。

図 1 は I/O (DQ[15:0]) インターフェースを詳しく示した ONFI 1.0 nvSRAM ブロック図です。

図 1. ONFI 1.0 nvSRAM ブロック図

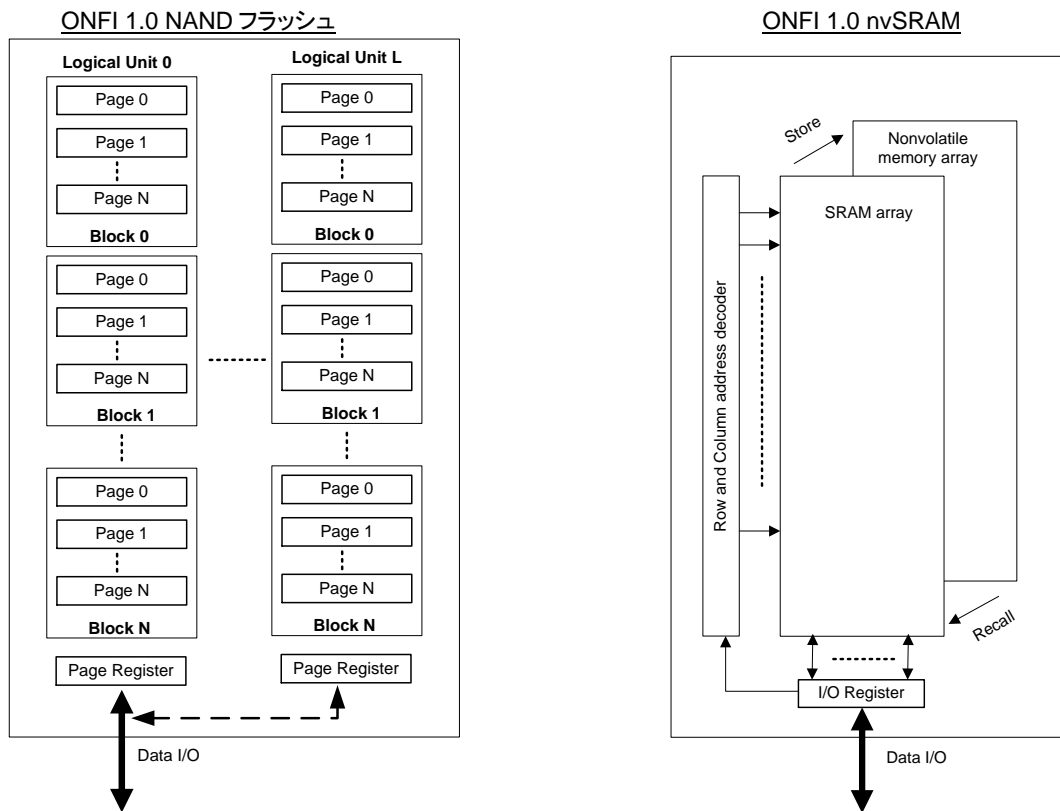


メモリ構成

ONFI 1.0 NAND フラッシュは階層アーキテクチャを備えており、メモリ全体が幾つかのページ、ブロック、プレーンに分割されています。ONFI 1.0 nvSRAM は階層アーキテクチャを備えず、メモリ アレイ全体がメモリの単一のページまたは単一のブロックとして扱われています。

図 2 に NAND フラッシュと nvSRAM アーキテクチャのメモリ構成の相違点を示します。

図 2. ONFI 1.0 NAND フラッシュと nvSRAM メモリ アーキテクチャ



ONFI 1.0 nvSRAM データ インターフェース

ONFI 1.0 の制御信号 CLE、ALE、 \overline{WE} 、 \overline{RE} は ONFI 1.0 nvSRAM の多重化 I/O バスを介したコマンド、アドレス、データ書き込みおよびデータ読み出しアクセスを制御するために使用されます。書き込み保護ピン (\overline{WP}) は ONFI 1.0 nvSRAM 内で SRAM への書き込みを有効/無効にします。制御信号 \overline{CE} は ONFI 1.0 バスを介してアクセスされるデバイスを選択するために使用されます。表 2 に入力制御信号の組み合わせに対応する ONFI 1.0 nvSRAM バス状態を示します。

AC/DC 仕様と本アプリケーション ノートで使用されるパラメータの詳細については、[デバイス データシート](#)を参照してください。

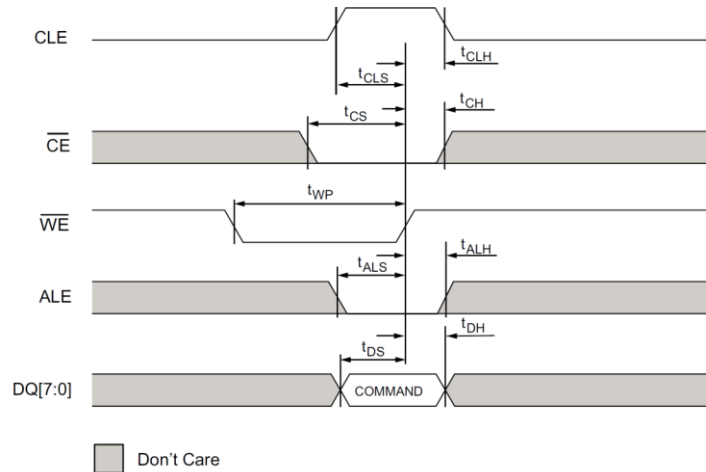
表 2: ONFI 1.0 nvSRAM バス状態

\overline{CE}	ALE	CLE	\overline{WE}	\overline{RE}	\overline{WP}	バス状態	コメント
1	X	X	X	X	X	スタンバイ	デバイスがレディー状態にあり、 R/\overline{B} が外部ブルアップ抵抗で HIGH にブルアップされる場合、nvSRAM は低消費電力スタンバイ モードに移行。 \overline{CE} が無効になった場合、 \overline{WP} 、 R/\overline{B} 、HSBを除いて全ての nvSRAM I/O は無効になる
0	0	0	1	1	X	バスアイドル	バスはアイドル状態にある。全ての入力は有効になるが、コマンド、アドレス、データバイトは無視される。またデバイスからのデータ出力はない
0	0	1	0	1	X	コマンド サイクル	バス上のデータ バイトをコマンドとしてラッチ
0	1	0	0	1	X	アドレス サイクル	バス上のデータ バイトをアドレスとしてラッチ
0	0	0	0	1	H	書き込みサイクル	データ バス上のデータを書き込み用にラッチ
0	0	0	1	0	X	読み込みサイクル	読み出しデータをバスに送信
0	1	1	X	X	X	未定義	ONFI 1.0 はこの入力信号条件に対応するデバイス状態を規定していないため、ONFI 1.0 nvSRAM では未定義バス状態と説明される
0	0	0	0	1	L	SRAM への書き込み保護	\overline{WP} は SRAM への書き込み動作を防ぐために SRAM 書き込みを開始する前にトグル

コマンド サイクル

\overline{CE} が LOW、ALE が LOW、CLE が HIGH、 \overline{RE} が HIGH の時、制御信号 \overline{WE} の立ち上がりエッジでコマンドが DQ[7:0] からコマンドレジスタに書き込まれます。図 3 にコマンド サイクル タイミングを示します。

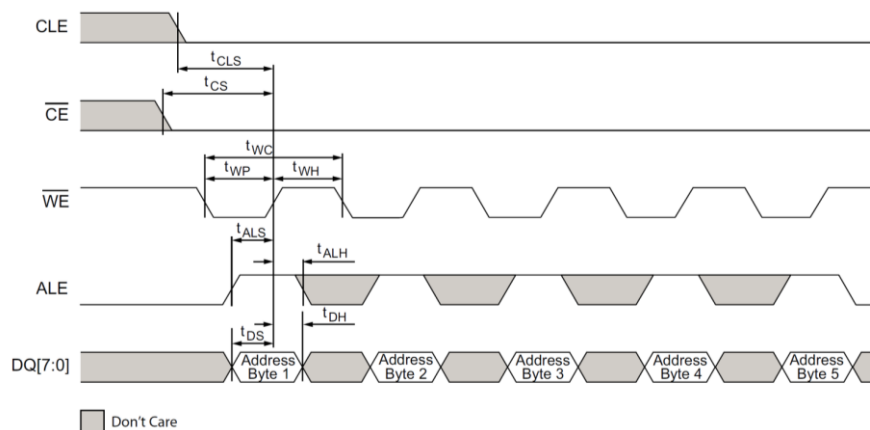
図 3. ONFI 1.0 nvSRAM のコマンド サイクル タイミング



アドレス サイクル

\overline{CE} が LOW、ALE が HIGH、CLE が LOW、 \overline{RE} が HIGH の時、制御信号 \overline{WE} の立ち上がりエッジでアドレスが DQ[7:0] からアドレスレジスタに書き込まれます。5 バイト アドレッシングでは、最下位のアドレス バイトは最初のアドレス サイクルで、最上位のアドレス バイトは 5 番目のアドレス サイクルで送信されます。nvSRAM はその 16Mb メモリ全体をアドレス指定するために最初の 3 個のアドレス バイトのみを必要とします。残り 2 つの MSB は「ドント ケア」(Don't Care) アドレス バイトです。図 4 にアドレス サイクル タイミングを示します。

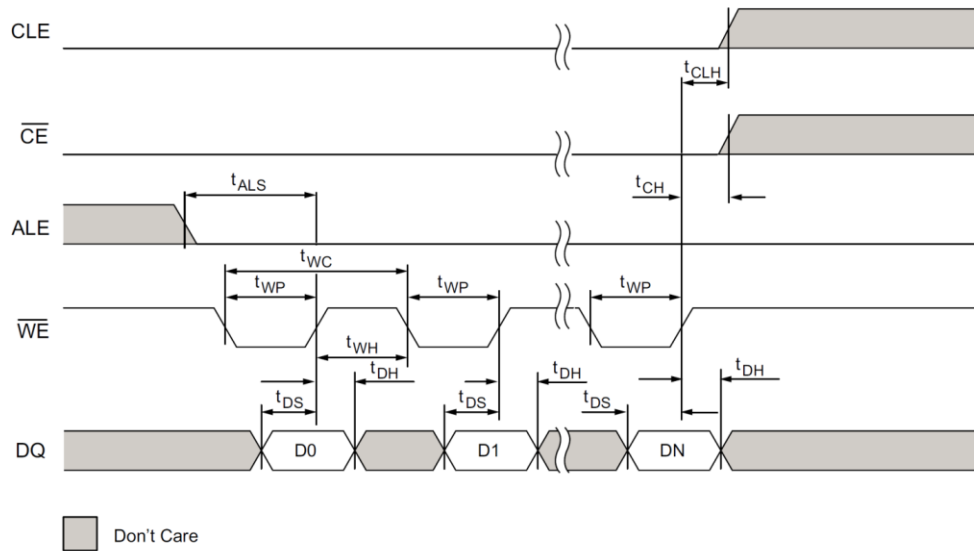
図 4. ONFI 1.0 nvSRAM のアドレス サイクル タイミング



データ入力サイクル (書き込みサイクル)

\overline{CE} が LOW、ALE が LOW、CLE が LOW、 \overline{RE} が HIGH の時、制御信号 \overline{WE} の立ち上がりエッジでデータ バイト/ワードが DQ (DQ[7:0]または DQ[15:0]) から nvSRAM のデータレジスタに書き込まれます。図 5 にデータ入力 (書き込み) サイクル タイミングを示します。

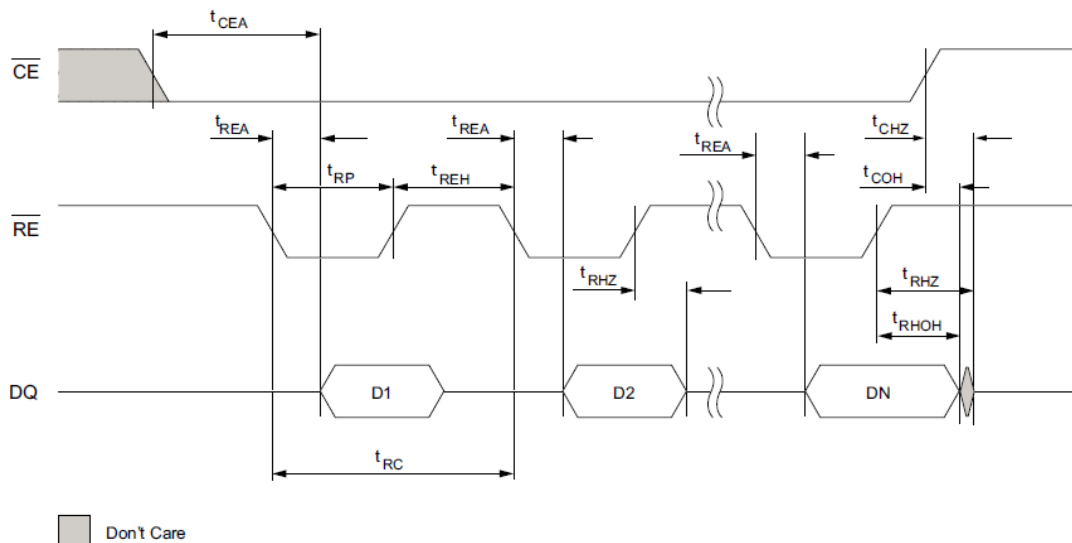
図 5. ONFI 1.0 nvSRAM のデータ入力 (書き込み) サイクル タイミング



データ出力サイクル (読み出しサイクル)

nvSRAM はレディー状態にある時、(読み出し中に) データ バイト/ワードを DQ バス (DQ[7:0]または DQ[15:0]) に出力します。 \overline{CE} が LOW、ALE が LOW、CLE が LOW、 \overline{WE} が HIGH の時、データは制御信号 \overline{RE} の各立ち下がりエッジでデータレジスタから出力されます。図 6 にデータ出力 (読み出し) サイクル タイミングを示します。

図 6. ONFI 1.0 nvSRAM のデータ出力 (読み出し) サイクル タイミング



ONFI 1.0 nvSRAM アクセス オペコードとプロトコル

表 3 に ONFI 1.0 nvSRAM アクセス用の各コマンドを実行するコマンド、アドレス、データ サイクルを示します。

表 3. ONFI 1.0 nvSRAM コマンド

NVSRAM の動作	コマンド サイクル 1	アドレス サイクル/秒	データ サ イクル/秒	コマンド サイクル 2	説明
SRAM からの読み出し	00h	メモリ アドレス (5 バイト)	-	30h	送信された 5 アドレス バイトで指定された SRAM アドレス位置からデータを読み出す
SRAM への書き込み	80h	メモリ アドレス (5 バイト)	(1~N)	10h	送信された 5 アドレス バイトで指定された SRAM アドレスにデータを書き込む。データ バイトの長さは 1~N の範囲内である。最大 値の N はメモリ アレイ全体
ステータス レジスタ 読み出し	70h	-	-	-	デバイスの状態を読み出す
ID 読み出し (ONFI シグネチャ)	90h	20h (1 バイト)	-	-	ONFI シグネチャの 4 バイトを読み出す
ID 読み出し (メーカーID とデバイス ID)	90h	00h (1 バイト)	-	-	メーカーID の 4 バイトを読み出す (MID の 2 バイトと DID の 2 バイト)
パラメータ ページ読み出し	ECh	00h (1 バイト)	-	-	パラメータ ページ読み出し機能ではターゲ ットの構成、機能、タイミング、その他の動作 パラメータを示すデータ構造体を読み出す
リセット	FFh	-	-	-	進行中の動作 (全ての書き込みと読み出し) を中止し、NVSRAM を初期設定の状態に 移行させる。不揮発性動作が進行中であれ ば、それが完了してからリセット要求を処理
ONFI 1.0 nvSRAM 固有のコマンド (NAND フラッシュに適用不可)					
ソフトウェア Recall	FCh	-	-	-	Recall 動作を開始してデータを不揮発性メ モリから SRAM へ転送。これは ONFI 1.0 規格のコマンドではない
ソフトウェア Store	84h	-	-	A5h	Store 動作を開始してデータを SRAM から 不揮発性メモリへ転送。これは ONFI 1.0 規 格のコマンドではない
AutoStore ディスエーブル	A3h	-	-	-	ONFI 1.0 nvSRAM の AutoStore 機能を無 効にする。これは ONFI 1.0 規格のコマンド ではない
AutoStore イネーブル	ACh	-	-	-	ONFI 1.0 nvSRAM で AutoStore 機能を有 効にする。電力喪失時に AutoStore を実行 するために、適切な値を持つコンデンサを V _{CAP} ピンに接続する必要がある。これは ONFI 1.0 規格のコマンドではない
予約済みコマンド					
Get Features	EEh	-	-	-	ONFI 1.0 nvSRAM の予約済みコマンド
Set Features	EFh	-	-	-	

表 4. nvSRAM に適用不可能な ONFI 1.0 フラッシュのコマンド

NAND フラッシュ機能	コマンド サイクル 1	アドレス サイクル/秒	データ サイクル/秒	コマンド サイクル 2	説明
Copyback Read	00h	5 バイト	-	35h	これらのコマンドは ONFI 1.0 nvSRAM に適用不可
Change Read Column	05h	-	-	E0h	
Read Cache Enhanced	00h	5 バイト	-	31h	
Read Cache	31h	-	-	-	
Read Cache End	3Fh	-	-	-	
Block Erase	60h	3 バイト	-	D0h	
Interleaved	60h	3 バイト	-	D1h	
Read Status Enhanced	78h	3 バイト	-	-	
Page Program Interleaved	80h	5 バイト	あり	11h	
Page Cache Program	80h	5 バイト	あり	15h	
Copyback Program	85h	5 バイト	あり	10h	
Copyback Program Interleaved	85h	5 バイト	あり	11h	
Change Write Column	85h	2 バイト	あり		
Read unique ID	EDh	1 バイト	-	-	

ONFI 1.0 コマンドの説明とタイミング

本節では、ONFI 1.0 nvSRAM のアクセス コマンド サイクル タイミングを説明します。また適用可能な場合に ONFI 1.0 NAND フラッシュとの相違点を強調して説明します。nvSRAM がビジー状態 (ステータス レジスタの RDY ビットが「0」にセットされている) の場合、ステータス レジスタ読み出し (70h) とリセット (FFh) を除き、全てのコマンドは無視されます。

読み出し (00h、30h)

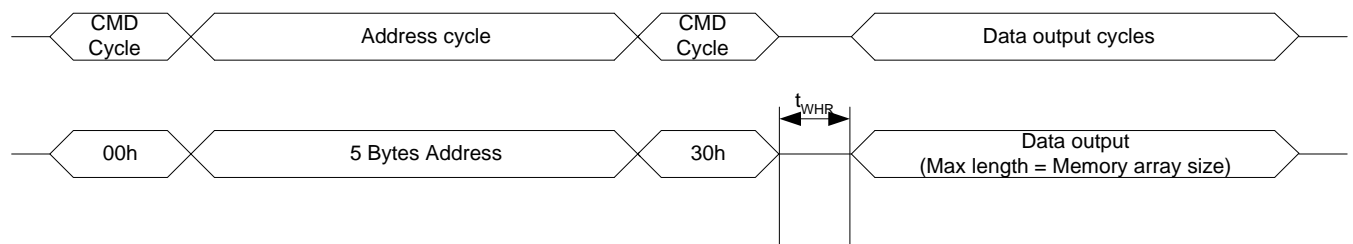
ONFI 1.0 nvSRAM

ONFI 1.0 nvSRAM の読み出しコマンドにより、x8 インターフェースではデータ バイト、x16 インターフェースではデータワードを読み出します。読み出しコマンド サイクルを受信した後、nvSRAM はデータ出力モード (読み出しモード) に入っ

て、RE がトグルする (\overline{CE} が LOW のまま) または \overline{CE} がトグルする (RE が LOW のまま) たびにデータをデータバスに送信し始めます。アドレス カウンタは次のアクセス可能な位置に自動的に進みます。デバイスは新しいコマンド サイクル (有効または無効なコマンド/アドレス サイクル) を受信するまでは読み出しモードを終了しません。読み出しコマンドは単一のバイト/ワード アクセスまたはバースト アクセスに使用できます。ONFI 1.0 nvSRAM では、データ バーストの最大の長さはメモリ アレイ サイズです。

図 7 に ONFI 1.0 nvSRAM の読み出しサイクル タイミングを示します。

図 7. ONFI 1.0 nvSRAM の読み出しサイクル

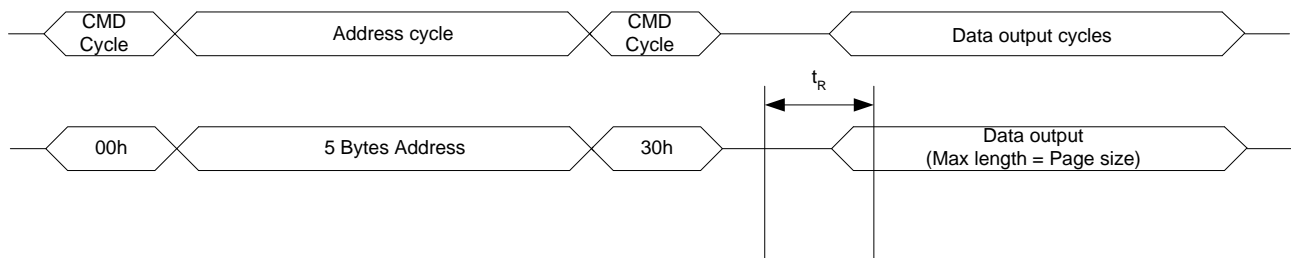


ONFI 1.0 NAND フラッシュ

ONFI 1.0 NAND フラッシュのページ読み出しコマンドは、ページ データが 30h コマンドが発行されてから t_R の間使用できる点を除き、ONFI 1.0 nvSRAM に似ています。 t_R は、データがデータバス上で使用可能になる前にデータをフラッシュ アレイからデータ メモリ レジスタへ転送する待ち時間です。

フラッシュ読み出し (ページ読み出し) コマンドは単一のバイト / ワードまたはデータ バイト / ワード バーストのアクセスに使用されます。フラッシュ メモリでは、データ バーストの最大サイズはページ サイズです。図 8 に ONFI 1.0 NAND フラッシュの読み出しサイクル タイミングを示します。

図 8. ONFI 1.0 NAND フラッシュの読み出しサイクル



書き込み (80h、10h)

ONFI 1.0 nvSRAM

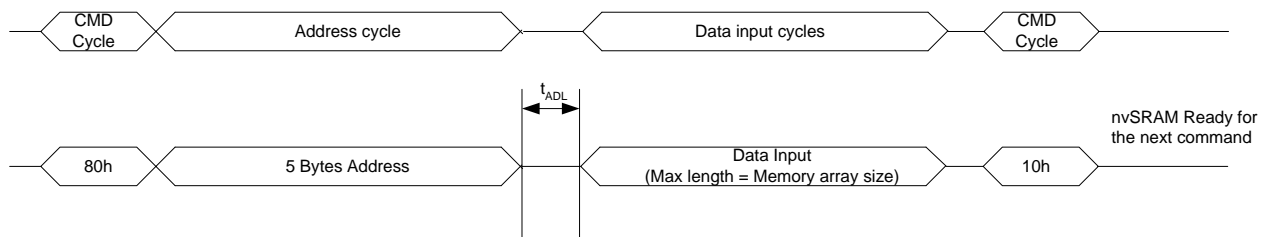
ONFI 1.0 nvSRAM の書き込みコマンドにより、x8 インターフェースではデータ バイト、x16 インターフェースではデータワードを書き込みます。有効な書き込みコマンドとアドレス サイクルを受信した後、それ以降の全てのデータ バイト / ワードが nvSRAM の SRAM に直接書き込まれます。デバイスは新しいコマンド サイクル (有効または無効なコマンド / アドレス サイクル) を受信するまでは書き込みモードを終了しません。

書き込みコマンドでは単一のデータ ワードまたはデータ バーストを書き込むことができます。全てのデータ バイトは直ちに

SRAM アレイに書き込まれ、電源切断時に不揮発性メモリ アレイに自動的に転送されます (AutoStore)。書き込みサイクルの終わりの 10h コマンドは ONFI 1.0 nvSRAM プロトコルを ONFI 1.0 規格に対応させるためですが、ONFI 1.0 nvSRAM には必須のコマンドではありません。10h コマンドを実行しなくても、ONFI 1.0 nvSRAM 書き込みは正常に行われます。

図 9 に ONFI 1.0 nvSRAM の書き込みサイクル タイミングを示します。

図 9. ONFI 1.0 nvSRAM の書き込みサイクル



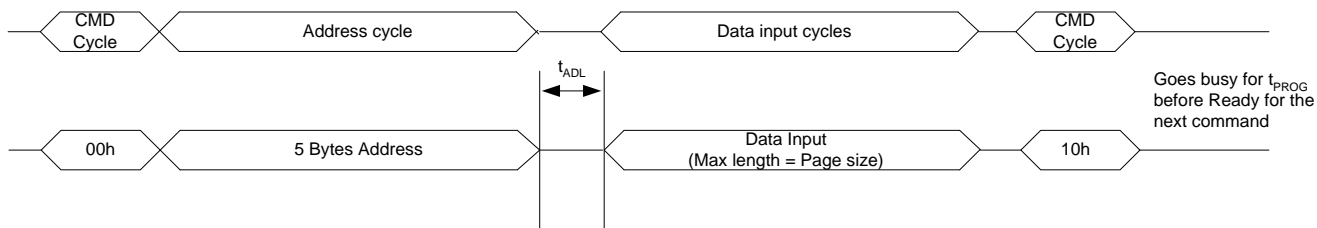
ONFI 1.0 NAND フラッシュ

ONFI 1.0 NAND フラッシュのページ書き込みコマンドは、10h コマンドを受信された後にのみページ データが不揮発性メモリにプログラムされる点を除き、ONFI 1.0 nvSRAM 書き込み に似ています。NAND フラッシュは、新しいページ書き込みまたは読み出し動作のアクセスが可能になる前にページ プログラム サイクルを完了するために t_{PROG} の時間を要します。

NAND フラッシュ書き込み (ページ書き込み) コマンドは単一のバイト / ワードまたはデータ バイト / ワード バーストの書き込みに使用されます。フラッシュ メモリでは、データ バーストの最大サイズはページ サイズです。

図 10 に ONFI 1.0 NAND フラッシュの書き込みサイクル タイミングを示します。

図 10. ONFI 1.0 NAND フラッシュの書き込みサイクル



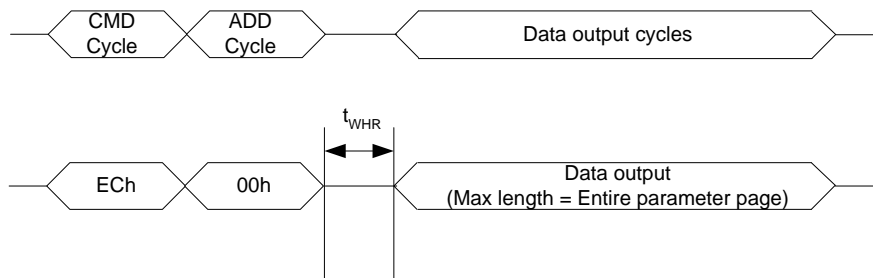
パラメータ ページ読み出し (ECh)

ONFI 1.0 nvSRAM

ONFI 1.0 nvSRAM のパラメータ ページ読み出しコマンドではパラメータ ページ データを読み出してREのトグルおよびCEのトグル毎に 8 ビット データ バスに出力します。x16 インターフェースのデバイスでは、パラメータ ページ データは x16 データバスの下位 8 ビットでのみ出力され、x16 データバスの上位 8 ビットは不要なデータを持っています。パラメータ ページ読み

出しコマンドは常にパラメータ ページのアドレス 00h から始まり、このアドレスがページ境界に達するまで自動的にインクリメントします。パラメータ ページ読み出しコマンドはパラメータ ページの中間からアクセスすることができません。図 11 に ONFI 1.0 nvSRAM のパラメータ ページ読み出しタイミングを示します。

図 11. ONFI 1.0 nvSRAM のパラメータ ページ読み出しサイクル

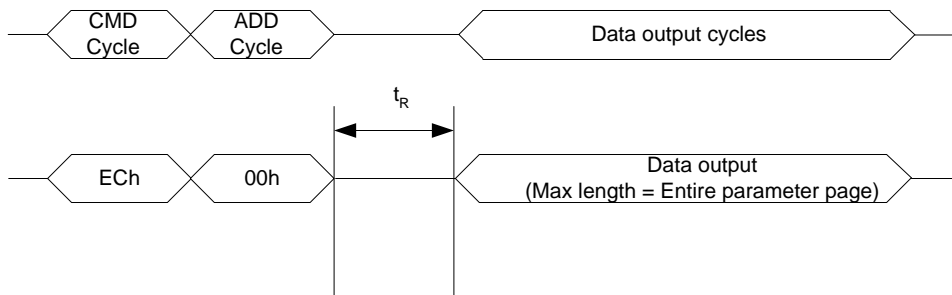


ONFI 1.0 NAND フラッシュ

ONFI 1.0 NAND フラッシュのパラメータ ページ読み出しコマンドは、パラメータ ページ読み出しコマンドが受信されてから t_R の時間だけパラメータ ページ データが使用できる点を除き、ONFI 1.0 nvSRAM に似ています。

t_R は、データをフラッシュ アレイからデータ メモリ レジスタへ転送する待ち時間です。図 12 に ONFI 1.0 NAND フラッシュのパラメータ ページ読み出しタイミングを示します。

図 12. ONFI 1.0 NAND フラッシュのパラメータ ページ読み出しサイクル



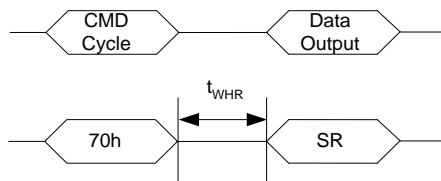
ステータス レジスタ読み出し (70h)

ONFI 1.0 nvSRAM

ステータス レジスタ読み出しコマンドでは 8 ビット データ バスを介してステータス レジスタ (SR) の内容を読み出します。x16 インターフェースのデバイスでは、ステータス レジスタの内容

は x16 データ バスの下位 8 ビットを介して送信されます。図 13 に ONFI 1.0 対応のステータス レジスタ読み出しサイクルを示します。

図 13. ONFI 1.0 対応のステータス レジスタ読み出しサイクル



ONFI 1.0 NAND フラッシュ

ONFI 1.0 NAND フラッシュのタイミング図は ONFI 1.0 nvSRAM と同じです。

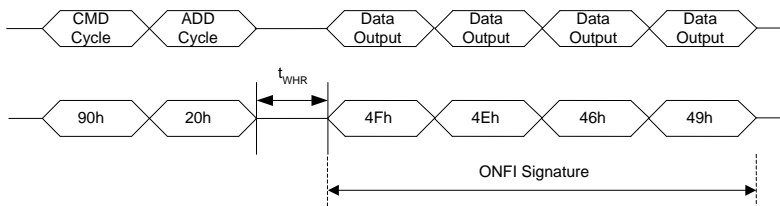
デバイス ID 読み出し (90h) - ONFI シグネチャ読み出し

ONFI 1.0 nvSRAM

アドレス バイト 20h を指定するデバイス ID 読み出しコマンド (90h) は、4 バイト ONFI シグネチャを読み出して 8 ビット データバスに出力します。x16 インターフェースのデバイスでは、シ

グネチャ バイトは x16 データ バスの下位 8 ビットにのみ出力されます。図 14 に ONFI 1.0 対応のデバイス ID 読み出しサイクル タイミングを示します。

図 14. ONFI 1.0 対応のデバイス ID 読み出し (CMD=90h、ADD=20h) サイクル



ONFI 1.0 NAND フラッシュ

ONFI 1.0 NAND フラッシュのタイミング図は ONFI 1.0 nvSRAM と同じです。

デバイス ID 読み出し (90h) - MID と DID 読み出し

ONFI 1.0 nvSRAM

アドレス バイト 00h を指定するデバイス ID の読み出しコマンド (90h) は、メーカーID (MID) とデバイス ID (DID) を読み出して 8 ビット データバスに出力します。x16 インターフェースのデバイスでは、シグネチャ バイトは x16 データ バスの下位 8 ビットにのみ出力されます。

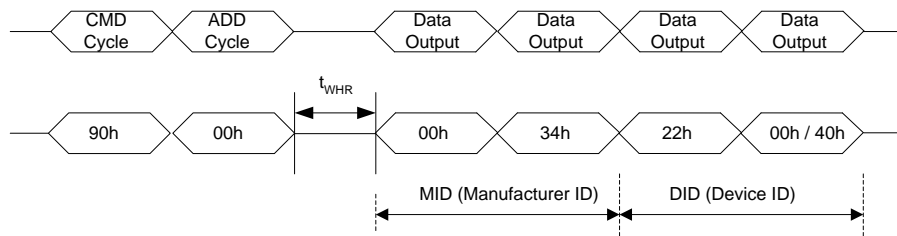
ONFI 1.0 nvSRAM は図 15 に示すように 4 バイトを返します。x8 および x16 インターフェース デバイスそれぞれの MID と DID は以下の通りです。

ONFI 1.0 nvSRAM (x8): 00 34 00 00h

ONFI 1.0 nvSRAM (x16): 00 34 00 40h

ONFI 1.0 規格では、MID と DID の冒頭 2 バイトだけが定義されています。冒頭 2 バイトを超えたデバイス ID の読み出しはメーカーのデータシートで指定された値を得ます。

図 15. ONFI 1.0 対応のデバイス ID 読み出し (CMD=90h、ADD=00h) サイクル



ONFI 1.0 NAND フラッシュ

ONFI 1.0 NAND フラッシュのデバイス ID 読み出しコマンドは、それが 5 バイト デバイス ID を返す点を除き、ONFI 1.0 nvSRAM と同様に動作します。

リセット (FFh)

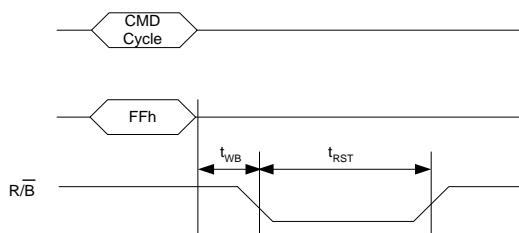
ONFI 1.0 nvSRAM

リセット コマンドは nvSRAM を電源投入時の初期状態に移行させます。リセット コマンドは、ONFI 1.0 nvSRAM power-up RECALL サイクルが実行されている時を除き、デバイスの全ての状態で実行できます。power-up RECALL サイクルの実行中にリセット コマンドを発行してはなりません。ホストは power-up RECALL サイクルが完了し ONFI 1.0 nvSRAM がアクセス可能になったことを示す R/B̄が HIGH になる時まで待機する必要があります。図 16 にリセット コマンドの動作およびタイミングを示します。16 ビット データアクセスに対応しているデバイスでは、リセット コマンドの送信中に上位 8 ビット DQ[15:8]は「ドントケア」ビットになっています。

不揮発性動作の進行中にリセット (FFh) コマンドを発行すると、リセット要求は進行中の不揮発性動作が完了した後に実行されます。デバイスの状態に応じて、t_{RST} タイミングは以下の条件によって異なります。

- デバイスがレディー状態である時にリセット コマンドを実行する場合、リセット要求を処理するために t_{SS} の時間を要します。
- ソフトウェア Recall サイクルが実行中にリセット コマンドを発行する場合、リセット要求を処理するために t_{RECALL} の時間を要します。
- HSB ソフトウェアまたは Store サイクルが実行中にリセットコマンドを発行する場合

図 16. ONFI 1.0 nvSRAM のリセット サイクル



ONFI 1.0 NAND フラッシュ

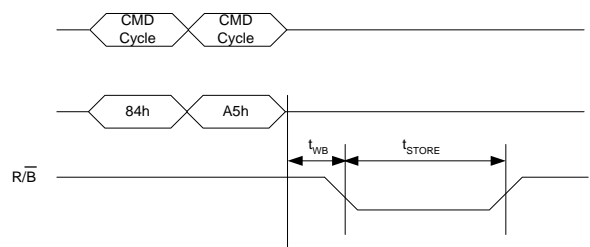
ONFI 1.0 NAND フラッシュのリセット コマンドは、ONFI 1.0 NAND フラッシュが PROGRAM と ERASE コマンドを含むコマンド シーケンスを中止する点を除き、ONFI nvSRAM のリセット コマンドに似ています。プログラム中のメモリ領域または消去中のブロックの内容は有効でなくなります。データは部分的に消去かプログラムされることがあり、無効になります。

ソフトウェア Store (84h、A5h)

ONFI 1.0 nvSRAM

ソフトウェア Store コマンドは ONFI 1.0 nvSRAM 固有のコマンドです。これは要求に応じて不揮発性 Store 動作を開始するために使用されます。不揮発性 Store 動作は SRAM データを不揮発性メモリに保存します。ソフトウェア Store サイクルを完了するまで t_{STORE} の時間を要します。

図 17. ONFI 1.0 nvSRAM のソフトウェア Store サイクル



ONFI 1.0 NAND フラッシュ

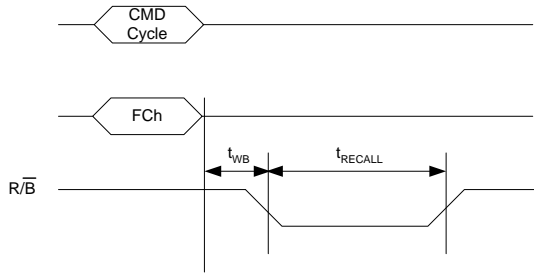
このコマンドは ONFI 1.0 NAND フラッシュには適用されません。

ソフトウェア Recall (FCh)

ONFI 1.0 nvSRAM

ソフトウェア Recall コマンドは ONFI 1.0 nvSRAM 固有のコマンドです。これはメモリ Recall 動作を開始してメモリ内容を不揮発性メモリから SRAM に復元します。ONFI 1.0 nvSRAM はソフトウェア Recall サイクルを完了するまで t_{RECALL} の時間を要します。

図 18. ONFI 1.0 nvSRAM のソフトウェア Recall サイクル



ONFI 1.0 NAND フラッシュ

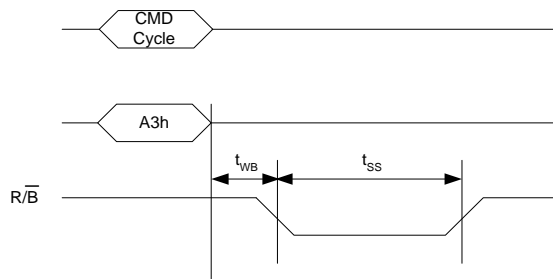
このコマンドは ONFI 1.0 NAND フラッシュには適用されません。

AutoStore イネーブル (A3h)

ONFI 1.0 nvSRAM

AutoStoreイネーブル コマンドはONFI 1.0 nvSRAM固有のコマンドです。これはAutoStore機能が無効になっている場合それを有効にします。全てのデバイスは工場出荷時にAutoStore機能を有効にしています。ONFI 1.0 nvSRAMはAutoStoreイネーブル コマンドを処理するために t_{SS} の時間を要します。

図 19. ONFI 1.0 nvSRAM の AutoStore イネーブル サイクル



ONFI 1.0 NAND フラッシュ

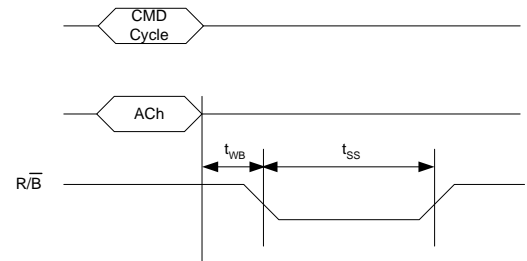
このコマンドは ONFI 1.0 NAND フラッシュには適用されません。

AutoStore ディスエーブル (ACh)

ONFI 1.0 nvSRAM

AutoStore ディスエーブル コマンドは ONFI 1.0 nvSRAM 固有のコマンドであり、AutoStore 機能を無効にするために使用されます。不揮発性 Store (HSBまたはソフトウェア Store) は AutoStore ディスエーブル コマンドの後に続く必要があります。AutoStore ディスエーブル コマンドの後に不揮発性 Store サイクルを実行しないと、現時点のサイクルでのみ AutoStore が無効になり、それ以降のパワー サイクルでは AutoStore が再び有効になります。ONFI 1.0 nvSRAM は AutoStore ディスエーブル コマンドを処理するために t_{SS} の時間を要します。

図 20. ONFI 1.0 nvSRAM の AutoStore ディスエーブル サイクル



ONFI 1.0 NAND フラッシュ

このコマンドは ONFI 1.0 NAND フラッシュには適用されません。

予約済みコマンド

ONFI 1.0 nvSRAM

GetFeature (EEh) とSetFeature (EFh) コマンドはONFI 1.0 nvSRAMでは予約されています。これら2つのコマンドは有効なコマンドとして扱われているため、その他の無効なコマンドまたは未対応のコマンドとは違って、実行中にステータス レジスタ内のFAILフラグ ビットをセットしないでください。

ONFI 1.0 NAND フラッシュ

ONFI 1.0規格では、GetFeature (EEh) とSetFeature (EFh) コマンドはオプションのコマンドです。

ONFI 1.0 nvSRAM のパッケージ

ONFI 1.0 nvSRAMはONFI 1.0 NANDフラッシュ デバイスとパッケージの互換性がありません。表5にONFI 1.0 nvSRAMおよびNANDフラッシュ デバイスがサポートしているパッケージを示します。

表 5. ONFI 1.0 nvSRAM および NAND フラッシュのパッケージ

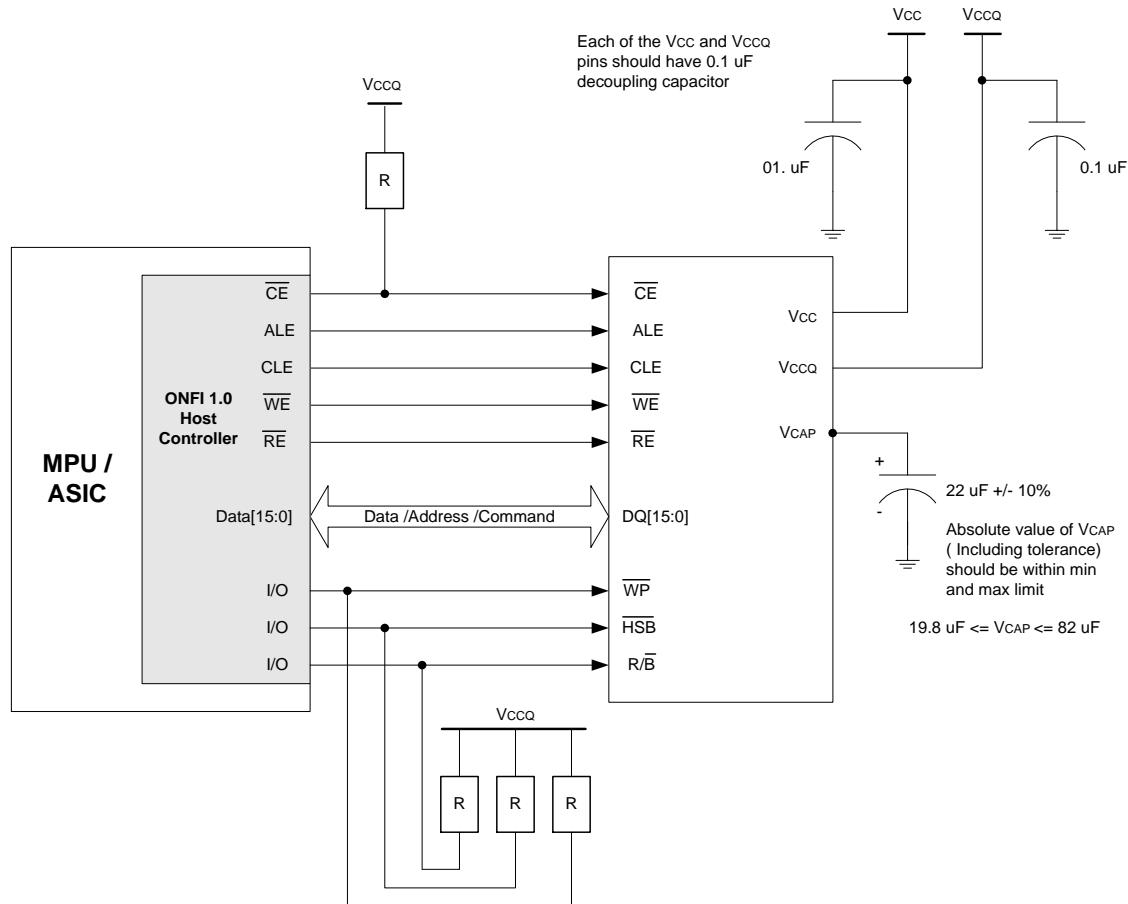
ONFI 1.0 nvSRAM	ONFI 1.0 NAND フラッシュ
165 ボール FBGA	48-TSOP
	48ピン WSOP
	LGA-52
	BGA-63

165 ボール FBGA パッケージの詳細情報については、[ONFI 1.0 nvSRAM データシート](#)を参照してください。

システムにおける標準的な ONFI 1.0 nvSRAM インターフェース

本節では、nvSRAM と ONFI 1.0 対応ホスト コントローラーのインターフェース回路例を示します。図 21 に ONFI 1.0 nvSRAM と NAND ホスト コントローラーの標準的な構成を示します。

図 21. システムにおける ONFI 1.0 nvSRAM の標準的な接続



設計の注意事項

1. \overline{WP} および \overline{HSB} はアクティブ LOW 入力信号です。これら 2 本の制御ピンは使用しない場合、2.2k Ω ~10k Ω の外部プルアップ抵抗を使用して V_{CCQ} に吊り上げる必要があります。
2. 各 V_{CC} および V_{CCQ} ピンは 1 個の 0.1 μ F デカップリングコンデンサに接続する必要があります。
3. R/\overline{B} はアクティブ LOW のオープンドレイン出力ドライバーであり、デバイスがビジー状態でない時に HIGH に駆動するために外付けプルアップ抵抗を必要とします。 R/\overline{B} 出力はワイヤード OR ロジックとして他のデバイスの R/\overline{B} に接続することができます。 R/\overline{B} 上の外付けプルアップ抵抗の値は、吸いこみ電流仕様 (I_{OL})、 V_{OL} レベル、最小立ち上がり時間 (t_R)、ピン上の総合バス負荷など複数の因数によって決まります。

R/\overline{B} の抵抗値の決定方法

R/\overline{B} 上のプルアップ抵抗 (R_P) と R/\overline{B} 回路の負荷容量 (C_B) の組み合わせで R/\overline{B} 信号の最大立ち上がり時間を決定します。 R_P の実際の値はシステムのタイミング要件によります。 R_P 値が大きいと、立ち上がり時間が大幅に遅延します。10%の点から 90%の点までの立ち上がり時間は時定数 (t_c) のおよそ 2 倍です。

$$\text{時定数 } (t_c) = R \times C \quad \text{式 1}$$

ここで、 $R=R_P$ (プルアップ抵抗値)、 $C=C_B$ (総合負荷容量)。

$$\text{立ち上がり時間 (max)} = 2 \times (R_P \times C_B) \quad \text{式 2}$$

$$\text{従って、} R_P \text{の最大値} = \frac{\text{Rise time (max)}}{(2 \times C_B)} \quad \text{式 3}$$

R/B信号の立ち下がり時間は主に R/B信号の出力インピーダンスと総合負荷容量 C_B で決まります。Rp の最小値は R/B信号の出力ドライブ能力 (V_{OL} 、 I_{OL}) と出力電圧振幅 $V_{CC}(\max)$ で決まります。

$$R_p = \frac{V_{CC}(\text{MAX}) - V_{OL}(\text{MAX})}{(I_{OL} + \Sigma I_L)} \quad \text{式 4}$$

ここで ΣI_L は、全てのデバイスの相互接続している R/Bピンの入力リーク電流の合計です。

まとめ

ONFI 1.0 nvSRAM は、ONFI 1.0 規格に規定されているアクセス オペコードおよびタイミング仕様の大部分に従っています。これによりサイプレスの ONFI 1.0 nvSRAM を ONFI 1.0 バスとインターフェースし、他の ONFI 1.0 NAND フラッシュ メモリと ONFI 1.0 バスを共有することができます。AN91206 は、ONFI 1.0 nvSRAM のアクセス オペコード、プロトコル、サイクル タイミングについて詳しく説明しています。また本アプリケーション ノートは、サイプレスの ONFI 1.0 nvSRAM と ONFI 1.0 NAND フラッシュ メモリの主な相違点を強調して説明しています。

ユーザーは本アプリケーション ノートを参照して、ターゲット システムにおける ONFI 1.0 nvSRAM インターフェースの回路およびファームウェア コードを開発することができます。参考ブロック図と設計の注意事項、回路図は ONFI 1.0 nvSRAM を用いた設計を迅速に行う手助けになります。タイミング図および AC パラメータの詳細については、[ONFI 1.0 nvSRAM データシート](#)を参照してください。

関連資料

データシート

[ONFI 1.0 nvSRAM データシート](#)

アプリケーション ノート/ホワイト ペーパー

[Nonvolatile SRAM \(nvSRAM\) Basics](#)

改訂履歴

文書名: サイプレス ONFI 1.0 nvSRAM による設計 – AN91206

文書番号: 001-94581

版	ECN	変更者	発行日	変更内容
**	4531471	HZEN	09/18/ 2014	これは英語版 001-91206 Rev. **からを翻訳した日本語版 001-94581 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC[®]ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator はサイプレス セミコンダクタ社の商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2014. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。