

## サイプレスの 65nm 非同期 SRAM を使用したシングル イベント アップセットの軽減

著者: Nilesh Badodekar

関連プロジェクト: なし

関連製品ファミリ: CY621xxG30/CY7C10xxG30/  
CY621xxGE30/CY7C10xxGE30

関連アプリケーション ノート: なし

このアプリケーション ノートは、サイプレスの 65nm 16Mb 非同期 SRAM のエラー訂正符号 (ECC) 機能を紹介します。そして、システムにおけるシングル イベント アップセットの主要な原因と、それらを軽減する従来の方法を説明します。更に、このアプリケーション ノートは、サイプレスの 16Mb デバイスに実装されている ECC アーキテクチャの概要を説明し、サイプレス SRAM 内のシングルビット アップセットの検出と訂正を可能にする新しい機能の使用モデルについて説明します。

### 目次

1	はじめに	1	4.3	ECC 保護メモリでのソフトエラー累積の効果	6
2	シングル イベント アップセット	2	4.4	32 ビット メモリ アーキテクチャの利点	7
2.1	SEU の原因	2	5	サイプレスの 65nm SRAM と ASIC/FPGA/ コントローラーのインターフェース	8
3	SEU に対する対策	3	5.1	ERR ピンとのインターフェース	8
3.1	プロセス技術とセル レイアウトの変更点	3	6	シングル ビット エラー訂正の実施例	10
3.2	チップ設計とアーキテクチャの変更点	3	7	まとめ	12
3.3	システム レベルでの対策	4		改訂履歴	13
4	サイプレスの 65nm 非同期 SRAM での ソフトエラー対策	5		ワールドワイド販売と設計サポート	14
4.1	ハミング コード	5			
4.2	サイプレスの SRAM によるエラー訂正	5			

## 1 はじめに

メモリ デバイスに関しては信頼性とデータ整合性が、システム設計者の最も重要な考慮事項のうちの 2 つです。最近のシステムは、放射線などのような環境要因によるメモリ内のデータの破壊を許容できません。システム設計者は、より高い信頼性を達成するために、オフチップ エラー訂正又は冗長などの技術に頼らなければなりません。これらの技術は、プリント基板面積または追加の処理時間のオーバーヘッドになります。サイプレスの最新世代の SRAM は、オンチップ エラー訂正符号 (ECC) を備えたシングルチップ ソリューションを提供し、基板面積、コストと設計の複雑さを削減します。これらの SRAM は、内装 ECC なしの SRAM (FIT 率が 150 FIT/M ビットより高い) と比べ、ソフトエラー<sup>1</sup>の影響を受けません (FIT 率が 0.1FIT/M ビットより低い)。このアプリケーション ノートでは、システム設計者が SRAM 内のエラー訂正を監視できるようにするサイプレス SRAM の新機能についても述べます。

<sup>1</sup> ソフトエラーは累積の効果のみで発生が可能となります。詳細は [ここに](#)あります。

## 2 シングル イベント アップセット

シングル イベント効果は、デバイスが動作する環境からの高エネルギーの放射線粒子に起因した論理状態の変化またはデバイス内の過渡現象として定義されます。高エネルギー粒子の半導体デバイスとの相互作用は、「ソフト エラー」と呼ばれるビット反転、または「ハード エラー」と呼ばれる永久的な破損を引き起こす可能性があります。デバイスをリセットするか、書き換えると、通常の動作が復元されるため、ソフト エラーは非破壊的なものです。それらは部品や製造の不具合とは関係ありません。ハード エラーはデバイスを破壊します。ハード エラーの一般的な例としては、シングル イベント ラッチアップと、それによる高電流または熱暴走に起因したデバイスの損傷です。

単一放射線事象によるソフト エラーは、シングル イベント アップセット (SEU) と呼ばれます。SEU は、シングル ビット アップセット (SBU) またはマルチ セル アップセット (MCU) として現われます。SBU は、単一のエネルギー粒子の衝突による 1 ビットの反転を示します。MCU は、1 つ以上の放射線粒子の通過によるメモリ アレイ内の複数のビットの反転を示します。

MCU イベントが出力データでのマルチ ビット アップセット (MBU) を引き起こすかどうかはデバイスのアーキテクチャによります。MBU は、出力データの 1 ワード内の複数のビットに反転が起こる場合に発生するイベントです。一般的に、MBU は、SBU でのみ正常に動作するハミング コード エラー訂正方式を損ないますので、軽減や回避する必要があります。

プロセス テクノロジーの微細化 (250nm プロセスから 65nm プロセスへの移行、そして、それ以上) に伴い、メモリ セルのサイズが益々小さくなっています。よって、コア電圧は、(3.3V から 1.2V 以下に) 低くなります。これはメモリ セル内の静電容量を減少させます。結果として、反転を起こすに必要な臨界電荷 (セルがデータを保持するのに必要な最小電荷) が減少するので、メモリ セルには SEU が発生しやすくなります。一つのアルファ粒子あるいは一つの宇宙線生成の中性子でも、セルを乱すことができます。

SEU はランダムで、デバイスを壊さないためほとんど壊滅的ものではありません。多くの商用システムでは、ある程度のソフト エラーを許容できます。しかし、ミッション クリティカルなアプリケーションの場合、ソフト エラーは深刻な影響を与え、データの破壊だけでなく、システム全体の故障を起こす可能性があります。

### 2.1 SEU の原因

SEU の主要な原因は以下の通りです。

- アルファ粒子
- 高エネルギー中性子
- 熱中性子

#### 2.1.1 アルファ粒子

アルファ粒子は、モールド合成物に使用される石英フィラーの微量のウラン 238 とトリウム 232 の放射性崩壊によって生じます。これらの不純物はアルファ粒子を放出します。アルファ粒子は物質内では遠い距離を移動できず、その影響は放出場所のごく近傍に限られます (約 50 $\mu$ m)。そのため、外部アルファ粒子源は通常、パッケージされた半導体デバイスに影響を与えません。メーカーは、アルファ粒子によるソフト エラーの発生を低減するために、アルファ粒子のエミッションが極めて低い (ULA: ultra-low-alpha) 封止材料を使用します。

#### 2.1.2 高エネルギー中性子

高エネルギー宇宙粒子 (主に陽子) が地球の上層大気と反応します。地球の磁気によって変調されたそれらの衝突は、ミュー中間子、パイ中間子、中性子などの高エネルギー反跳粒子を発生させます。電荷を持たない高エネルギー中性子のみは地球の表面に到達して半導体デバイスと相互作用する潜在性を有しています。地球の表面に到達する時点ではその残存エネルギーは約 1~500MeV です。

高エネルギー中性子がソフト エラーを引き起こすには、シリコン核と衝突してイオン化粒子を発生させ、シリコン核との間で衝突イオン化を起こす必要があります。この衝突は、アルファ粒子と他の重いイオンを生み出すことが可能なため、モールド合成物からの一般的なアルファ粒子よりも高いエネルギーの電子正孔対を作り出します。

中性子は、ほとんどの人工建造物に侵入できるため、特に厄介です。例えば、中性子は 5 フィートのコンクリートを通り抜けます。線量は地理的な位置に依存しており、大気よりも低いシールド効果のため、より高い標高で増加します。中性子の一般に知られている良い減速体は水と土壌です。したがって、中性子の低い環境はトンネル、洞窟と潜水艦で見られます。

### 2.1.3 熱中性子

熱中性子は宇宙シャワーで最後に残る低エネルギー中性子です。これらの中中性子は高エネルギー中性子として発生しますが、地球の表面に向かって移動する間に、複数の衝突のため、エネルギーを失います。衝突する度に一部のエネルギーが無くなるため、地面に到達した時の熱中性子が持っているエネルギーの量は非常に低い(約 25meV)です。

通常、熱中性子自体はソフト エラーを一切発生させません。しかし、半導体のボロホスホシリケート グラス (BPSG) 酸化膜にあるボロンの同位体である  $^{10}\text{B}$  は、熱中性子と相互作用し、ソフト エラーを引き起こすリチウム、ヘリウム原子核とガンマ線に崩壊します。熱中性子の影響を防止するために、半導体業界では、BPSG から燐硅酸ガラス(PSG) 酸化膜に変更しました。サイプレスの 65nm 非同期 SRAM は BPSG を用いていないので、熱中性子に耐性があります。

## 3 SEU に対する対策

非同期 SRAM のソフト エラーを軽減する主な方法は以下のとおりです。

- ソフト エラー感受性を低下させるためにプロセス技術とセル レイアウトを変更
- チップ設計とアーキテクチャを変更
- システム レベルでの対策

### 3.1 プロセス技術とセル レイアウトの変更点

高エネルギー粒子と半導体基板との相互作用によって発生した電荷が、SRAM セルに格納されている臨界電荷 (QCRIT) を超えた時に、ソフトエラーが生じます。Roche 氏およびその他の人が提案したモデル (式 1) によると、QCRIT はノード静電容量 (CN)、動作電圧 (VDD)、最大ドレイン伝導電流 (IDP) とセルの反転時間 (TF) の関数です。SRAM デバイスの信頼性は、セル静電容量を増加させることによって高めることができます。

式 1. 臨界電化 (QCRIT)

$$Q_{\text{CRIT}} = C_N \cdot V_{\text{DD}} + I_{\text{DP}} \cdot T_{\text{F}}$$

しかし、プロセス技術とセル レイアウトの変更に基づいた軽減技術はコストに影響します。追加のコンデンサまたはより大きいセル サイズの使用は、アクセス時間とスタンバイ電流 (非動作半導体時に SRAM が消費する電流) を増加させるため、デバイスの性能に悪影響を与えます。

### 3.2 チップ設計とアーキテクチャの変更点

組み込み ECC とビット インターリーブ等のアーキテクチャ上の拡張は、半導体デバイスへのソフトエラーの影響を制限するために使用することができます。サイプレスの 65nm 非同期 SRAM はソフトエラーを軽減するために、ここで述べる両方の技術を実装しています。

#### 3.2.1 組み込み ECC

ソフトウェアで実装されているエラー訂正と符号化方式はチップ アーキテクチャにハードコードすることで、システム設計者が訂正を意識する必要がなくなります。

#### 3.2.2 ビット インターリーブ

高エネルギー粒子と半導体の原子との衝突は複数のセルに影響を及ぼす可能性があります。MBU は、単一のエネルギー粒子が同じデータ ワードの 2 つ以上のビットに影響を与える時に発生します。ビット インターリーブ技術により、単一の粒子衝突による SRAM での MBU イベントが回避されます。

ビット インターリーブは、物理的に隣接するビット ラインが異なるワード レジスタにマッピングされるように SRAM セルを配置します。ビット インターリーブ距離は同じワード レジスタにマッピングされた 2 つの連続的ビットを分離します。ビット インターリーブ距離がマルチ セルアップセット(MCU) の広がりよりも大きい場合、単一のワード内の MBU に代わって、複数のワード内の SBU になります。ビット インターリーブ メモリでは、シングル ビット エラー訂正アルゴリズムによってすべてのエラーを検出し、訂正することができます。

図 1 と図 2 は、MCU が発生した時にビット インターリーブがどのように有利になるかを示します。非インターリーブ メモリ (図 1) の場合、MCU が発生すると、同じワード内の複数のセルが影響を受ける可能性があります。システムがこのワードを読み出す時、シングルビット ECC はそれを訂正できないため、システムが誤ったデータを読み出し、処理することにつながります。

しかし、インターリーブ メモリの場合、MCU が発生すると、複数のセルが影響を受けますが、それらは複数のワードに分散します。そのため、各ワードは 1 つの SBU しか持っていません。システムがこれらのワードを読み出す時、シングル ビットの ECC がそれらを訂正できるため、システムがすべてのワードに対して正しいデータを処理することになります。

図 1. 非インターリーブ メモリ

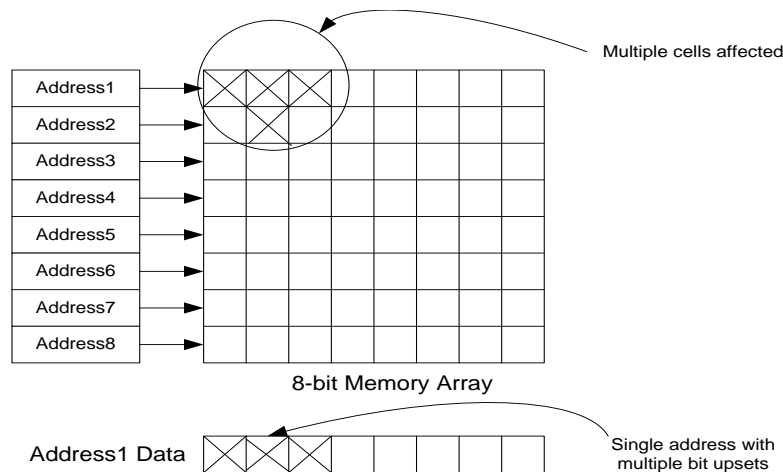
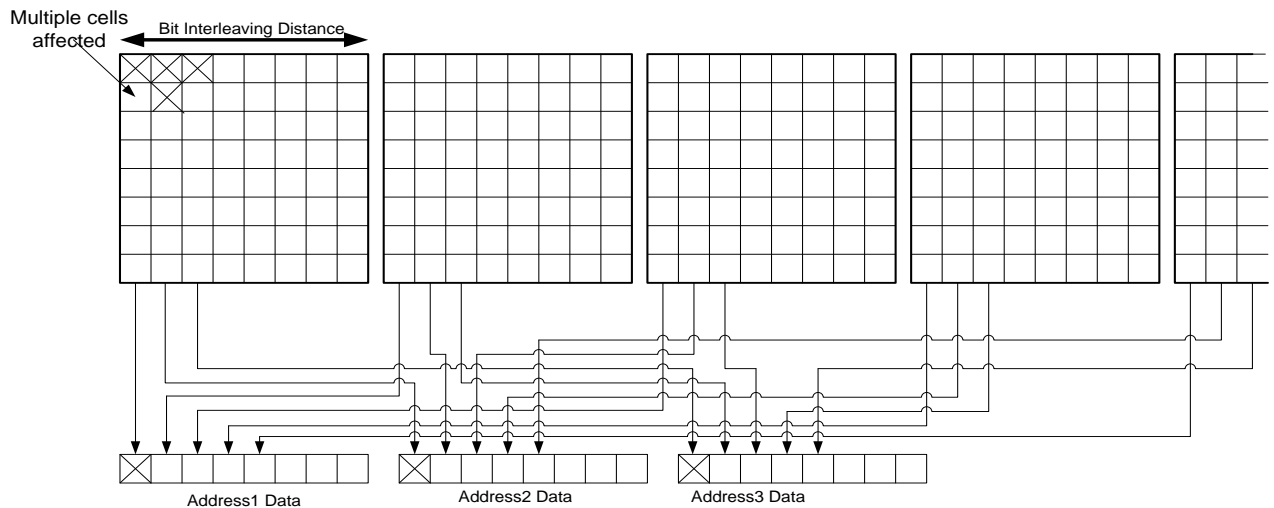


図 2. インターリーブ メモリ



### 3.3 システム レベルでの対策

システム レベルで、ソフトウェア内での冗長性又は ECC を実装することによって軽減することができます。

三重モジュール式冗長構成では、データが同時に 3 つの SRAM に格納されます。このため、読み出す度に、すべての 3 つの SRAM は一緒に読み出され、出力は多数決方式に供給されます。1 つの SRAM が SEU の影響を受けた場合、多数決方式は、残りの 2 つの SRAM が SEU の影響を受けていないため、最終的な出力データが正しいことを保証できます。

システム設計者は、コントローラーまたは ASIC がすべてのデータ用にパリティ ビットを生成し、別の SRAM に格納するソフトウェアによって ECC 方式を実装することができます。これによって、すべての読み出しサイクルの間、コントローラーはデータビットとパリティビットの両方にアクセスし、エラーが発生するとデータを訂正します。

冗長な SRAM の使用またはソフトウェアでの ECC 方式の実装は、基板スペースと実行時間の面でオーバーヘッドを追加します。基板とソフトウェア用の追加設計手間がかかるため、設計が複雑になります。

## 4 サイプレスの 65nm 非同期 SRAM でのソフトエラー対策

サイプレスの 65nm SRAM は、単一ビットのソフトエラーに対応するために、ハミングコードを使用しています。ハミングコードは、よく知られた最も簡単かつ最も信頼性の高い ECC 方式の一つです。本節では、サイプレスの SRAM の中で使用されるハミングコードについて説明します。

### 4.1 ハミングコード

ハミングコードは線形 ECC (linear ECC) のファミリーです。式 2 は、任意の長さ  $n$  のハミングコード用の基本的な式をまとめたものです。

式 2. ハミングコード式

$$2^m \geq m + k + 1$$

ここで、

$k$  = データビットの数

$m$  = パリティチェックビットの数

$n$  = コード長、 $n = m + k$

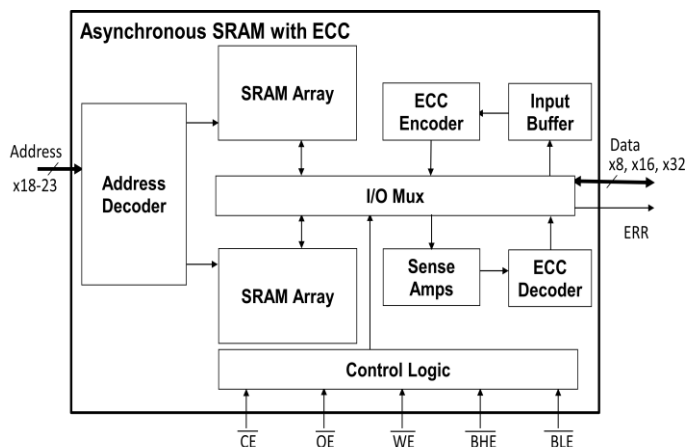
サイプレスの SRAM 用のメモリ アレイは 32 ビット ワード空間として配置されます。32 ビット データ ワードに対して、 $m$  の最小値は 6 です。よって、コード長 ( $n$ ) が 38 になります。従って、サイプレスは、シングル ビット エラーの検出および訂正のために、(32、38) ハミングコードを使用します。

### 4.2 サイプレスの SRAM によるエラー訂正

サイプレスの 65nm の非同期 SRAM は、すべての ECC に関わる関数をインラインで実行するハードウェア ECC ブロックを持っています。この符号化は、ユーザーの介入なしに、デバイスのアクセス時の性能に悪影響を与えることなく実行されます。

シングル ビット エラーの検出および訂正機能は 16 ビットのインターリーブ方式によって補完され、マルチ ビット エラーの発生を防ぎます。図 3 はサイプレスの 65nm 非同期 SRAM のブロック図を示します。

図 3. 65nm 非同期 SRAM の内部構成



6 パリティ ビットは、すべての書き込み動作中に 32 ビット データ ワードと共に生成、格納されます。(32,38) ハミングアーキテクチャにより、サイプレスの 65nm SRAM がすべての読み出し動作中にシングル ビット エラーを検出し、訂正することが可能となります。



「E」を含む注文コード (例えば、CY7C1061GE30) をもつサイプレスの 65nm 非同期 SRAM は、パッケージの「ERR」と呼ばれる追加の出力ピンを持ちます。この ERR ピンにより、システム設計者がすべての読み出しサイクル中に、SRAM の ECC ロジックの出力を監視することができます。読み出しサイクル中に、シングル ビット エラーがない場合、ERR ピンがデアサートされます。しかし、SRAM から読み出されている 32 ビット ワードにシングル ビット エラーがある場合、ERR ピンは現行の読み出しサイクルに対して HIGH にアサートされます。

メモリ内の破損したデータの元のコピーが破損したままでも、ECC ロジックは読み出しデータの訂正を許可します。シングル ビット エラーの検出と訂正が行われていない読み出しサイクルの間は、ERR ピンはデアサートされます。時間の経過とともに、その後発生する SEU は、アプリケーションによって書ききれない場合、メモリ アレイ内に蓄積される可能性があります。したがって、メモリ アレイ内の「格納された」ソフトエラー数の増加につながります。格納されたソフトエラー数が臨界閾値  $N_{TH}$  に達すると、メモリ アレイ内のデータ ワードが既に SBU で汚染されているので、次のソフトエラーは同じデータワードでの MBU を発生させる可能性があります。「累積効果」と呼ばれるこの効果は次の節で詳細に説明されます。

MBU の検出と訂正はサイプレスの ECC アーキテクチャではサポートされていません。ERR ピンを備えたデバイスは MBU の発生を通知しますが、データの状態がそのような状況で補正されず、複数の MBU を含む可能性があります。ただし、累積したソフトエラーの臨界閾値  $N_{TH}$  に達するまでの時間は、ソフトエラーの生成速度とアプリケーション モードにより異なります。この起こり得る問題を完全に除去するオプションの 1 つは、アップセットが ERR ピンによって検出され通知される度に、影響を受けたメモリ セルを正しいデータでリフレッシュすることです。そのようにして、複数の SEU が累積されて MBU に変わることはなくなります。メモリへの即時の書き換えが不可能な場合は、次の節で説明されるアプリケーション固有のガイドラインに従って進んでください。

### 4.3 ECC 保護メモリでのソフトエラー累積の効果

累積効果は DRAM、SRAM、不揮発性メモリなどのあらゆる種類の ECC 保護メモリに適用されます。累積効果がメモリ データ レベルで MBU イベントを引き起こすかどうかは、組み込み/システム ECC アルゴリズムの実装に依存します。リードソロンおよびダブル エラー検出/訂正ハミング コード方式などのより高いビット数の ECC 方式は、累積効果に起因した潜在的ダブル ビットを正常に訂正できます。経済的なシングル エラー検出および訂正方式のためには、累積したソフトエラーの臨界閾値  $N_{TH}$  に達するまでの時間を確定するために更なる分析が必要です。

メモリ アレイ内の累積した一定数のシングル ビット エラーに対して訂正不可能なダブル ビット エラーが発生する確率を計算するために、修正された誕生日の統計値<sup>2</sup>を使用しました。図 4 に、そのような MBU イベントの確率 (サイプレスの 16Mb 非同期 SRAM デバイスでのアルファ粒子と重イオンの測定結果 (表 1) を使った確率スロープの実験的検証を含む) を示しています。

図 4 と表 1 に示す実験データに基づいて、累積したソフトエラーの臨界閾値は  $N_{TH}=1,000$  エラーと決定されました。 $N_{TH}$  より高いエラー数がメモリに累積されると、MBU イベントは発生します。ソフトエラーを累積する最悪の場合のアプリケーションモードはデータ保持モードと読み出し専用アクセス モードです。この両方のモードの場合、メモリにデータが書き込まれず、メモリの動作時間にわたってソフトエラーが累積されます。最悪の場合の累積率は、データ保持モードにある時の 838FIT/Mb の非 ECC 保護故障率です。ただし、メモリ アレイ内の 1,000 のソフトエラーを蓄積するには、ニューヨーク市の位置で最大 3,417 年がかかります。

表 2 に、一定数の SBU エラーに対して発生する MBU の確率を示します。このデータは、一定数の SBU を期待することができるシステムで MBU の可能性を予測するために使用できます。例えば、あるシステムで、864 件のシングル ビット エラーが発生した場合、システムで ECC が訂正できないダブルビットイベント (一つの MBU) が発生する確率は 50% です。

<sup>2</sup> Tausch, H.J., "Simplified Birthday Statistics and Hamming EDAC", *IEEE Transactions on Nuclear Science*, Vol 56(2), 2009, pp.474-478.

図 4. 訂正不可能な MBU イベント対累積した SBU イベント

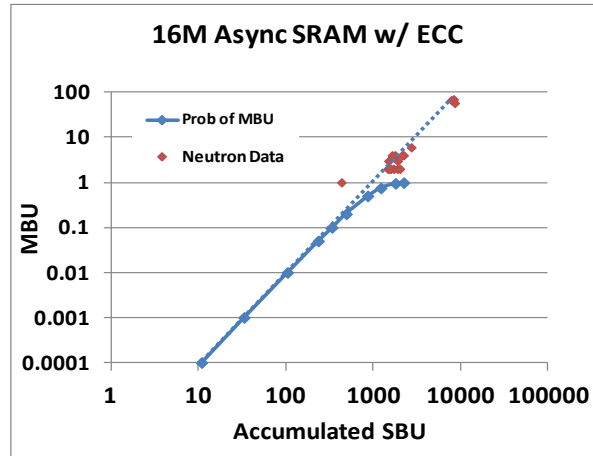


表 1. 累積の効果<sup>3</sup>

	Unit	16M Async SRAM w/ECC Accumulation Effect
Neutron SER Rate @ NYC w/o ECC	FIT/Mb	838
Alpha SER Rate for ULA w/o ECC	FIT/Mb	1250
Density	Mb	16
Failures in 10 <sup>9</sup> device hrs	#err	33408
Time to reach 1000 errors	yrs	3417

表 2: 累計した SBU に対する MBU の確率

	MBU の確率									
	0.0001	0.001	0.01	0.05	0.1	0.2	0.5	0.75	0.95	0.99
累計シングルビット エラー	10.88975332	33.32841314	104.5366	235.5294	337.3452	490.7113	864.48	1222.3522	1796.649	2227.467

従って、メモリがその製品の全ライフサイクルにわたって更新されない場合でも、累積効果は民生および産業用途にとって問題とはならないと結論付けることができます。

#### 4.4 32ビット メモリ アーキテクチャの利点

システム設計者は、インターフェースに対する要求に基づいて 16ビットあるいは 8ビット データ バス付きの SRAM デバイスを選択できますが、(32, 38) ハミング アーキテクチャは常に内部で 32ビット ワード サイズで動作します。1ワード (32ビット幅) に SBU があった場合、任意の 4つの 8ビット データまたは 2つの 16ビット データを読み出すと、エラーの検出と訂正がされるため、システム設計者に利点をもたらします。図 5 は 1Mb、16ビット幅 SRAM (16Mb SRAM) 用のこのシナリオを説明します。

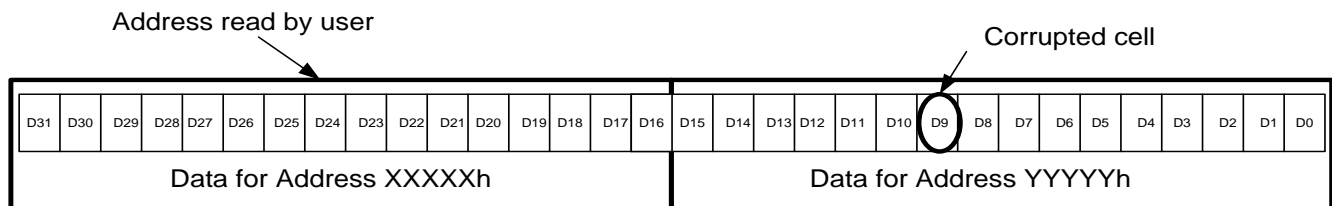
16ビット幅の SRAM では、内部の 32ビット データ ワードは 2つの 16ビット データ ワードから構成されます。簡単のため、2つのアドレス位置 (XXXXXhとYYYYYh) が 32ビットの内部ワードを作り出すことを前提にします。

<sup>3</sup> ULA (超低アルファ線) を使ったテスト

シングル ビット エラーがアドレス YYYYYh にあり、データがアドレス XXXXXh からアクセスされている場合、ECC アーキテクチャはこの 32 ビット データを内部で読み出し、訂正しますが、外部には XXXXXh アドレスに対応する 16 ビット データを読み出します。アドレス XXXXXh にあるデータが外部コントローラーによって更新された場合、この書き込みサイクル中に、内部 ECC ロジックは既存のデータを読み出し、正しいデータの 32 ビットを再構築し、それを中間バッファに格納します。アドレス XXXXXh 向けの新しいデータがこの中間バッファで上書きされ、ECC ロジックは新しいパリティビットを生成します。

この内部処理能力により、アドレス YYYYYh に対応するデータは自動的に訂正されます。そのため、16 ビット SRAM の場合、すべての書き込みサイクルで、ユーザーはもう 1 つの 16 ビット位置でのデータを訂正することができ、8 ビット SRAM の場合、すべての書き込みサイクルで同様に 3 つの位置が更新されます。ERR ピン付きのデバイスの場合、SRAM は 32 ビットワードでエラーを検出して訂正したため、ERR ピンがアドレス XXXXXh にアクセスしている間にもアサートされます。システム設計者は、この ERR アサートを認識し、アドレス XXXXXh から読み出された以前のデータを書き戻す必要があります。書き戻し中に、内部 ECC ロジックは新しいパリティ ビットを生成し、32 ビット データ ワード全体を訂正します。これはアドレス YYYYYh も訂正するので、データの整合性を維持するのに役立ちます。

図 5. 32 ビット内部ワードから読み出される 16 ビット データ ワード



## 5 サイプレスの 65nm SRAM と ASIC/FPGA/コントローラーのインターフェース

システム設計者はこの ERR ピンを使用して SRAM 内のデータの整合性を監視することができます。SRAM がシングル ビット エラーを検出して訂正する時のみに ERR 信号がアサートされるので、書き込み動作の間、または SRAM が無効にされた時に中間電圧レベルを避けるために、信号の弱プルダウンを行うことをお勧めします。書き込みサイクルまたはチップ ディセーブルサイクルの間に、ERR ピンは Hi-Z 状態となっています。

### 5.1 ERR ピンとのインターフェース

ERR ピンなしのサイプレスの SRAM は、従来の SRAM と同様にシステム内でインターフェースすることができます。ERR オプション付きの SRAM の場合、システム設計者は、システムで ERR ピンを正しくインタフェースしなければなりません。ERR ピンがシステムで使用されない場合、それは未接続のままにすることが可能です。本節では、SRAM を使用する 3 つの基本的なシナリオで、ERR ピンとのインタフェースについて説明します。

- 単一 SRAM のあるシステム
- 幅の拡張
- 深さの拡張

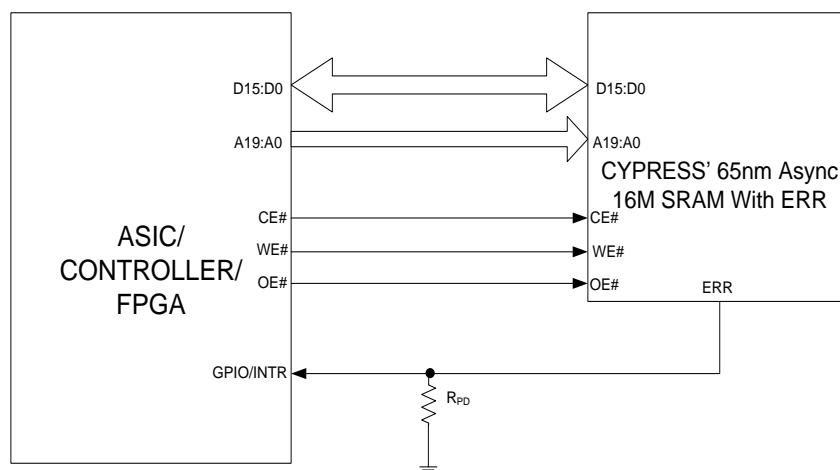
#### 5.1.1 単一 SRAM のあるシステム

1 つの SRAM デバイスだけが基板上のコントローラー/ASIC/FPGA<sup>4</sup>とインターフェースされるシステムでは、ERR ピンは ASIC の GPIO/割り込みピンに接続することができます。各読み出しサイクルの間に、コントローラーは ERR ピン出力を監視できます。ERR ピンに HIGH レベルが検出されると、ASIC がソフトウェア サブルーチンを起動して、SRAM から読み出された正しいデータを書き換えます。図 6 に、このシナリオのアーキテクチャを示します。

<sup>4</sup>「コントローラー」、「ASIC」および「FPGA」用語はほとんど同じ意味で使用されます。



図 6. サイプレスの SRAM とのインターフェース

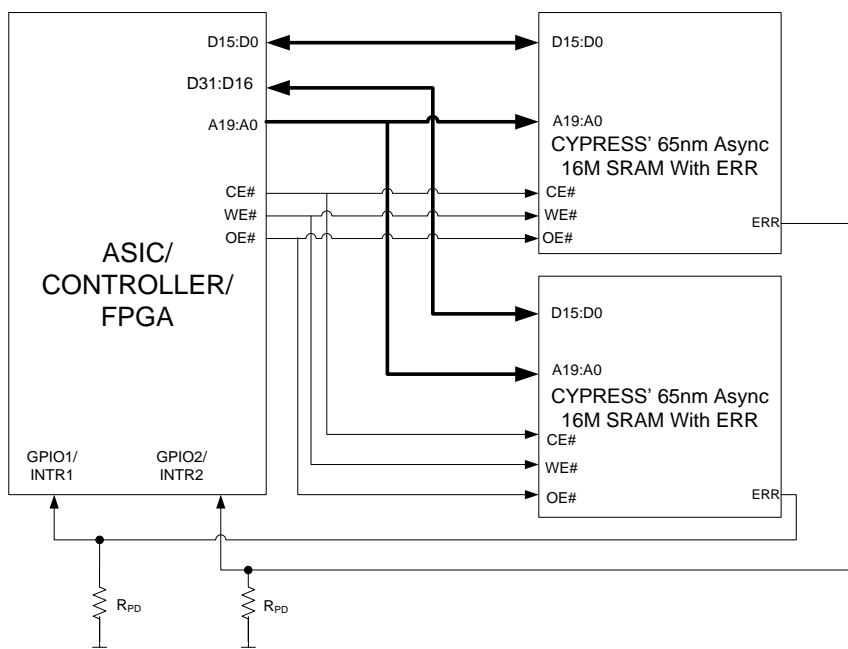


### 5.1.2 幅の拡張

新世代のコントローラーは 32 ビット データ インターフェースを持っています。このようなアプリケーションでは、システム設計者は、サイプレスの 2 つの ERR ピン付き 65nm SRAM を使用して、データ バス幅を拡張することができます。システム ソフトウェアは、両方の ERR ピンを別々に監視しなければなりません。システム設計者は、2 つのサイプレスの x16 SRAM をコントローラーの 32 ビット バスとインターフェースすることができます。

このようなシナリオでは、読み出しサイクルの間に、SRAM のどちらかからの ERR 信号がアサートされた場合、その SRAM デバイスからのデータは、データの整合性を維持するためにスクラップし、書き換える必要があります。図 7 はこのようなシナリオでのインターフェース実行方法を示します。1M x 32 (32Mb) のメモリ空間を生成するために、2 つの 1M x 16 (16Mb) SRAM が幅拡張モードでインターフェースされます。

図 7. 幅の拡張と ERR

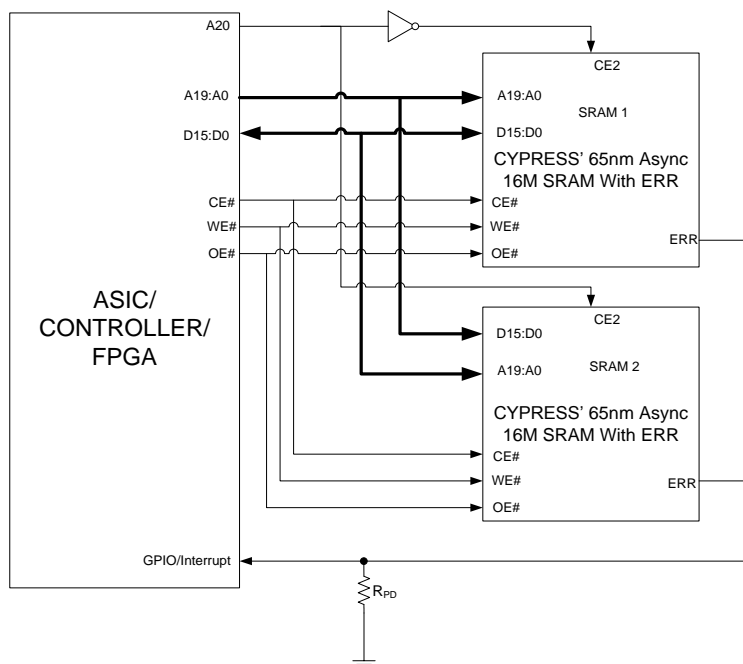


### 5.1.3 深さの拡張

いくつかの大きなメモリ容量を必要とするアプリケーションでは、SRAM の利用可能な容量がアプリケーションのメモリに対する要求を満たさないことがあります。このようなシナリオでは、システム設計者は、サイプレスの 65nm SRAM を使用して深さの拡張を実行することができます。

上位アドレス信号 (この例では A20) は、SRAM を選択するために使用できる一方、両方の SRAM からの残りのアドレス信号、I/O 信号、制御信号と ERR 信号は図 8 に示すように接続することができます。2Mx 16 (32Mb) のメモリ空間を生成するために、2 つの 1M x 16 (16Mb) SRAM が深さの拡張モードでインターフェースされます。A20 信号に応じて、1 つの SRAM デバイスが有効になっており、もう 1 つが無効になっています。アクティブな SRAM が組み合わせた ERR 信号を正常に駆動できるように、非選択の SRAM はその ERR 信号を Hi-Z 状態にします。

図 8. 深さの拡張と ERR



## 6 シングル ビット エラー訂正の実施例

本節では、システム設計者の観点から ECC ロジックと ERR ピンがどのように機能するかについて説明します。システム設計者が前の節で説明したシナリオの 1 つでサイプレスの 65nm 16M SRAM をインターフェースすると仮定します。表 3 は SRAM メモリ内の 4 つのメモリ位置に格納されているデータの例を示します。

表 3. メモリ内の初期データ

アドレス位置	メモリ内のデータ
00000h	0000h
00001h	FFFFh
00002h	0002h
00003h	FFFFh

2 のメモリ セル内の SBU により、アドレス位置 0001h と 0002h からのデータが破壊されます。変更されたデータは表 4 に示されます。

表 4. SBU 後のメモリ内のデータ

アドレス位置	メモリ内のデータ
00000h	0000h
00001h	FFFEh
00002h	0003h
00003h	FFFFh

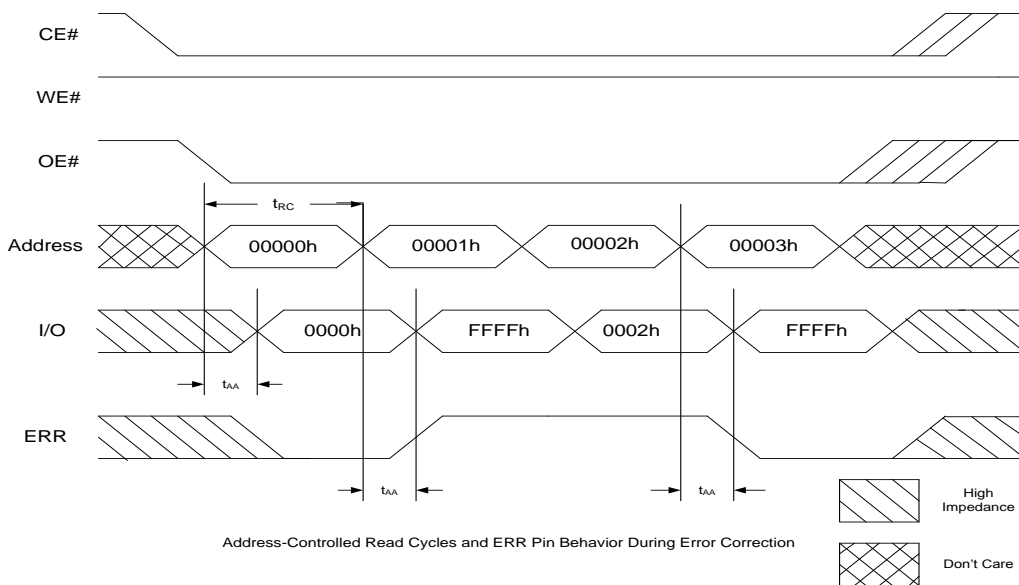
読み出しアクセスがこれらの 4 つのアドレスで実行された場合、ECC ロジックが、破壊されたデータ ワードを訂正し、その訂正されたデータが出力されます。ERR ピン付きのデバイスは、訂正されたデータ ワードの読み出しサイクル中にこのピンがアサートされてきたことを認識します。シングル ビット エラー訂正なしの読み出しサイクル中は、ERR ピンが SRAM によってデアサートされます。表 5 は最終的な出力と ERR ピンの状態を示します。

表 5. 読み出しサイクル

アドレス位置	メモリ内のデータ	読み出しサイクル中の I/O でのデータ	ERR ピン状態
00000h	0000h	0000h	0
00001h	FFFEh	FFFFh	1
00002h	0003h	0002h	1
00003h	FFFFh	FFFFh	0

すべてのシングル ビット エラーが検出され、訂正されますが、ERR ピン オプションのあるデバイスは訂正を行う度にそれを通知するという更なる利点を提供します。ERR ピンの状態を使用して、アプリケーションソフトウェアでサブルーチンを起動し、正しいデータを影響されたアドレスに書き戻すことができます。図 9 は、読み出し動作全体をまとめ、重要なタイミング パラメータを強調表示しています。ERR ピンのタイミング パラメータの詳細についてはデバイスのデータシートを参照してください。

図 9. アドレス制御読み出しサイクルとエラー訂正中の ERR ピン状態



## 7 まとめ

データの整合性は現在のシステムに不可欠な機能です。SEU は、ビット アップセットの面で、SRAM に格納されているデータを脅かします。ただし、エラーの検出と訂正をシステム ソフトウェアまたはシステム レベルで実行すると、PCB 領域とタイミング性能の面で、ペナルティを引き起こします。サイプレスの 65nm 非同期 SRAM により、システム設計者はシングル ビットエラー訂正の機能を SRAM に任せることでこの問題から解放されます。オプションの ERR 機能により、ユーザーがシングル ビット エラーに対して SRAM データを監視し、破損したデータをリフレッシュすることで、データの整合性を維持することが可能となります。

---

## 著者について

氏名: Nilesh Badodekar.

役職: アプリケーション エンジニア

経歴: Nilesh Badodekar 氏は I.I.T. カラグプル、インドからの視覚情報処理と組み込みシステムの修士号を持っています。

## 改訂履歴

文書名: AN88889 – サイプレスの 65nm 非同期 SRAM を使用したシングル イベント アップセットの軽減

文書番号: 001-92416

版	ECN	変更者	発行日	変更内容
**	4373809	XHT	05/08/2014	これは英語版 001-88889 Rev. **を翻訳した日本語版 001-92416 Rev. **です。
*A	4380520	XHT	05/15/2014	デバイス名を CY62167GE30 から CY7C1061GE30 に変更しました。
*B	4473286	HZEN	08/11/2014	これは英語版 001-88889 Rev. *A を翻訳した日本語版 001-92416 Rev. *B です。
*C	4769228	HZEN	06/10/2015	これは英語版 001-88889 Rev. *B を翻訳した日本語版 001-92416 Rev. *C です。
*D	5154148	HZEN	03/01/2016	これは英語版 001-88889 Rev. *C を翻訳した日本語版 001-92416 Rev. *D です。



## ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

車載用	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
クロック & バッファ	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
インターフェース	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明 & 電源管理	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>
メモリ	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
タッチ センシング	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB コントローラー	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
ワイヤレス/RF	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC<sup>®</sup>ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

### サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

PSoC はサイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



サイプレス半導体  
198 Champion Court  
San Jose, CA 95134-1709

電話 : 408-943-2600  
ファックス : 408-943-4730  
ウェブサイト :  
[www.cypress.com](http://www.cypress.com)

© Cypress Semiconductor Corporation, 2014-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。