

EZ-USB® FX3: SuperSpeed USB コントローラー

特長

- ユニバーサル シリアル バス (USB) を統合
 - USB 3.1仕様 Rev. 1.0 (TID #340800007) に準拠した USB 3.1 Gen 1 および USB 2.0 のペリフェラル
 - USB 3.1 Gen 1 に準拠した 5Gbps SuperSpeed PHY
 - OTG サプリメント バージョン 2.0 に対応した High-speed On-The-Go (HS-OTG) ホストおよびペリフェラル
 - 32 の物理エンドポイント
- 汎用プログラマブル インターフェイス (GPIF™ II)
 - プログラマブル 100MHz GPIF II インターフェイスにより、広範な外部デバイスに接続可能
 - 8、16、24、32 ビットのデータバス
 - 最大 16 個の構成可能な制御信号
- 完全にアクセス可能な 32 ビット CPU
 - 200MHz で動作する ARM926EJ コア
 - 512KB または 256KB の組み込み SRAM
- 以下のペリフェラルへの接続機能
 - 最大 33MHz の SPI マスター
 - 最大 4Mbps に対応可能な UART
 - 1MHz での I²C マスター コントローラー
 - 8kHz、16kHz、32kHz、44.1kHz、48kHz、96kHz、192kHz のサンプリング周波数での I²S マスター (トランスミッタ専用)
- 選択可能なクロック入力周波数
 - 19.2、26、38.4、および 52MHz
 - 19.2MHz 水晶振動子の入力サポート
- コア電源切断モードでの超低消費電力
 - VBATT が有効な場合は 60μA 未満、VBATT が無効な場合は 20μA 未満
- コアと I/O 用の独立電源ドメイン
 - 1.2V のコア動作
 - 1.8 ~ 3.3V で動作する I²S、UART、SPI
 - 1.2V ~ 3.3V で動作する I²C
- パッケージの種類
 - 121 ボール、10x10mm、0.8mm ピッチ鉛フリー ボールグリッド アレイ (BGA)
 - 7 つの FX3 の種類については表 24 を参照してください
- ファームウェアおよび PC アプリケーションのコード開発用の EZ-USB® ソフトウェア開発キット (SDK)

- RTOS フレームワークを含む (ThreadX バージョン 5 を使用)
- すべての I/O モジュールをカバーするファームウェアの例
- C++ と C# を使った Visual Studio のホスト例
- 迅速なプロトタイプングのための SuperSpeed Explorer 基板
 - いくつかのアクセサリ基板も用意
 - Xilinx / Altera FPGA 開発用のアダプター ボード
 - ビデオ開発用のアダプター ボード
 - 概念テストと初期開発用の CPLD ボード

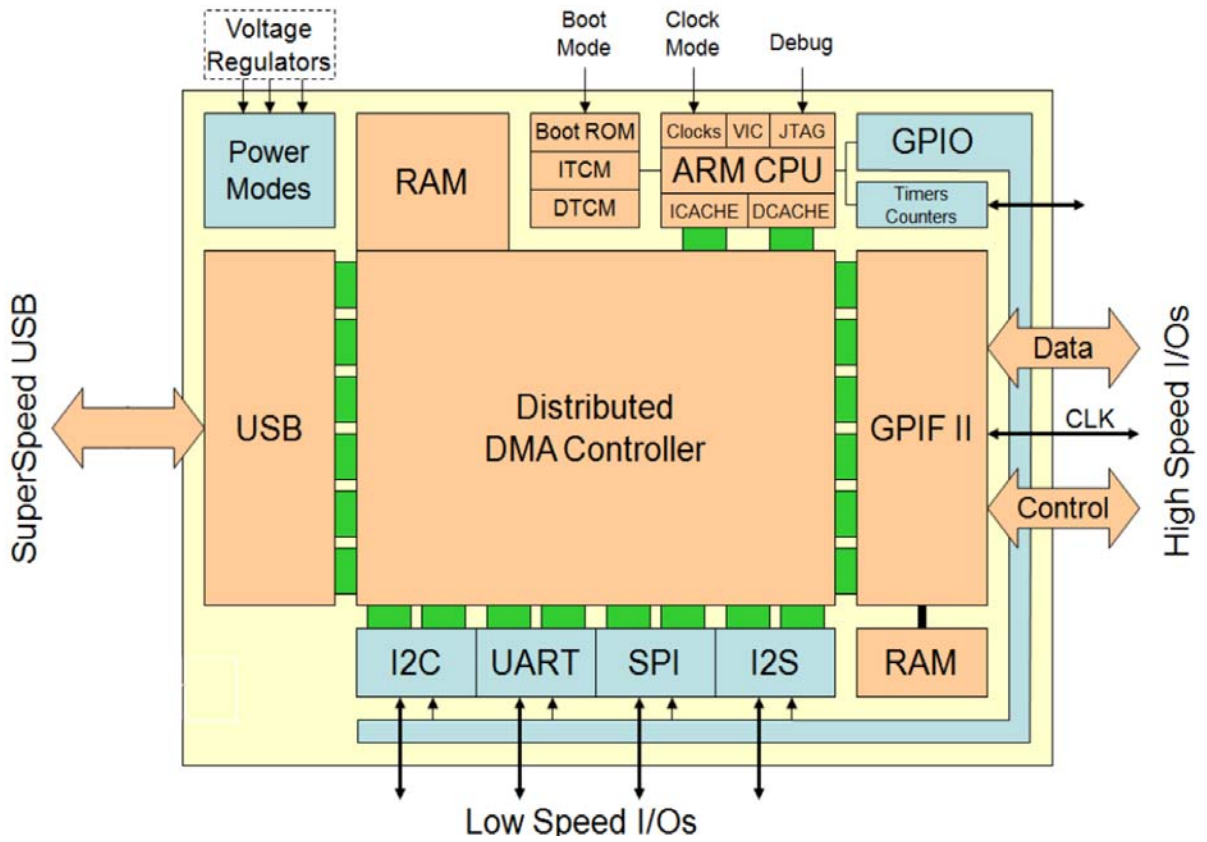
アプリケーション

- デジタル ビデオ カムコーダ
- デジタル スチル カメラ
- プリンタ
- スキャナ
- ビデオ キャプチャ カード
- 試験および測定機器
- 監視カメラ
- パーソナル ナビゲーション デバイス
- 医療用画像装置
- ビデオ IP フォン
- ポータブル メディア プレーヤ
- 産業用カメラ
- データ ロガー
- データ収集
- 高性能ヒューマン インターフェイス デバイス (ジェスチャー認識)

機能説明

すべての関連資料の一覧については、[ここをクリック](#)してください。

論理ブロック図



詳細情報

サイプレスは www.cypress.com サイトに大量のデータを掲載しており、ユーザーがデザインに適切な <製品> デバイスを選択し、デバイスのデザインを迅速かつ効果的に統合する手助けをしています。

- 概要 : [USB ポートフォリオ](#)、[USB ロードマップ](#)
- USB 3.0 製品セレクト : [FX3](#)、[FX3S](#)、[CX3](#)、[GX3](#)、[HX3](#)
- アプリケーション ノート : サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量のUSBアプリケーション ノートを提供しています。以下は FX3 入門用の推奨アプリケーション ノートです。
 - [AN75705](#) - Getting Started with EZ-USB FX3
 - [AN76405](#) - EZ-USB FX3 Boot Options
 - [AN70707](#) - EZ-USB FX3/FX3S Hardware Design Guidelines and Schematic Checklist
 - [AN65974](#) - Designing with the EZ-USB FX3 Slave FIFO Interface
 - [AN75779](#) - How to Implement an Image Sensor Interface with EZ-USB FX3 in a USB Video Class (UVC) Framework
 - [AN86947](#) - Optimizing USB 3.0 Throughput with EZ-USB FX3
 - [AN84868](#) - Configuring an FPGA over USB Using Cypress EZ-USB FX3
 - [AN68829](#) - Slave FIFO Interface for EZ-USB FX3: 5-Bit Address Mode
 - [AN73609](#) - EZ-USB FX2LP/ FX3 Developing Bulk-Loop Example on Linux
 - [AN77960](#) - Introduction to EZ-USB FX3 High-Speed USB Host Controller
 - [AN76348](#) - Differences in Implementation of EZ-USB FX2LP and EZ-USB FX3 Applications
 - [AN89661](#) - USB RAID 1 Disk Design Using EZ-USB FX3S
- サンプル コード
 - [USB Hi-Speed](#)
 - [USB Full-Speed](#)
 - [USB SuperSpeed](#)
- テクニカル リファレンス マニュアル (TRM)
 - EZ-USB FX3 [Technical Reference Manual](#)
- 開発キット
 - [CYUSB3KIT-003](#), EZ-USB FX3 SuperSpeed Explorer Kit
 - [CYUSB3KIT-001](#), EZ-USB FX3 Development Kit
- モデル : [IBIS](#)

EZ-USB FX3 ソフトウェア開発キット

サイプレスは SuperSpeed USB をさまざまな組込みアプリケーションに容易に統合するため、FX3 用の完全なソフトウェアとファームウェア スタックを提供しています。[ソフトウェア開発キット](#) (SDK) は、アプリケーション開発を加速させるツール、ドライバやアプリケーション例を含みます。

GPIF™ II Designer

[GPIF II Designer](#) は、設計者が EZ-USB FX3 USB 3.0 デバイス コントローラーの GPIF II インターフェースを設定できるようにするグラフィカル ソフトウェアです。

このツールでは、サイプレスが提供する 5 つのインターフェースのうちの 1 つを選ぶか、独自の GPIF II インターフェースを一から開発できます。サイプレスは非同期と同期のスレーブ FIFO、非同期と同期の SRAM および非同期 SRAM などの業界標準インターフェースを提供します。あらかじめ定義されたこれらのインターフェースのいずれかを、既にシステム内に備えている場合、設計者はバス幅 (x8、x16、x32)、エンディアンおよびクロック設定など一連の標準パラメーターからインターフェースを選択して、コンパイルできます。このツールはインターフェースをカスタマイズしたいユーザーに対して、合理化された 3 段階の GPIF インターフェース開発プロセスを提供します。最初に、ユーザーはピン構成と標準パラメーターを選択します。次に、設定可能な操作で仮想ステート マシンを設計します。最後に、出力タイミングが期待とおりになっているかを確認します。この 3 段階のプロセスが終わると、このインターフェースをコンパイルし、FX3 と統合します。

目次

機能概要	5	絶対最大定格	19
アプリケーション例	5	動作条件	19
USB インターフェース	6	DC 仕様	19
OTG	6	熱特性	21
ReNumeration	7	AC タイミング パラメーター	21
VBUS 過電圧保護	7	GPIF II ラインの 100MHz での AC 特性	21
Carkit UART モード	7	GPIF II PCLK ジッタ特性	21
GPIF II	8	GPIF II タイミング	22
CPU	8	スレープ FIFO インターフェース	25
JTAG インターフェース	8	ホスト プロセッサ インターフェース (P ポート)	
その他インターフェース	8	タイミング	31
SPI インターフェース	8	シリアル ベリフェラル タイミング	38
UART インターフェース	9	リセット シーケンス	43
I2C インターフェース	9	パッケージ図	44
I2S インターフェース	9	注文情報	45
ブート オプション	9	注文コードの定義	45
リセット	9	略語	46
ハード リセット	9	本書の表記法	46
ソフト リセット	9	測定単位	46
クロック	10	エラー	47
32kHz ウォッチドッグ タイマー クロック入力	10	認定の状態	47
電源	11	エラーのまとめ	47
消費電力モード	11	改訂履歴	53
デジタル I/O	13	セールス、ソリューションおよび法律情報	54
GPIO	13	ワールドワイドな販売と設計サポート	54
システム レベルの ESD	13	製品	54
ピン配置	14	PSoC® ソリューション	54
ピン説明	15	サイプレス開発者コミュニティ	54
電氣的仕様	19	テクニカル サポート	54

機能概要

サイプレスの EZ-USB FX3 は SuperSpeed ペリフェラル コントローラーで、統合した柔軟な機能を提供します。

FX3 は、完全にコンフィギュレーション可能な、パラレル、汎用プログラマブルインターフェースを備えています。この GPIF II と呼ばれるインターフェースは、あらゆるプロセッサ、ASIC、または FPGA などに接続可能です。GPIF II は、サイプレスの主力 USB 2.0 製品である FX2LP の GPIF 強化バージョンです。非同期 SRAM、非同期および同期アドレス データの多重化インターフェース、パラレル ATA などの一般的なインターフェースに、容易かつグルーレス（グルーロジック不要）な接続を提供します。

FX3 は、USB 3.1 Gen 1 と USB 2.0 物理層 (PHY) を、強力なデータ処理とカスタム アプリケーションの構築に対応した 32 ビット ARM926EJ-S マイクロプロセッサと一体化しました。GPIF II から USB インターフェースへの 375MBps のデータ転送を可能にするアーキテクチャを実装しています。

統合された USB2.0 OTG コントローラーにより、FX3 が 2 つの役割を果たすことができるアプリケーションが構築できます。たとえば、EZ-USB FX3 は MSC および HID クラス デバイスに対する OTG ホストとして機能できます。

FX3 には、コードとデータ用の 512KB または 256KB の内蔵 SRAM を備えています (45 ページの注文情報を参照してください)。EZ-USB FX3 はまた、UART、SPI、I²C、I²S などのシリアル ペリフェラルに接続するインターフェースも提供しています。

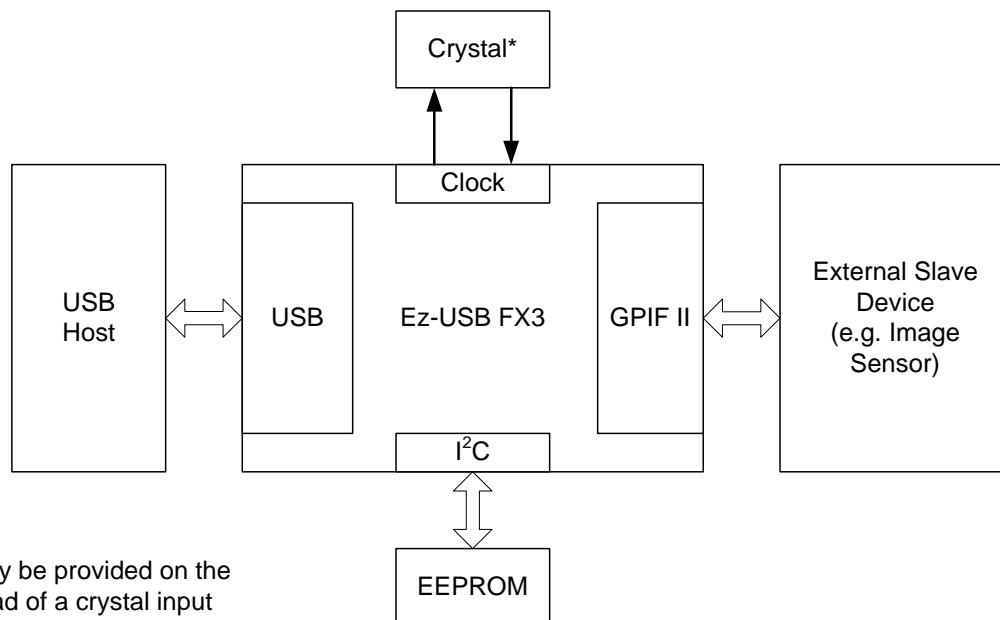
FX3 にはアプリケーション開発ツールが用意されています。ソフトウェア開発キットには、市場投入までの時間を短縮するためにファームウェアおよびホスト アプリケーション例が同梱されています。

FX3 は USB 3.1 Gen 1.0 仕様に準拠しており、USB 2.0 との後方互換性があります。また、USB 2.0 OTG 仕様 Ver. 2.0 にも準拠しています。

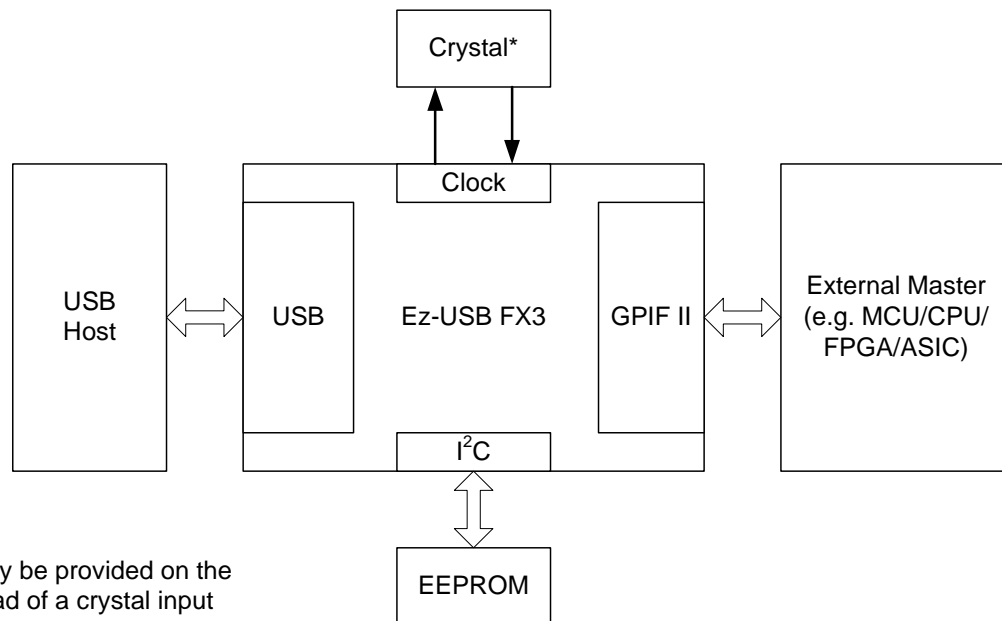
アプリケーション例

標準的なアプリケーションでは (図 1 を参照)、FX3 は、外部ハードウェアを SuperSpeed USB に接続するアプリケーションソフトウェアを実行するメイン プロセッサとして機能します。また、FX3 は GPIF II インターフェースを介してアプリケーションプロセッサに接続するコプロセッサとして機能でき (図 2 を参照)、アプリケーション プロセッサに SuperSpeed USB 接続を提供するサブシステムとして動作します。

図 1. メイン プロセッサとしての EZ-USB FX3



* A clock input may be provided on the CLKIN pin instead of a crystal input

図 2. コプロセッサとしての EZ-USB FX3


* A clock input may be provided on the CLKIN pin instead of a crystal input

USB インターフェース

FX3 は以下の仕様に準拠し、次の特長を持ちます。

- FX3は、USB 3.1仕様 Rev. 1.0に準拠したUSBペリフェラル機能をサポートしており、また USB 2.0仕様との後方互換性も備えています。
- FX3 Hi-Speed 製品 (CYUSB201X) は USB 2.0のみをサポートします。
- OTG サプリメント Rev. 2.0に準拠しています。High-Speed、Full-Speed、Low-Speed OTG のデュアル ロール デバイス機能をサポートします。ペリフェラルとして、SuperSpeed、High-Speed、Full-Speed に対応しています。ホストとして、High-Speed、Full-Speed、Low-Speed に対応しています。
- CEA-936A 仕様に基づいて、USB D+/D-ライン上で CarKit パススルー UART 機能をサポートします。
- 最大16の入力および16の出力エンドポイントに対応します。
- USB 3.0 ストリーム機能をサポートします。さらに、USB Attached SCSI (UAS) デバイス クラスもサポートし、大容量ストレージ アクセス性能を最適化します。
- USBペリフェラルとして、アプリケーション例はFX3がUAS、USB ビデオ クラス (UVC)、および大容量ストレージ クラス (MSC) USB ペリフェラル クラスをサポートすることを示しています。他のすべてのデバイス クラスは、カスタマーファームウェアでサポートできます。出発点としてテンプレート例が提供されています。
- OTGホストとして、アプリケーション例はFX3がMSCおよびHID デバイス クラスをサポートすることを示しています。

注 USB ポートを使用していない場合、PHY およびトランシーバは省電力化のために無効にすることができます。

OTG

FX3 は、OTG 仕様 Rev. 2.0に対応しています。OTG モードでは、FX3 は A および B デバイス モードの双方をサポートし、制御、割りこみ、一括、およびアイソクロナス データ転送をサポートします。

FX3 は、OTG A デバイス モードでVBUS に電力を供給するために、外部チャージポンプを必要とします (スタンドアロンまたは PMIC に内蔵)。

OTG ホスト実装のターゲット ペリフェラル リストは、MSC および HID クラス デバイスで構成されています。

FX3 は取付検知プロトコル (ADP) をサポートしていません。

OTG 接続性

OTG モードでは、FX3 は A、B、またはデュアル ロール デバイスに設定できます。以下のものに接続できます。

- ACA デバイス
- ターゲットの USB ペリフェラル
- SRP 対応 USB ペリフェラル
- HNP 対応 USB ペリフェラル
- OTG ホスト
- HNP 対応ホスト
- OTG デバイス

ReNumeration

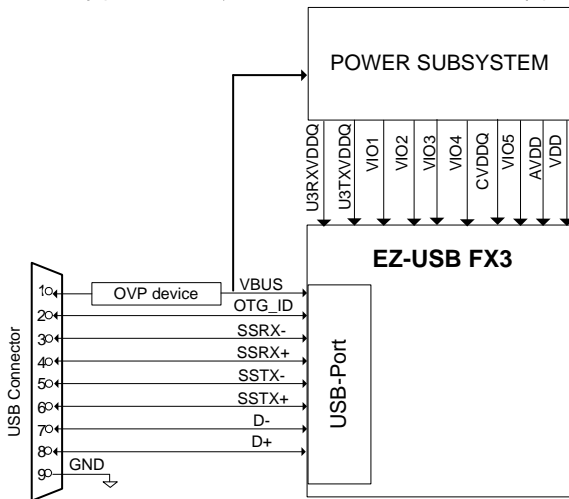
FX3 はソフト構成のため、1 個のチップが複数の異なる USB デバイス ID を持っています。

最初に USB に差し込むと、FX3 はサイプレス ベンダー ID (0x04B4) で自動的にエニユメレートし、ファームウェアと USB ディスクリプタを USB インターフェースを介してダウンロードします。ダウンロードしたファームウェアは、電気的な切断と接続を行います。FX3 は、ダウンロードした情報に定義されたデバイスとして再びエニユメレートします。この特許化された 2 段階のプロセスは ReNumeration と呼ばれ、デバイスが USB に接続された直後に行われます。

VBUS 過電圧保護

FX3 の VBUS ピン上の最大入力電圧は 6V です。充電器は VBUS 上で最大 9V まで供給できます。この場合、VBUS 上の損害から FX3 を保護するために、外付けの過電圧保護 (OVP) デバイスが必要となります。図 3 は、OVP デバイスが VBUS に接続されたシステム アプリケーション図を示しています。VBUS と VBATT の動作電圧範囲は 19 ページの表 8 を参照してください。

図 3. VBUS 用 OVP デバイスのシステム図



Carkit UART モード

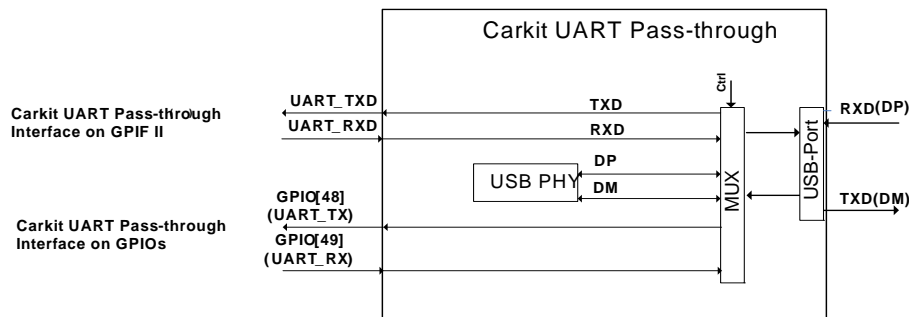
USB インターフェースは、非 USB シリアル データ転送用に Carkit UART モード (D+/D- での UART) をサポートします。これは CEA-936A 仕様に基づいています。

Carkit UART モードでは、出力信号電圧は 3.3V です。Carkit UART モード用に構成するときに、UART の TXD (出力) は D-ラインにマッピングされ、UART の RXD (入力) は D+ラインにマッピングされます。

Carkit UART モードでは、FX3 は USB トランシーバを無効にし、D+ と D- ピンはパススルーピンとして機能してホストプロセッサの UART に接続します。図 4 に示すように、Carkit UART 信号は GPIF II インターフェースまたは GPIO[48] および GPIO[49] に配線できます。

このモードでは、FX3 は最大 9600bps をサポートします。

図 4. Carkit UART パススルーのブロック図



GPFI I I

高性能 GPFI I I インターフェースは、FX2LP の GPFI I I とスレーブ FIFO インターフェースに似ていますが、より高度な機能を持ちます。

GPFI I I は、柔軟なインターフェースを可能にするプログラマブルステートマシンで、業界標準または独自のインターフェースで、マスターまたはスレーブのいずれとしても機能します。パラレルとシリアルインターフェースの両方を GPFI I I で実装できます。

以下に GPFI I I 機能リストを示します。

- マスターまたはスレーブとして動作
- 256 のファームウェア プログラマブルなステートを提供
- 8 ビット、16 ビット、24 ビット、32 ビットのパラレル データバスに対応
- 最大 100MHz までのインターフェース周波数に対応
- 32 ビット データバスを使用する場合、14 本の設定可能な制御ピンをサポート。すべての制御ピンは、入力 / 出力または双方向ピンのどちらとしても利用できます。
- 16/8 ビット データバスを使用する場合、16 の設定可能な制御ピンをサポートします。すべての制御ピンは、入力 / 出力または双方向ピンのどちらとしても利用できます。

GPFI I I の状態遷移は、制御入力信号に基づいています。制御出力信号は、GPFI I I の状態遷移の結果として生成されます。INT# 出力信号は GPFI I I により制御できます。GPFI I I Designer ツールを参照してください。GPFI I I ステートマシンの動作は、GPFI I I ディスクリプタによって定義されます。GPFI I I ディスクリプタは、必要なインターフェース仕様が満たされるように設計されています。8KB のメモリ (256 / 512KB の組込み SRAM とは別) は、GPFI I I ディスクリプタが特定の形式で格納される GPFI I I 波形に特定用途のために使われます。

サイプレスの GPFI I I Designer ツールは、GPFI I I ディスクリプタの迅速な開発を可能にし、共通のインターフェースの例を含んでいます。

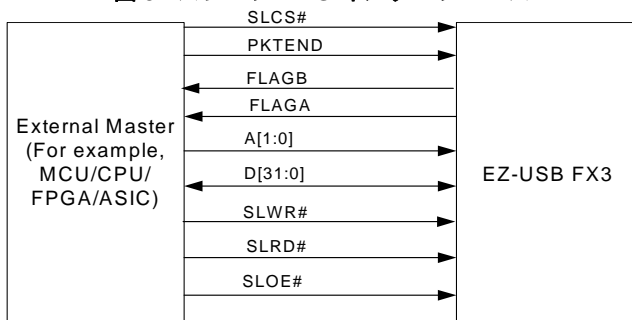
GPFI I I の典型的な実装は、非同期および同期スレーブ FIFO のインターフェースです。

スレーブ FIFO インターフェース

スレーブ FIFO インターフェース信号を図 5 に示します。このインターフェースにより、外部プロセッサは FX3 内部の最大 4 つのバッファに直接アクセスできます。スレーブ FIFO インターフェースの詳細はページ 25 で説明しています。

注 スレーブ FIFO インターフェースでは、32 個すべてのバッファへのアクセスもサポートしています。詳細はサイプレス アプリケーション サポートまでお問い合わせください。

図 5. スレーブ FIFO インターフェース



Note: Multiple Flags may be configured.

CPU

FX3 は、32 ビット 200MHz ARM926EJ-S コア CPU を内蔵しています。コアは 16KB の命令密接合メモリ (TCM) および 8KB のデータ TCM に直接アクセスできます。ARM926EJ-S コアはファームウェアデバッグ用に JTAG インターフェースを備えます。

FX3 は次の利点を持ちます。

- コードとデータに対応する 256 / 512KB の内蔵 SRAM と、8KB の命令キャッシュとデータ キャッシュを内蔵しています。
- 様々なペリフェラル (例えば、USB、GPFI I I、I²S、SPI、UART、I²C) の間で効率的で柔軟な DMA 接続を行います。これにより、ファームウェアがペリフェラル間のデータアクセスを設定するだけで、その後は DMA 構造によって管理されます。
- ARM926EJ-S 用の業界標準の開発ツールを使用して、容易にアプリケーションを開発できます。

FX3 ファームウェアのサンプルはサイプレス EZ-USB FX3 開発キットに付属します。

JTAG インターフェース

FX3 の JTAG インターフェースは、JTAG デバッガへ接続するために標準の 5 ピン インターフェースを備えており、CPU コアの内蔵デバッグ回路を介してファームウェアをデバッグできます。

ARM926EJ-S コア用の業界標準デバッグ ツールは、FX3 アプリケーション開発に使用できます。

ARM JTAG アクセスのためには、TCK 周波数が CPU クロック周波数の 1/6 を超えないようにする必要があります。

その他インターフェース

FX3 は以下のシリアル ペリフェラルをサポートします。

- SPI
- UART
- I²C
- I²S

SPI、UART、および I²S インターフェースはシリアル ペリフェラルポートで多重化しています。

15 ページの CYUSB3012 および CYUSB3014 のピン一覧はこれらのインターフェースが多重化される詳細について示しています。GPFI I I が 32 ビットのデータバス幅 (CYUSB3012 および CYUSB3014) に設定されている場合、SPI インターフェースは使用できないことに注意してください。

SPI インターフェース

FX3 は、シリアル ペリフェラルポートで SPI マスター インターフェースをサポートします。最大動作周波数は 33MHz です。

SPI コントローラーは、開始 / 停止クロックを使用した SPI 通信の 4 つのモードに対応しています (モード詳細は 41 ページの SPI タイミング仕様を参照してください)。このコントローラーは、単一の自動 SSN コントロールが可能な単一マスターコントローラーです。これは 4 ビットから 32 ビットのトランザクションサイズに対応します。

UART インターフェース

FX3 の UART インターフェースは、全二重通信をサポートしています。取り扱う信号は表 1 にあるものです。

表 1. UART インターフェース信号

信号	説明
TX	出力信号
RX	入力信号
CTS	フロー制御
RTS	フロー制御

UART はファームウェアで選択可能な 300bps ~ 4608Kbps のボーレートを発生させることができます。フロー制御が有効である場合、CTS 入力が入アサートされる時のみ、FX3 の UART はデータを送信します。また、FX3 の UART がデータを受信できるようになったとき、RTS 出力信号をアサートします。

I²C インターフェース

FX3 の I²C インターフェースは I²C バス仕様 Rev.3 に準拠しています。この I²C インターフェースは、I²C マスターとしてのみ動作します。他の I²C のスレーブ デバイスと通信するのに使用できます。例えば、FX3 はブート オプションとして、I²C インターフェースに接続している EEPROM からブートできます。

FX3 の I²C マスター コントローラーは、マルチマスター モードにも対応しています。

I²C インターフェースの電源電圧は VIO5 であり、これは他のシリアル ペリフェラルから独立した電源ドメインです。これにより、他のインターフェースと異なる電圧で動作する柔軟性が I²C インターフェースにあります。

I²C コントローラーは、100kHz、400kHz、1MHz のバス周波数をサポートしています。VIO5 が 1.2V の場合、サポートされる最大動作周波数は 100kHz です。VIO5 が 1.8V、2.5V、または 3.3V の場合、対応する動作周波数は 400kHz と 1MHz です。I²C コントローラーは、クロックストレッチ機能をサポートし、遅いデバイスがフロー制御を実行できるようにします。

I²C インターフェースの SCL と SDA 信号には、外部プルアップ抵抗が必要です。プルアップ抵抗は VIO5 に接続する必要があります。

I²S インターフェース

FX3 は I²S ポートを備えており、外部オーディオ コーデック デバイスをサポートしています。FX3 は、トランスミッタとなる I²S のマスターとしてのみ機能します。I²S インターフェースは 4 つの信号 (クロック ライン (I2S_CLK)、シリアル データ ライン (I2S_SD)、ワード セレクト ライン (I2S_WS)、マスター システム クロック (I2S_MCLK)) から構成されています。FX3 は、I2S_MCLK で出力としてシステム クロックを生成し、または I2S_MCLK で外部システム クロック入力を受け付けることができます。

I²S インターフェースが対応するサンプリング周波数は 8kHz、16kHz、32kHz、44.1kHz、48kHz、96kHz、192kHz です。

注:

1. F はフローティング状態を意味します。

ブート オプション

FX3 は、PMODE ピンの設定により選択される様々なソースからブート イメージをロードできます。FX3 のブート オプションは以下のとおりです。

- USB からのブート
- I²C からのブート
- SPI からのブート
 - サポートされるサイプレス SPI フラッシュ デバイスは S25FS064S (64M ビット)、S25FS128S (128M ビット) および S25LFL064L (64M ビット) です。
 - W25Q32FW (32M ビット) もサポートされます。
- GPIF II の非同期 ADMux モードからのブート
- GPIF II の同期 ADMux モードからのブート
- GPIF II の非同期 SRAM モードからのブート

表 2. FX3 ブート オプション

PMODE[2:0] ^[1]	ブート元
F00	同期 ADMux (16 ビット)
F01	非同期 ADMux (16 ビット)
F11	USB ブート
F0F	非同期 SRAM (16 ビット)
F1F	I ² C、不具合時 USB ブートが有効
1FF	I ² C のみ
0F1	SPI、不具合時 USB ブートが有効

リセット

ハード リセット

ハード リセットは、FX3 の Reset# ピンをアサートすることで開始します。特定のリセット シーケンスとタイミング要件の詳細は 43 ページの図 29 と 43 ページの表 23 を参照してください。ハード リセット中、全ての I/O はトライステートにされます。ただし、ハード リセット後にチップ搭載のブートローダは制御権を持ち、選択されたブート モードに応じて I/O 信号を設定します。詳細は、「AN76405 - EZ-USB[®] FX3[™] Boot Options」を参照してください。

ソフト リセット

ソフト リセットには、プロセッサが PP_INIT コントロール レジスタで適切なビットを設定する必要があります。ソフト リセットには、次の 2 種類があります。

- CPU リセット: CPU プログラム カウンターがリセットされません。CPU リセット後に、ファームウェアをリロードする必要はありません。
- デバイス全体のリセット: このリセットはハード リセットと同じです。
- デバイス全体のリセット後に、ファームウェアをリロードする必要があります。

クロック

FX3 では、XTALIN ピンと XTALOUT ピンの間に水晶を接続するか、CLKIN ピンに外部クロックを接続できます。XTALIN、XTALOUT、CLKIN、および CLKIN_32 ピンを使用しない場合は未接続のままにできます。

サポートされる水晶の周波数は 19.2MHz であり、サポートされる外部クロック周波数は 19.2、26、38.4、および 52MHz です。

FX3 には、外付けの 19.2MHz (± 100 ppm) の水晶 (水晶オプションを使用する場合) を使用する内蔵発振回路を備えています。水晶には適切な負荷容量を必要とします。適切な負荷容量を判定するために、使用する水晶発振子の仕様を参照してください。FSLC[2:0] ピンは、水晶またはクロック周波数オプションを選択するために適切に設定する必要があります。コンフィギュレーション オプションを表 3 に示します。

FX3 へのクロック入力は、表 4 で指定されている位相ノイズとジッタの要件を満たす必要があります。

入力クロック周波数は、FX3 コアおよびあらゆるデバイス インターフェースのクロックとデータレートとは無関係です。内蔵 PLL は、入力周波数に応じて適切なクロック逡倍オプションを適用します。

表 3. 水晶/クロックの周波数選択

FSLC[2]	FSLC[1]	FSLC[0]	水晶/クロックの周波数
0	0	0	19.2MHz 水晶
1	0	0	19.2MHz 入力 CLK
1	0	1	26MHz 入力 CLK
1	1	0	38.4MHz 入力 CLK
1	1	1	52MHz 入力 CLK

表 4. FX3 入力クロック仕様

パラメーター	説明	仕様		単位
		Min	Max	
位相ノイズ	100Hz オフセット	-	-75	dB
	1kHz オフセット	-	-104	
	10kHz オフセット	-	-120	
	100kHz オフセット	-	-128	
	1MHz オフセット	-	-130	
最大周波数偏差	-	-	150	ppm
デューティ比	-	30	70	%
オーバーシュート	-	-	3	
アンダーシュート	-	-	-3	
立ち上り時間/立ち下り時間	-	-	3	ns

32kHz ウォッチドッグ タイマー クロック入力

FX3S はウォッチドッグ タイマーを内蔵しています。ウォッチドッグ タイマーを使用して、ARM926EJ-S コアを割り込み、スタンバイ モード中の FX3S を自動的にウェイクアップし、ARM926EJ-S コアをリセットできます。ウォッチドッグ タイマーは 32kHz のクロックで動作し、FX3 の専用ピンに接続する外部クロックも利用できます。

ファームウェアはウォッチドッグ タイマーを無効にできます。外部 32kHz クロック入力の要件を表 5 に示します。

表 5. 32kHz クロック入力の要件

パラメーター	Min	Max	単位
デューティ比	40	60	%
周波数偏差	-	± 200	ppm
立ち上り時間/立ち下り時間	-	200	ns

電源

FX3 は次の電源ドメインがあります。

- **IO_VDDQ**: デジタル I/O 用の個別の電源ドメインのグループ。これらの電源の電圧レベルは 1.8V ~ 3.3V です。以下に示すように、FX3 はデジタル I/O 用に 6 つの個別の電源ドメインを提供しています (各電源ドメイン信号の詳細は [15 ページの表 7](#) を参照してください)。
 - VIO1: GPIF II の I/O
 - VIO2: IO2
 - VIO3: IO3
 - VIO4: UART / SPI / I²S
 - VIO5: I²C と JTAG (1.2V ~ 3.3V に対応)
 - **CVDDQ**: クロックおよびリセット I/O 用の電源です。CLKIN 信号の電圧レベルによって 1.8V または 3.3V です。
 - **V_{DD}**: これはロジック コア用の電源です。定格供給電圧は 1.2V であり、コア ロジック回路に供給されます。同じ電源を以下にも使用します。
 - AVDD: これは PLL、水晶発振器およびその他のコア アナログ回路用の 1.2V 電源です。
 - **U3TXVDDQ / U3RXVDDQ**: USB 3.0 インターフェース用の 1.2V 電源です。
- **VBATT / VBUS**: USB I/O とアナログ回路用の 3.2V ~ 6V のバッテリー電源です。これは FX3 の内蔵電圧レギュレータを介

して USB トランシーバに電源供給します。VBATT は内部で 3.3V に調整されます。

注:

FX3 電源ドメイン用の特定の電源投入シーケンスはありません。FX3 動作のために、1ms の最小パワーオンリセット時間を満たし、パワードメインは安定する必要があります。

消費電力モード

FX3 は以下の消費電力モードに対応しています。

- **通常モード**: これは機能が全て動作するモードです。このモードでは、内部 CPU クロックと内部 PLL が有効です。
 - 通常の動作消費電力は、Max I_{CC} コアと Max I_{CC} USB の合計を超えません (消費電流の仕様は [19 ページの表 8](#) を参照してください)。
 - 対応するインターフェースを使用しないとき、I/O 電源 VIO2、VIO3、VIO4、および VIO5 はオフにすることができます。アプリケーションで GPIF II インターフェースを使用している場合は、VIO1 をオフにすることはできません。
- **低消費電力モード** (表 6 を参照してください)。
 - USB 3.0 PHY を有効にしたサスペンドモード (L1)
 - USB 3.0 PHY を無効にしたサスペンドモード (L2)
 - スタンバイモード (L3)
 - コア電源切断モード (L4)

表 6. 低消費電力モードの開始および終了方法

低消費電力モード	特性	遷移方法	終了方法
USB 3.0 PHY を有効にしたサスペンドモード (L1)	<ul style="list-style-type: none"> ■ このモードの消費電力は ISB₁ を超えません。 ■ USB 3.0 PHY が有効で、U3 モードになります (USB 3.0 仕様で定義されたサスペンドモードの 1 つ)。その他すべてのクロックはシャットダウンしても、このブロックはそれ自身の内部クロックで動作できます。 ■ すべての I/O は前の状態を維持します。 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要があります。その他すべてのパワードメインは個別にオン/オフにすることができます。 ■ コンフィギュレーション レジスタ、バッファメモリおよびすべての内部 RAM の状態が保持されます。 ■ FX3 がサスペンドモードに入る前に、すべてのトランザクションを完了する必要があります。(未完了トランザクションの状態は保持されません) ■ プログラム カウンターがリセットしないため、ファームウェアは一時停止した時点から動作を再開します。(RESET# のアサートによって復帰した場合を除く) 	<ul style="list-style-type: none"> ■ ARM926EJ-S コアで実行されるファームウェアは FX3 をサスペンドモードにすることができます。例えば、USB サスペンド状態で、ファームウェアは FX3 をサスペンド状態にする場合があります。 ■ 外部プロセッサは、メールボックスレジスタを使用して FX3 をサスペンドモードに移行させます。 	<ul style="list-style-type: none"> ■ D+ の LOW または HIGH への遷移 ■ D- の LOW または HIGH への遷移 ■ OTG_ID ピンでのインピーダンス変化 ■ SSRX± での再開条件 ■ VBUS の検知 ■ UART_CTS でのレベル検知 (プログラマブル極性) ■ GPIF II インターフェース CTL[0] のアサート ■ RESET# のアサート

表 6. 低消費電力モードの開始および終了方法 (続き)

低消費電力モード	特性	遷移方法	終了方法
USB 3.0 PHY が無効なサスペンドモード (L2)	<ul style="list-style-type: none"> ■ このモードの消費電力は ISB₂ を超えません。 ■ USB 3.0 PHY は無効で、USB インターフェースはサスペンドモードです。 ■ クロックはシャットオフされます。PLL は無効です。 ■ すべての I/O は前の状態を維持します。 ■ USB インターフェースは前の状態を維持します。 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要があります。その他すべてのパワー ドメインは個別にオン/オフにすることができます。 ■ コンフィギュレーション レジスタ、バッファメモリおよびすべての内部 RAM の状態が保持されます。 ■ FX3 がサスペンドモードに入る前に、すべてのトランザクションを完了する必要があります。(未完了トランザクションの状態は保持されない) ■ プログラム カウンターがリセットしないため、ファームウェアは一時停止した時点から動作を再開します。(RESET#のアサートによって復帰した場合を除く) 	<ul style="list-style-type: none"> ■ ARM926EJ-S コアで実行されるファームウェアは FX3 をサスペンドモードにすることができます。例えば、USB サスペンド状態で、ファームウェアは FX3 をサスペンド状態にする場合があります。 ■ 外部プロセッサは、メールボックスレジスタを使用して FX3 をサスペンドモードにすることができます。 	<ul style="list-style-type: none"> ■ D+ の LOW または HIGH への遷移 ■ D- の LOW または HIGH への遷移 ■ OTG_ID ピンでのインピーダンス変化 ■ VBUS の検知 ■ UART_CTS でのレベル検知 (プログラマブル極性) ■ GPIF II インターフェース CTL[0] のアサート ■ RESET# のアサート
スタンバイモード (L3)	<ul style="list-style-type: none"> ■ このモードの消費電力は ISB₃ を超えません。 ■ すべてのコンフィギュレーション レジスタ設定およびプログラム/データ RAM の内容は保持されます。ただし、バッファ内またはデータバスの他の部分にあるデータについては、保証されません。このため、外部プロセッサは FX3 をスタンバイモードにする前に、必要なデータを読み込む必要があります。 ■ プログラムカウンターは、スタンバイモードから復帰した後にリセットされます。 ■ GPIO ピンはそのコンフィギュレーションを保持します。 ■ 水晶発振器はオフになります ■ 内部 PLL はオフになります。 ■ USB トランシーバはオフになります。 ■ ARM926EJ-S コアは電源オフになります。復帰時に、コアは再起動し、プログラム/データ RAM に保存されたプログラムを実行します。 ■ ウェイクアップ ソースへの電源とコア電源を保持する必要があります。その他すべてのパワー ドメインは個別にオン/オフにすることができます。 	<ul style="list-style-type: none"> ■ ARM926EJ-S コアまたは外部プロセッサで実行されるファームウェアは適切なレジスタを設定します。 	<ul style="list-style-type: none"> ■ VBUS の検知 ■ UART_CTS でのレベル検知 (プログラマブル極性) ■ GPIF II インターフェース CTL[0] のアサート ■ RESET# のアサート

表 6. 低消費電力モードの開始および終了方法 (続き)

低消費電力モード	特性	遷移方法	終了方法
コア電源切断モード (L4)	<ul style="list-style-type: none"> ■ このモードの消費電力は ISB₄ を超えません。 ■ コア電源はオフになります。 ■ すべてのバッファ メモリ、コンフィギュレーション レジスタおよびプログラム RAM は状態を保持しません。このモードを終了した後、ファームウェアをリロードします。 ■ このモードでは、その他すべてのパワー ドメインは個別にオン/オフにすることができます。 	<ul style="list-style-type: none"> ■ V_{DD} をオフにします。 	<ul style="list-style-type: none"> ■ VDD を再供給 ■ RESET# のアサート

注: 消費電力はアプリケーションで FX3 の IO がどのように利用されるかによって異なります。異なる電源ドメイン (VIO1 ~ VIO5) ごとの消費電流を見積もるために、[KBA85505](#) を参照してください。

デジタル I/O

FX3 では、すべてのデジタル I/O ピンにはファームウェアで制御される内部プルアップまたはプルダウン抵抗が接続されています。ピンがフローティングにならないように、内部 50kΩ 抵抗で HIGH にプルし、内部 10kΩ 抵抗で LOW にプルします。I/O ピンは以下の状態になる可能性があります。

- トライステート (HIGH-Z)
- 弱プルアップ (内部 50kΩ)
- プルダウン (内部 10kΩ)
- 低消費電力モードのとき、ホールド (I/O はその値を保持)
- JTAG TDI、TMS および TRST# 信号には固定の 50kΩ 内部プルアップ抵抗、TCK 信号には固定の 10kΩ プルダウン抵抗が接続されています。

内部プルアップ抵抗を使用して、全ての未使用 I/O を HIGH にプルアップする必要があります。全ての未使用出力はフローティングにします。全ての I/O は、フル、3/4、1/2、1/4 の能力で駆動できます。これら駆動強度はインターフェースごとに設定します。

GPIO

EZ-USB では、GPIF II とシリアルペリフェラルインターフェースの両方で柔軟なピン コンフィギュレーションが可能です。GPIF II インターフェースでの未使用の制御ピン (CTL[15] を除く) は GPIO として使用できます。同様に、シリアルペリフェラルインターフェースでの使用しないピンは GPIO として構成できます。ピンのコンフィギュレーション オプションは [ピン配置](#) を参照してください。

すべての GPIF II と GPIO ピンは最大 16pF の外部負荷に対応できます。

EMI

FX3 は、FCC 15B (米国) および EN55022 (ヨーロッパ) で概要を規定している民生用電子機器向けの EMI 要件を満たしています。FX3 はこれらの規格に記述されているレベルの EMI への耐性があり、正常に機能し続けます。

システム レベルの ESD

FX3 は、USB インターフェース上の D+、D-、GND ピンに ESD 保護を組み込んでいます。これらのポートに提供される ESD 保護レベルは次のとおりです。

- JESD22-A114 仕様に基づいた ±2.2kV 人体モデル (HBM)
- IEC61000-4-2 レベル 3A1 に基づいた ±6kV 接触放電および ±8kV エアギャップ放電
- IEC61000-4-2 レベル 4C に基づいた ±8kV 接触放電および ±15kV エアギャップ放電

この保護により、本節で述べられているレベルに達した ESD イベントが発生した後にもデバイスが継続して機能することを保証しています。

SSRX+、SSRX-、SSTX+、SSTX- ピンは、最大 ±2.2kV の HBM 内部 ESD 保護を備えています。

ピン配置
図 6. FX3 121 ボール BGA ボール配置 (上面図)

	1	2	3	4	5	6	7	8	9	10	11
A	U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	R_USB3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

図 7. FX3 Hi-Speed 121 ボール BGA ボール配置 (上面図)

	1	2	3	4	5	6	7	8	9	10	11
A	VSS	VDD	NC	NC	NC	NC	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	NC	FSLC[1]	VDD	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

注：FX3 Hi-Speed 製品では、A2 と C3 を接続する必要はありません。

ピン説明
表 7. CYUSB3012 および CYUSB3014 のピン一覧

BGA	電源ドメイン	I/O	名称	説明	
				GPIF II インターフェース	スレーブ FIFO インターフェース ^[2]
F10	VIO1	I/O	GPIO[0]	DQ[0]	DQ[0]
F9	VIO1	I/O	GPIO[1]	DQ[1]	DQ[1]
F7	VIO1	I/O	GPIO[2]	DQ[2]	DQ[2]
G10	VIO1	I/O	GPIO[3]	DQ[3]	DQ[3]
G9	VIO1	I/O	GPIO[4]	DQ[4]	DQ[4]
F8	VIO1	I/O	GPIO[5]	DQ[5]	DQ[5]
H10	VIO1	I/O	GPIO[6]	DQ[6]	DQ[6]
H9	VIO1	I/O	GPIO[7]	DQ[7]	DQ[7]
J10	VIO1	I/O	GPIO[8]	DQ[8] / A0 ^[3]	DQ[8] / A0 ^[3]
J9	VIO1	I/O	GPIO[9]	DQ[9] / A1 ^[3]	DQ[9] / A1 ^[3]
K11	VIO1	I/O	GPIO[10]	DQ[10]	DQ[10]
L10	VIO1	I/O	GPIO[11]	DQ[11]	DQ[11]
K10	VIO1	I/O	GPIO[12]	DQ[12]	DQ[12]
K9	VIO1	I/O	GPIO[13]	DQ[13]	DQ[13]
J8	VIO1	I/O	GPIO[14]	DQ[14] ^[4]	DQ[14] ^[4]
G8	VIO1	I/O	GPIO[15]	DQ[15] ^[4]	DQ[15] ^[4]
J6	VIO1	I/O	GPIO[16]	PCLK	CLK
K8	VIO1	I/O	GPIO[17]	CTL[0]	SLCS#
K7	VIO1	I/O	GPIO[18]	CTL[1]	SLWR#
J7	VIO1	I/O	GPIO[19]	CTL[2]	SLOE#
H7	VIO1	I/O	GPIO[20]	CTL[3]	SLRD#
G7	VIO1	I/O	GPIO[21]	CTL[4]	FLAGA
G6	VIO1	I/O	GPIO[22]	CTL[5]	FLAGB
K6	VIO1	I/O	GPIO[23]	CTL[6]	GPIO
H8	VIO1	I/O	GPIO[24]	CTL[7]	PKTEND#
G5	VIO1	I/O	GPIO[25]	CTL[8]	GPIO
H6	VIO1	I/O	GPIO[26]	CTL[9]	GPIO
K5	VIO1	I/O	GPIO[27]	CTL[10]	GPIO
J5	VIO1	I/O	GPIO[28]	CTL[11]	A1
H5	VIO1	I/O	GPIO[29]	CTL[12]	A0
G4	VIO1	I/O	GPIO[30]	PMODE[0]	PMODE[0]
H4	VIO1	I/O	GPIO[31]	PMODE[1]	PMODE[1]
L4	VIO1	I/O	GPIO[32]	PMODE[2]	PMODE[2]
L8	VIO1	I/O	INT#	INT# / CTL[15]	CTL[15]

注：
 2. スレーブ FIFO は GPIF II インターフェースのコンフィギュレーションの一例です。スレーブ FIFO 制御信号の割当ては GPIF-II Designer ツールで変更できます。
 3. 8ビット データバス コンフィギュレーションでは、GPIO[8] と GPIO[9] はアドレスラインとして機能します。
 4. GPIF II はシリアル インターフェースとして設定することもできます。このモードでは、DQ[15] ピンはシリアル出力になり、DQ[14] ピンはシリアル入力になります。

表 7. CYUSB3012 および CYUSB3014 のピン一覧 (続き)

BGA	電源ドメイン	I/O	名称	説明					
				32ビットデータバス	16ビットデータバス+UART+SPI+I2S	16ビットデータバス+UART+GPIO	16ビットデータバス+SPI+GPIO	16ビットデータバス+I2S+GPIO	GPIOのみ
K2	VIO2	I/O	GPIO[33]	DQ[16]	GPIO	GPIO	GPIO	GPIO	GPIO
J4	VIO2	I/O	GPIO[34]	DQ[17]	GPIO	GPIO	GPIO	GPIO	GPIO
K1	VIO2	I/O	GPIO[35]	DQ[18]	GPIO	GPIO	GPIO	GPIO	GPIO
J2	VIO2	I/O	GPIO[36]	DQ[19]	GPIO	GPIO	GPIO	GPIO	GPIO
J3	VIO2	I/O	GPIO[37]	DQ[20]	GPIO	GPIO	GPIO	GPIO	GPIO
J1	VIO2	I/O	GPIO[38]	DQ[21]	GPIO	GPIO	GPIO	GPIO	GPIO
H2	VIO2	I/O	GPIO[39]	DQ[22]	GPIO	GPIO	GPIO	GPIO	GPIO
H3	VIO2	I/O	GPIO[40]	DQ[23]	GPIO	GPIO	GPIO	GPIO	GPIO
F4	VIO2	I/O	GPIO[41] / A0 ^[5]	DQ[24]	GPIO	GPIO	GPIO	GPIO	GPIO
G2	VIO2	I/O	GPIO[42] / A1 ^[5]	DQ[25]	GPIO	GPIO	GPIO	GPIO	GPIO
G3	VIO2	I/O	GPIO[43]	DQ[26]	GPIO	GPIO	GPIO	GPIO	GPIO
F3	VIO2	I/O	GPIO[44]	DQ[27]	GPIO	GPIO	GPIO	GPIO	GPIO
F2	VIO2	I/O	GPIO[45]	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO
F5	VIO3	I/O	GPIO[46]	DQ[28]	UART_RT S	GPIO	GPIO	GPIO	GPIO
E1	VIO3	I/O	GPIO[47]	DQ[29]	UART_CT S	GPIO	GPIO	GPIO	GPIO
E5	VIO3	I/O	GPIO[48]	DQ[30]	UART_TX	GPIO	GPIO	GPIO	GPIO
E4	VIO3	I/O	GPIO[49]	DQ[31]	UART_R X	GPIO	GPIO	GPIO	GPIO
D1	VIO3	I/O	GPIO[50]	I2S_CLK	I2S_CLK	GPIO	GPIO	GPIO	GPIO
D2	VIO3	I/O	GPIO[51]	I2S_SD	I2S_SD	GPIO	GPIO	GPIO	GPIO
D3	VIO3	I/O	GPIO[52]	I2S_WS	I2S_WS	GPIO	GPIO	GPIO	GPIO
D4	VIO4	I/O	GPIO[53]	UART_RTS	SPI_SCK	UART_RTS	SPI_SCK	GPIO	GPIO
C1	VIO4	I/O	GPIO[54]	UART_CTS	SPI_SSN	UART_CTS	SPI_SSN	I2S_CLK	GPIO
C2	VIO4	I/O	GPIO[55]	UART_TX	SPI_MIS O	UART_TX	SPI_MISO	I2S_SD	GPIO
D5	VIO4	I/O	GPIO[56]	UART_RX	SPI_MOS I	UART_RX	SPI_MOSI	I2S_WS	GPIO
C4	VIO4	I/O	GPIO[57]	I2S_MCLK	I2S_MCL K	GPIO	GPIO	I2S_MCLK	GPIO
				USB ポート					
				CYUSB301X			CYUSB201X		
A3	U3RXVDDQ	I	SSRXM	SSRX-			NC		
A4	U3RXVDDQ	I	SSRXP	SSRX+			NC		
A6	U3TXVDDQ	O	SSTXM	SSTX-			NC		
A5	U3TXVDDQ	O	SSTXP	SSTX-			NC		
B3	U3TXVDDQ	I/O	R_usb3	USB 3.0 用の高精度抵抗 (このピンと GND 間に ±1% の 200Ω 抵抗を接続)			NC		
C9	VBUS / VBATT	I	OTG_ID	OTG_ID					
A9	VBUS / VBATT	I/O	DP	D+					
A10	VBUS / VBATT	I/O	DM	D-					
C8	VBUS / VBATT	I/O	R_usb2	USB 2.0 用の高精度抵抗 (このピンと GND 間に ±1% の 6.04kΩ 抵抗を接続)					

注：
5. 24ビットデータバスコンフィギュレーションでは、GPIO[41]とGPIO[42]はアドレスラインとして機能します。

表 7. CYUSB3012 および CYUSB3014 のピン一覧 (続き)

BGA	電源ドメイン	I/O	名称	説明
クロックとリセット				
B2	CVDDQ	I	FSLC[0]	FSLC[0]
C6	AVDD	I/O	XTALIN	XTALIN
C7	AVDD	I/O	XTALOUT	XTALOUT
B4	CVDDQ	I	FSLC[1]	FSLC[1]
E6	CVDDQ	I	FSLC[2]	FSLC[2]
D7	CVDDQ	I	CLKIN	CLKIN
D6	CVDDQ	I	CLKIN_32	CLKIN_32
C5	CVDDQ	I	RESET#	RESET#
I2C および JTAG				
D9	VIO5	I/O	I2C_GPIO[58]	I ² C_SCL
D10	VIO5	I/O	I2C_GPIO[59]	I ² C_SDA
E7	VIO5	I	TDI	TDI
C10	VIO5	O	TDO	TDO
B11	VIO5	I	TRST#	TRST#
E8	VIO5	I	TMS	TMS
F6	VIO5	I	TCK	TCK
D11	VIO5	O	O[60]	GPIO
電源				
E10		PWR	VBATT	
B10		PWR	VDD	
		PWR	VDD	
A1		PWR	U3VSSQ	
E11		PWR	VBUS	
D8		PWR	VSS	
H11		PWR	VIO1	
E2		PWR	VSS	
L9		PWR	VIO1	
G1		PWR	VSS	
		PWR	VIO1	
		PWR	VSS	
F1		PWR	VIO2	
G11		PWR	VSS	
		PWR	VIO2	
E3		PWR	VIO3	
L1		PWR	VSS	
B1		PWR	VIO4	
L6		PWR	VSS	
		PWR	VSS	
B6		PWR	CVDDQ	
B5		PWR	U3RXVDDQ	
A2		PWR	U3RXVDDQ	
C11		PWR	VIO5	

表 7. CYUSB3012 および CYUSB3014 のピン一覧 (続き)

BGA	電源ドメイン	I/O	名称	説明
L11		PWR	VSS	
A7		PWR	AVDD	
B7		PWR	AVSS	
C3		PWR	VDD	
B8		PWR	VSS	
E9		PWR	VDD	
B9		PWR	VSS	
F11		PWR	VDD	
		PWR	VSS	GND
		PWR	VDD	
		PWR	VSS	GND
		PWR	VSS	GND
H1		PWR	VDD	
L7		PWR	VDD	
J11		PWR	VDD	
L5		PWR	VDD	
K4		PWR	VSS	
L3		PWR	VSS	
K3		PWR	VSS	
L2		PWR	VSS	
A8		PWR	VSS	
			NC	未接続
A11			NC	未接続

電氣的仕様

絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。

保存温度 -65°C ~ +150°C
 通電時の周囲温度 (産業用) -40°C ~ +85°C
 通電時の周囲温度 (民生用) 0°C ~ +70°C

グランド電位に対する電源電圧

V_{DD} 、 A_{VDDQ} 1.25V

V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 V_{IO5} 3.6V

$U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$ 1.25V

任意の入力ピンへの DC 入力電圧 $V_{CC}+0.3V$

HIGH-Z 状態の出力に印加される DC 電圧 $V_{CC}+0.3V$

(V_{CC} は対応する I/O の電圧)

静電放電電圧 ESD 保護レベル:

■ JESD22-A114 に基づいた $\pm 2.2kV$ HBM

■ D+、D-、GND ピンおよびシリアル ペリフェラル ピンで追加される ESD 保護レベル

■ IEC61000-4-2 レベル 3A による $\pm 6kV$ 接触放電および $\pm 8kV$ エアギャップ放電、IEC61000-4-2 レベル 4C に基づいた $\pm 8kV$ 接触放電および $\pm 15kV$ エアギャップ放電

ラッチアップ電流 >200mA

すべての I/O の最大出力短絡電流 (累積) -100mA

I/O ごとの最大出力電流 (ソースまたはシンク) 20mA

動作条件

T_A (バイアス印加時の周囲温度)

産業用 -40°C ~ +85°C

民生用 0°C ~ +70°C

V_{DD} 、 A_{VDDQ} 、 $U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$

電源電圧 1.15V ~ 1.25V

V_{BATT} 電源電圧 3.2V ~ 6V

V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 C_{VDDQ}

供給電圧 1.7V ~ 3.6V

V_{IO5} 供給電圧 1.15V ~ 3.6V

DC 仕様

表 8. DC 仕様

パラメーター	説明	Min	Max	単位	注:
V_{DD}	コア電源電圧	1.15	1.25	V	Typ 1.2V
A_{VDD}	アナログ電源電圧	1.15	1.25	V	Typ 1.2V
V_{IO1}	GPIF II I/O 電源電圧ドメイン	1.7	3.6	V	Typ 1.8、2.5、3.3V
V_{IO2}	IO2 電源電圧ドメイン	1.7	3.6	V	Typ 1.8、2.5、3.3V
V_{IO3}	IO3 電源電圧ドメイン	1.7	3.6	V	Typ 1.8、2.5、3.3V
V_{IO4}	UART / SPI / I2S 電源電圧ドメイン	1.7	3.6	V	Typ 1.8、2.5、3.3V
V_{BATT}	USB 電源電圧	3.2	6	V	Typ 3.7V
V_{BUS}	USB 電源電圧	4.0	6	V	Typ 5V
$U3TX_{VDDQ}$	USB 3.0 1.2V 電源	1.15	1.25	V	Typ 1.2V この電源電圧には、22 μ F のバイパスコンデンサが必要です。CYUSB201X に適用されません。
$U3RX_{VDDQ}$	USB 3.0 1.2V 電源	1.15	1.25	V	Typ 1.2V この電源電圧には、22 μ F のバイパスコンデンサが必要です。CYUSB201X に適用されません。
C_{VDDQ}	クロック電源電圧	1.7	3.6	V	Typ 1.8、3.3V
V_{IO5}	I ² C および JTAG 電源電圧	1.15	3.6	V	Typ 1.2、1.8、2.5、3.3V
V_{IH1}	入力 HIGH 電圧 1	0.625 \times VCC	VCC+0.3	V	2.0V \leq VCC \leq 3.6V 時 (USB ポートを除く)。VCC は対応する I/O の電源電圧です。
V_{IH2}	入力 HIGH 電圧 2	VCC-0.4	VCC+0.3	V	1.7V \leq VCC \leq 2.0V 時 (USB ポートを除く)。VCC は対応する I/O の電源電圧です。
V_{IL}	入力 LOW 電圧	-0.3	0.25 \times VCC	V	VCC は対応する I/O の電源電圧です。

表 8. DC仕様 (続き)

パラメーター	説明	Min	Max	単位	注:
V _{OH}	出力 HIGH 電圧	0.9×VCC	–	V	I _{OH} (max) = -100μA。1/4 の駆動強度でテストします。VCC は対応する I/O の電源電圧です。さまざまな駆動強度と VCC で測定される I _{OH} の値は、21 ページの表 9 を参照してください。
V _{OL}	出力 LOW 電圧	–	0.1×VCC	V	I _{OL} (min) = +100μA。1/4 の駆動強度でテストします。VCC は対応する I/O の電源電圧です。さまざまな駆動強度と VCC で測定される I _{OL} の値は 21 ページの表 9 を参照してください。
I _{IX}	SSTXP / SSXM / SSRXP / SSRXM を除くすべてのピンの入力漏れ電流。	-1	1	μA	すべての I/O 信号は V _{DDQ} に保持されます。(プルアップ/プルダウン抵抗を接続した I/O の漏れ電流は V _{DDQ} /R _{pu} または V _{DDQ} /R _{PD} 分増加)
I _{OZ}	SSTXP / SSXM / SSRXP / SSRXM を除くすべてのピンの出力 HIGH-Z 漏れ電流	-1	1	μA	すべての I/O 信号は V _{DDQ} に保持されます。
I _{CC} コア	コアおよびアナログ電圧動作電流	–	200	mA	A _{VDD} 、V _{DD} に流れる合計電流
I _{CC} USB ^[6]	USB 電源の動作電流	–	60 ^[6]	mA	–
I _{SB1}	USB 3.0 PHY を有効にしたサスペンドモード (L1) 中の合計サスペンド電流	–	–	mA	コア電流 : 1.5mA I/O 電流 : 20μA USB 電流 : 2mA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
I _{SB2}	USB 3.0 PHY を無効にしたサスペンドモード (L2) 中の合計サスペンド電流	–	–	mA	コア電流 : 250μA I/O 電流 : 20μA USB 電流 : 1.2mA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
I _{SB3}	スタンバイモード (L3) 中の合計スタンバイ電流	–	–	μA	コア電流 : 60μA I/O 電流 : 20μA USB 電流 : 40μA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
I _{SB4}	コア電源切断モード (L4) 中の合計スタンバイ電流	–	–	μA	コア電流 : 0μA I/O 電流 : 20μA USB 電流 : 40μA 標準 PVT の場合 (標準シリコン チップ、全電源は 25°C での公称レベル)
V _{RAMP}	コアおよび I/O 電源の電圧上昇率	0.2	50	V/ms	電圧の立ち上りは単調でなければいけません。
V _N	V _{DD} および I/O 電源に許容されるノイズレベル	–	100	mV	A _{VDD} を除くすべての電源に許容される最大のピークツーピークノイズレベル
V _{N_AVDD}	A _{VDD} 電源に許容されるノイズレベル	–	20	mV	A _{VDD} に許容される最大のピークツーピークノイズレベル

注:

 6. CYUSB2014 では、I_{CC} USB は通常 22mA ~ 23mA です。

表 9. 異なる駆動強度と V_{DDIO} 値に対応する I_{OH}/I_{OL} 値

V _{DDIO} (V)	V _{OH} (V)	V _{OL} (V)	駆動強度	I _{OH max} (mA)	I _{OL min} (mA)
1.7	1.53	0.17	1/4	1.02	2.21
			1/2	1.51	3.28
			3/4	1.83	3.85
			フル	2.28	4.73
2.5	2.25	0.25	1/4	5.03	3.96
			1/2	7.38	5.84
			3/4	8.89	6.89
			フル	11.07	8.61
3.6	3.24	0.36	1/4	7.80	5.74
			1/2	11.36	8.64
			3/4	13.64	10.15
			フル	16.92	12.67

熱特性

表 10. 熱特性

パラメーター	説明	値	単位
T _{J MAX}	最大接合部温度	125	°C
⊖ _{JA}	熱抵抗 (接合部から周囲)	34.66	°C/W
⊖ _{JB}	熱抵抗 (接合部からボード)	27.03	°C/W
⊖ _{JC}	熱抵抗 (接合部からケース)	13.57	°C/W

AC タイミング パラメーター

GPIF II ラインの 100MHz での AC 特性

表 11. GPIF II ラインの 100MHz での AC 特性

記号	パラメーター	Min	Typ	Max	単位
Tr	立ち上り時間	-	-	2.5	ns
Tf	立ち下り時間	-	-	2.5	ns
Tov	オーバーシュート	-	-	3	%
Tun	アンダーシュート	-	-	3	%

GPIF II PCLK ジッタ特性

表 12. GPIF II PCLK ジッタ特性

クロック周波数 (MHz)	周期ジッタ (ps)	C-C Min (ps)	C-C Max (ps)
10.08	354.44	-187.92	204.55
25.2	205.97	-153.54	126.53
50.4	144.62	-100.16	85.769
100.8	171.43	-155.13	157.14

注: クロック ジッタは内部で生成された PCLK を使って測定され、すなわち、PCLK は GPIF からの出力として設定されます。データは 10,000 クロック サイクルにわたって測定されます。

GPIF II タイミング

図 8. 同期モードでの GPIF II タイミング

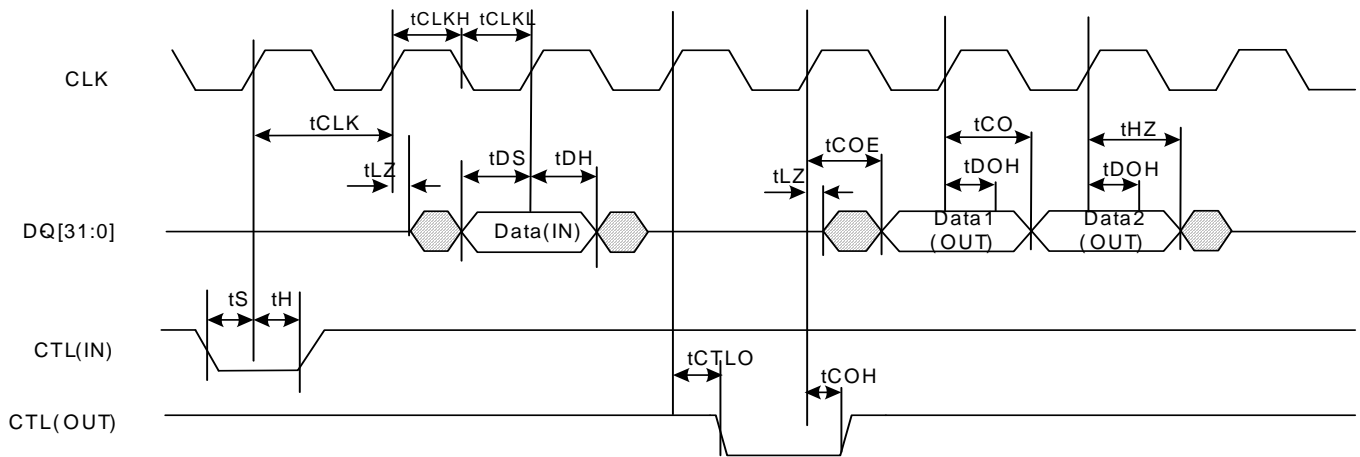


表 13. 同期モードでの GPIF II タイミング パラメーター [7]

パラメーター	説明	Min	Max	単位
周波数	インターフェース クロック周波数	–	100	MHz
tCLK	インターフェース クロック周期	10	–	ns
tCLKH	クロック HIGH 時間	4	–	ns
tCLKL	クロック LOW 時間	4	–	ns
tS	CTL 入力からクロック セットアップまでの時間	2	–	ns
tH	CTL 入力からクロック ホールドまでの時間	0.5	–	ns
tDS	データ入力からクロック セットアップまでの時間	2	–	ns
tDH	データ入力からクロック ホールドまでの時間	0.5	–	ns
tCO	DQ バスがすでに出力方向にあるときのクロックからデータ出力までの伝播遅延	–	7	ns
tCOE	DQ ラインがトライステートから出力に変化し、DQ バスで有効なデータが利用可能になるときの、クロックからデータ出力までの伝播遅延時間	–	9	ns
tCTLO	クロックから CTLX 出力までの伝播遅延	–	8	ns
tDOH	クロックからデータ出力のホールド時間	2	–	ns
tCOH	クロックから CTL 出力のホールド時間	0	–	ns
tHZ	クロックから HIGH-Z までの時間	–	8	ns
tLZ	クロックから LOW-Z までの時間	0	–	ns

注：
7. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

図 9. 非同期モードでの GPIF II タイミング

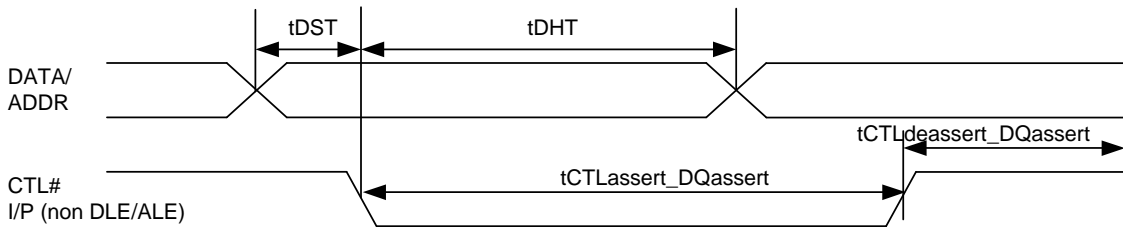
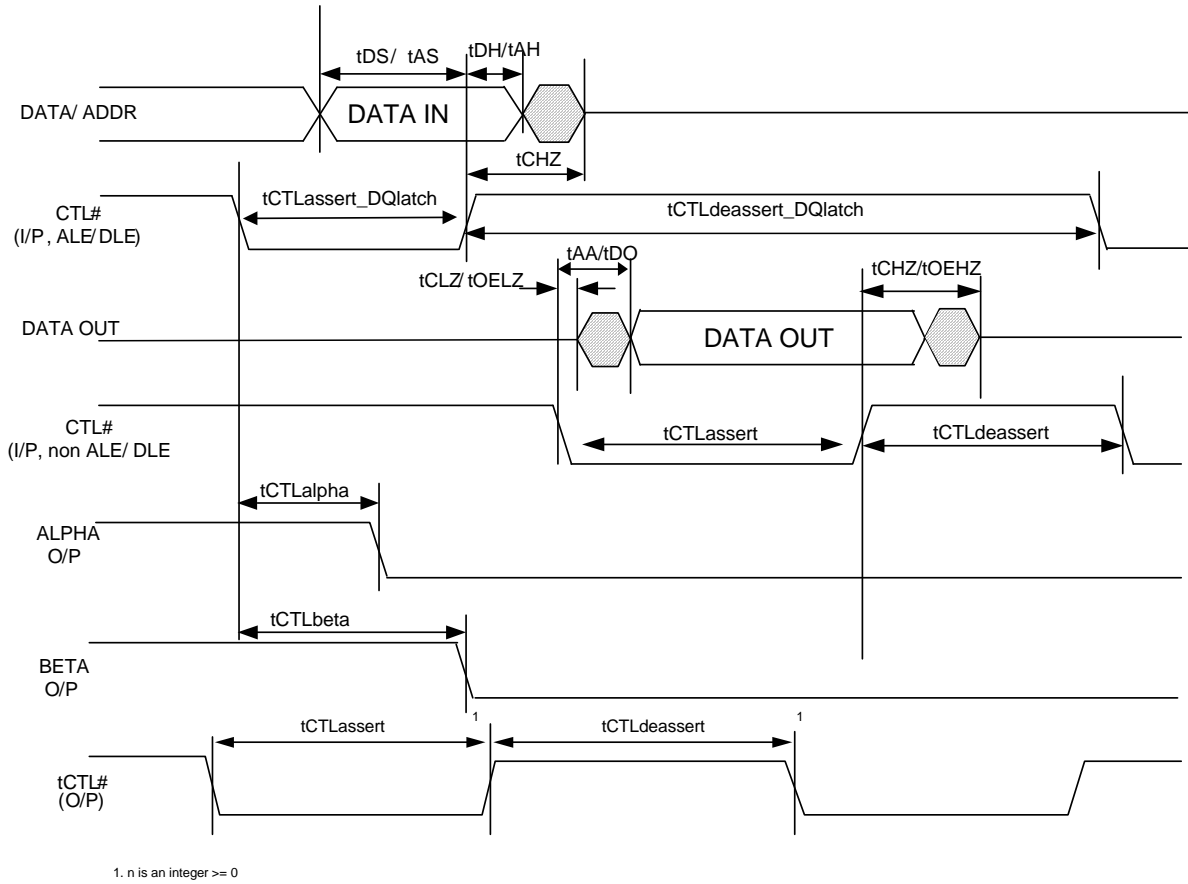


図 10. 非同期 DDR モードでの GPIF II タイミング

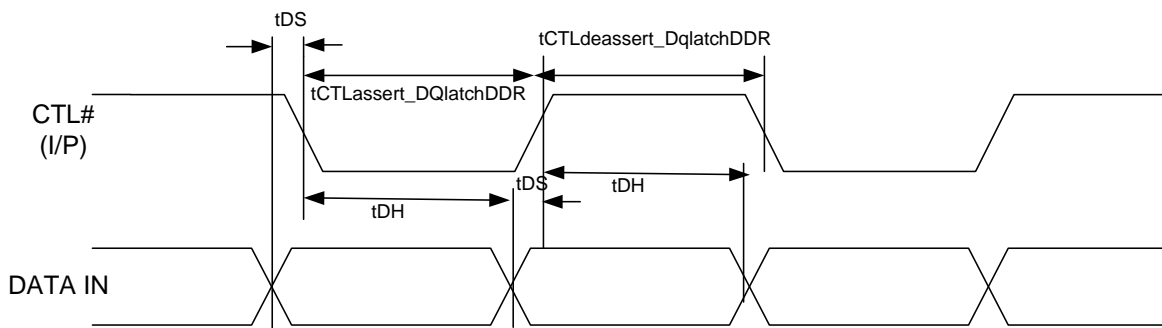


表 14. 非同期モードでの GPIF II タイミング^[8, 9]

注 以下のパラメーターは 1 つの状態遷移を想定しています。

パラメーター	説明	Min	Max	単位
tDS	データ入力から DLE セットアップまでの時間 DDR 非同期モードでも有効です。	2.3	–	ns
tDH	データ入力から DLE ホールドまでの時間 DDR 非同期モードでも有効です。	2	–	ns
tAS	アドレス入力から ALE セットアップまでの時間	2.3	–	ns
tAH	アドレス入力から ALE ホールドまでの時間	2	–	ns
tCTLassert	DQ 入力アソシエーションなしの CTRL 入力および出力の CTL I/O アサート幅	7	–	ns
tCTLdeassert	DQ 入力アソシエーションなしの CTRL 入力および出力の CTL I/O デアサート幅	7	–	ns
tCTLassert_DQassert	アサート エッジで有効な DQ 入力を示すが、それらの DQ 入力に組み込みラッチ (ALE / DLE) を使用しない CTL 入力の CTL アサートパルス幅。	20	–	ns
tCTLdeassert_DQassert	アサート エッジで有効な DQ 入力を示すが、それらの DQ 入力に組み込みラッチ (ALE / DLE) を使用しない CTL 入力の CTL デアサートパルス幅。	7	–	ns
tCTLassert_DQdeassert	デアサート エッジで有効な DQ 入力を示すが、これらの DQ 入力に組み込みラッチ (ALE / DLE) を使用しない CTL 入力の CTL アサートパルス幅。	7	–	ns
tCTLdeassert_DQdeassert	デアサート エッジで有効な DQ 入力を示すが、これらの DQ 入力に組み込みラッチ (ALE / DLE) を使用しない CTL 入力の CTL デアサートパルス幅。	20	–	ns
tCTLassert_DQlatch	組み込みラッチ (ALE / DLE) を使用して DQ 入力をラッチする CTL 入力の CTL アサートパルス幅。この非 DDR の場合では、固有ラッチは必ずデアサートのエッジで閉じます。	7	–	ns
tCTLdeassert_DQlatch	組み込みラッチ (ALE / DLE) を使用して DQ 入力をラッチする CTL 入力の CTL デアサートパルス幅。この非 DDR の場合では、固有ラッチは必ずデアサートのエッジで閉じます。	10	–	ns
tCTLassert_DQlatchDDR	ビルトインラッチ (DLE) を使用して DDR モードで DQ 入力をラッチする CTL 入力の CTL アサートパルス幅。	10	–	ns
tCTLdeassert_DQlatchDDR	組み込みラッチ (DLE) を使用して DDR モードで DQ 入力をラッチする CTL 入力の CTL デアサートパルス幅。	10	–	ns
tAA	DQ 変更または CTL 変更を検出する必要がある、入力および出力の DQ ラインの内部更新に影響するときの、DQ / CTL 入力から DQ 出力への時間。	–	30	ns
tDO	CTL 変更により、データがすでに確立した出力フロップ更新を有効になるだけの場合の、CTL からデータ出力まで。	–	25	ns
tOELZ	CTL は LOW-Z の OE として指定される。外部デバイスがデータ駆動を停止すべき時間。	0	–	ns
tOEHZ	CTL は HIGH-Z の OE として指定される。	8	8	ns
tCLZ	CTL (非 OE) を LOW-Z にする。外部デバイスがデータ駆動を停止すべき時間。	0	–	ns
tCHZ	CTL (非 OE) を HIGH-Z にする。	30	30	ns
tCTLalpha	CTL から、出力でのアルファ変更。	–	25	ns
tCTLbeta	CTL から、出力でのベータ変更。	–	30	ns
tDST	DLE / ALE を使用しないときのアドレス / データセットアップ。	2	–	ns
tDHT	DLE / ALE を使用しないときのアドレス / データホールド	20	–	ns

 注：
 8. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。
 9. 「アルファ」出力は「初期出力」に対応し、「ベータ」出力は「遅延出力」に対応します。これらの出力の使用については、GPIF II Designer ツールを参照してください。

スレーブ FIFO インターフェース

同期スレーブ FIFO 読み出しシーケンス説明

- FIFO アドレスが安定し、SLCS がアサートされます
- FLAG は FIFO が空でない状態を示します。
- SLOF がアサートされます。SLOE は出力イネーブル専用であり、その唯一の機能はデータバスを駆動することです。
- SLRD がアサートされます

PCLK の立ち上りエッジで、SLRD がアサートされている間、FIFO ポインタが更新されます。これで、新たにアドレス指定されるデータのデータバスへの伝播が始まります。t_{CO} (PCLK の立ち上りエッジから測定) の伝播遅延の後に、新しいデータ値が現れます。N は、FIFO から読み出される最初のデータ値です。FIFO データバス上のデータを取得するには、SLOE もアサートする必要があります。

同じ一連のイベントはバースト読み出しにも適用されます。

FLAG の使用

FLAG 信号は、フロー制御用に外部プロセッサによって監視されます。FLAG 信号は、EZ-USB FX3 からの出力であり、専用のスレッドまたは現時点でアドレス指定されているスレッド用に空/満杯/部分的満杯の状態を示すように設定されます。

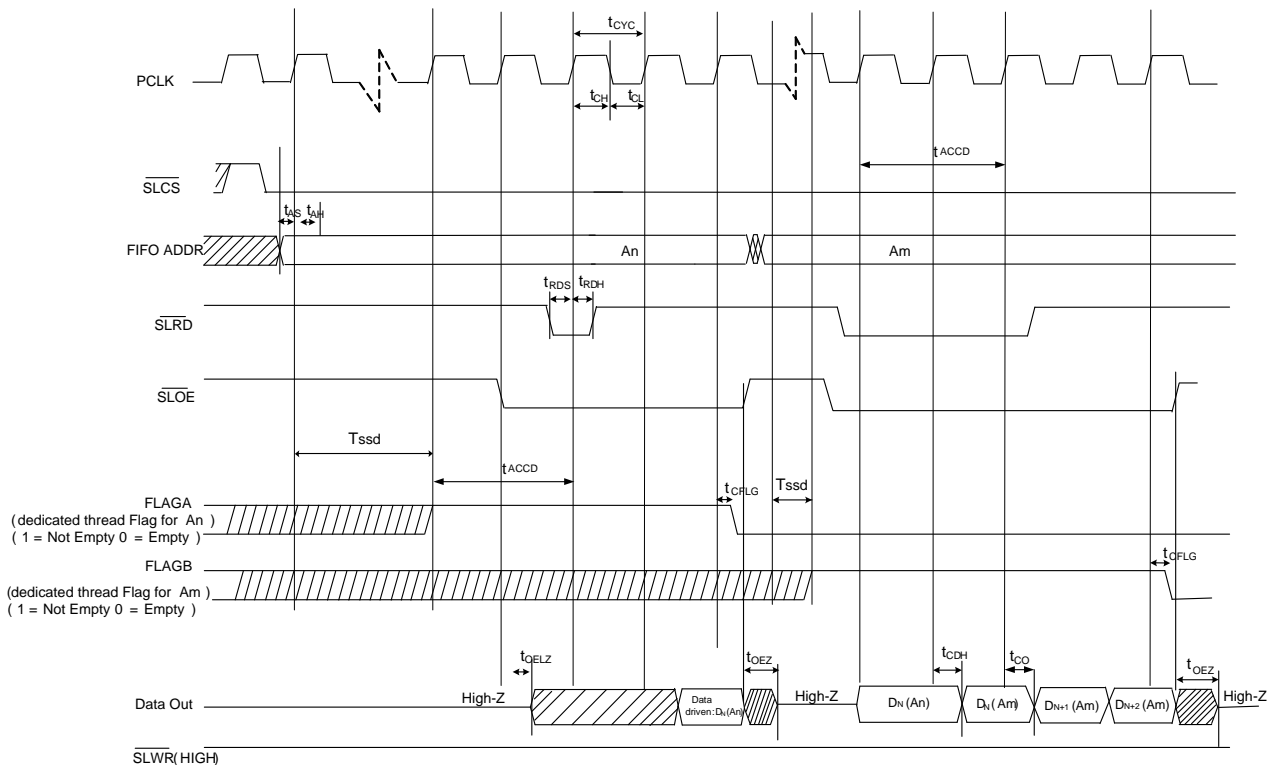
ソケット スイッチング遅延時間 (T_{ssd})

ソケット スイッチング遅延時間は、EPSWITCH# が (アドレスバス上の新しいソケットアドレスで) マスターによってアサートされてから Current_Thread_DMA_Ready フラグがアサートされるまで測定されます。プロデューサソケットの場合、DMA バッファ内のデータを受け入れられるようになるときフラグはアサートされます。コンシューマソケットの場合、DMA バッファからデータを駆動できるようになるときフラグはアサートされます。スイッチング遅延時間は、同期スレーブ FIFO インターフェースでは GPIF インターフェースクロックサイクルの単位で、非同期スレーブ FIFO インターフェースでは PIB クロックサイクルの単位で測定されます。これは 5 ビット スレーブ FIFO インターフェースにのみ適用されます。FX3 の 2 ビットスレーブ FIFO インターフェースでは、GPIF™ II ステートマシンのスレッドスイッチングが利用されるため、ソケットスイッチング遅延時間はありません。

注: バーストモードでは、読み出し期間中に SLRD# と SLOE# がアサートされます。SLOE# がアサートされると、以前にアドレス指定された FIFO からのデータを持つデータバスが駆動されます。PCLK の後続の各立ち上りエッジで、SLRD# がアサートされている間に、FIFO ポインタがインクリメントされ、次のデータ値がデータバスに配置されます。

図 11. 同期スレーブ FIFO 読み出しモード

Synchronous Read Cycle Timing



同期スレーブ FIFO 書き込みシーケンスの説明

- FIFO アドレスが安定し、信号 SLCS# がアサートされます。
- 外部マスターまたはペリフェラルがデータバスにデータを出力します。
- SLWR# がアサートされます
- SLWR# がアサートされている間、データが FIFO に書き込まれ、PCLK の立ち上りエッジで FIFO ポインタがインクリメントされます。
- FIFO フラグは、クロックの立ち上りエッジから遅延時間 t_{WFLG} 後に更新されます。

同じ一連のイベントはバースト書き込みにも適用されます。

注：バーストモードでは、SLWR# と SLCS# は、すべての必要なデータ値が書き込まれる全期間がアサートされます。このバースト書き込みモードでは、SLWR# がアサートされた後、PCLK の立ち上りエッジごとに FIFO データバス上のデータが

FIFO に書き込まれます。FIFO ポインタは、PCLK の各立ち上りエッジで更新されます。

ショートパケット：ショートパケットは、PKTEND# を使用して USB ホストに転送します。外部デバイスまたはプロセッサは、最後のデータワードとそれに対応する SLWR# パルスとともに PKTEND# をアサートするように設計する必要があります。FIFOADDR ラインは、PKTEND# のアサート中に一定に保持しなければなりません。

長さゼロのパケット：外部デバイスまたはプロセッサは、SLWR# をアサートせずに単に PKTEND# をアサートすることで、長さゼロのパケット (ZLP) を FX3 に通知できます。SLCS# とアドレスは図 12 に示すように駆動する必要があります。

図 12. 同期スレーブ FIFO 書き込みモード

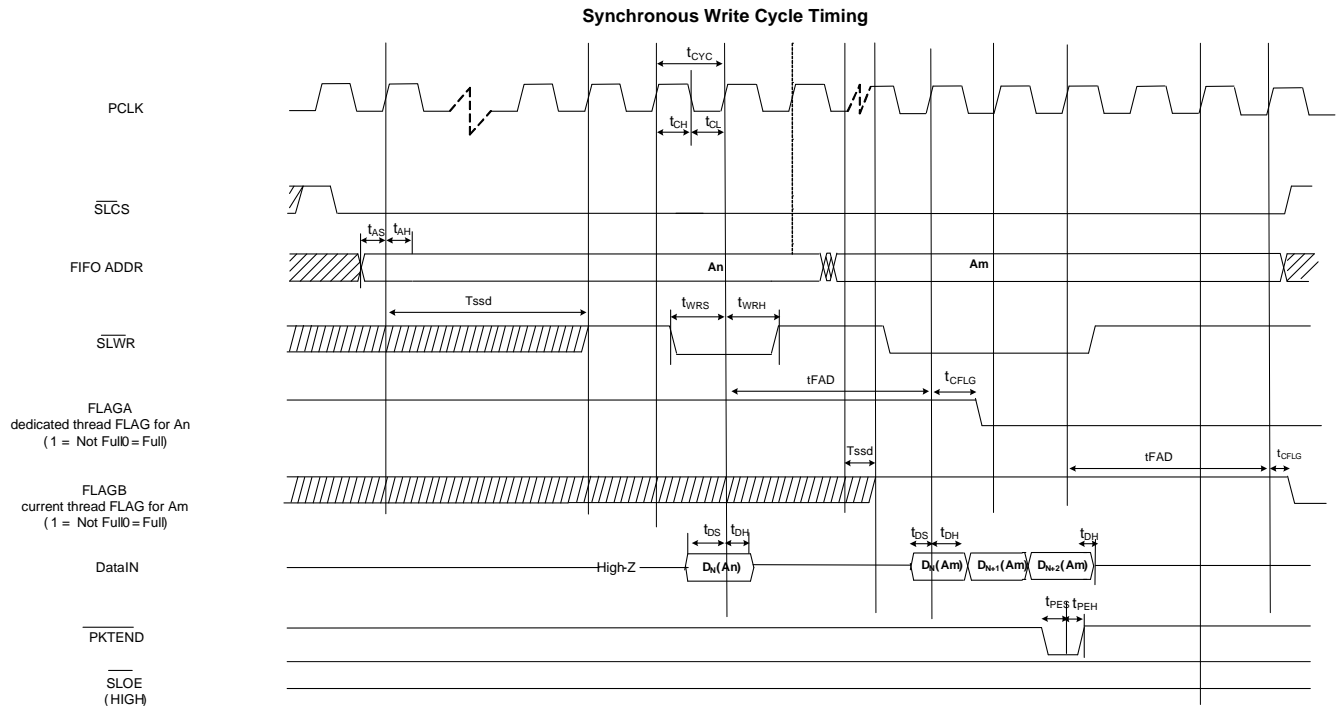


図 13. 同期スレーブ FIFO ZLP 書き込みサイクル タイミング
Synchronous ZLP Write Cycle Timing

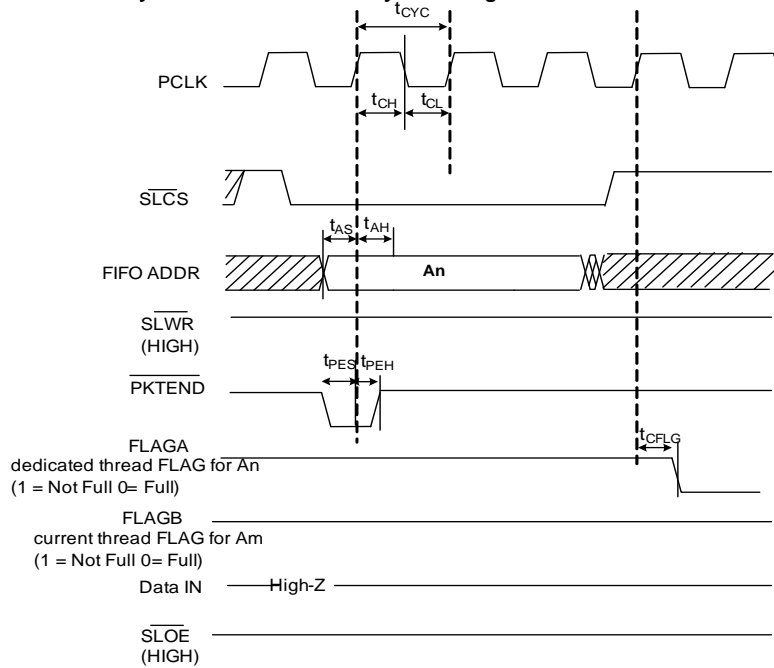


表 15. 同期スレーブ FIFO のタイミング パラメータ [10]

パラメータ	説明	Min	Max	単位
FREQ	インターフェース クロック周波数	-	100	MHz
tCYC	クロック周期	10	-	ns
tCH	クロック HIGH 時間	4	-	ns
tCL	クロック LOW 時間	4	-	ns
tRDS	SLRD# から CLK セットアップの時間	2	-	ns
tRDH	SLRD# から CLK ホールドの時間	0.5	-	ns
tWRS	SLWR# から CLK セットアップの時間	2	-	ns
tWRH	SLRW# から CLK ホールドの時間	0.5	-	ns
tCO	クロックからデータ有効の時間	-	7	ns
tDS	データ入力セットアップ時間	2	-	ns
tDH	CLK からデータ入力ホールドの時間	0.5	-	ns
tAS	アドレスから CLK セットアップの時間	2	-	ns
tAH	CLK からアドレス ホールドの時間	0.5	-	ns
tOELZ	SLOE# からデータが LOW-Z になるまでの時間	0	-	ns
tCFLG	CLK からフラグ出力までの伝播遅延	-	8	ns
tOEZ	SLOE# デアサートからデータが HIGH-Z になるまでの時間	-	8	ns
tPES	PKTEND# から CLK セットアップの時間	2	-	ns
tPEH	CLK から PKTEND# のホールド時間	0.5	-	ns
tCDH	CLK からデータ出力ホールド時間	2	-	ns
tSSD	ソケット スイッチング遅延時間	2	68	クロック サイクル
tACCD	SLRD# からのデータ レイテンシ	2	2	クロック サイクル
tFAD	SLWR# からのフラグ レイテンシ	3	3	クロック サイクル

注 アドレスからデータ/フラグまでの3サイクルのレイテンシ。

注：
10. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。

非同期スレーブ FIFO 読み出しシーケンス説明

- FIFO アドレスが安定し、SLCS# がアサートされます。
- SLOE# がアサートされます。これによってデータバスが駆動されます。
- SLRD# がアサートされます。
- SLRD# アサートの後に、FIFO からのデータが駆動されます。このデータは、SLRD# の立ち下りエッジから、 t_{RDO} の伝搬遅延後、有効になります。
- FIFOポインタは、SLRD# のデアサート時にインクリメントされます。

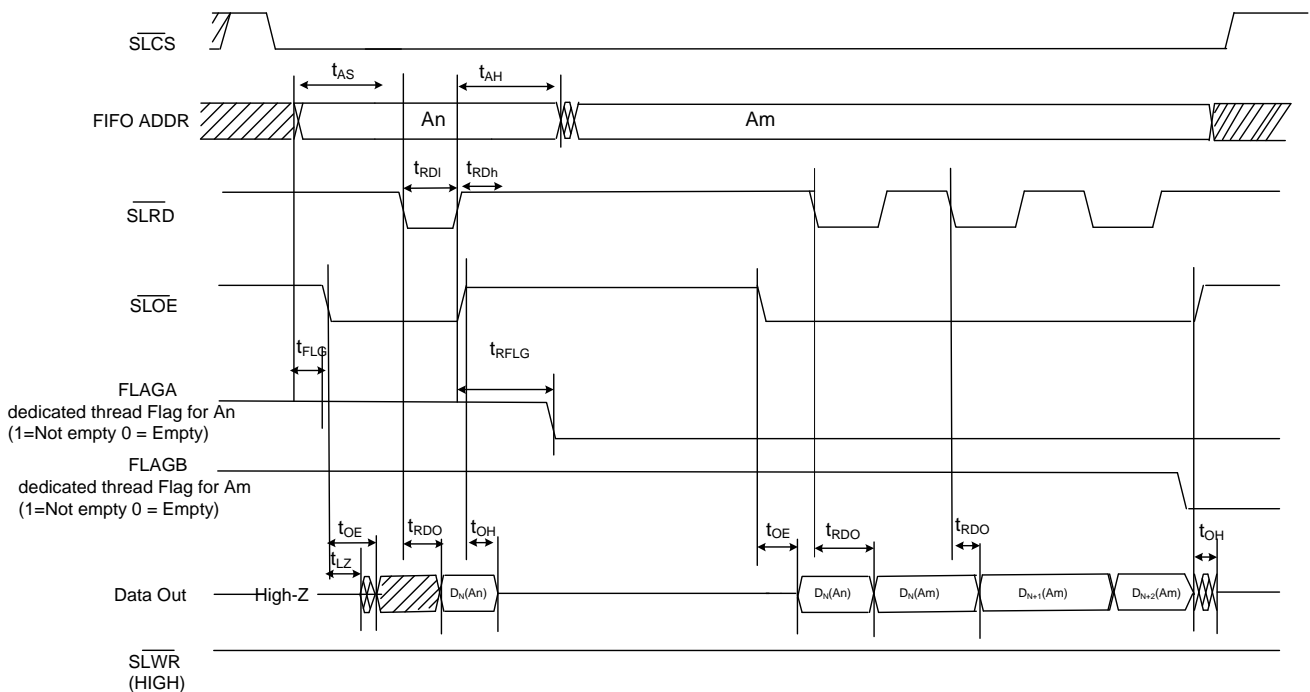
図 14 のデータ N は、FIFO から読み出される最初の有効データです。読み出しサイクル中にデータバスにデータが現れるようにするには、SLOE# がアサートされた状態でなければなりません。SLRD# と SLOE# は結合することもできます。

同じ一連のイベントがバースト読み出しについても示されます。

注：バースト読み出しモードでは、SLOE# のアサート中、データバスは駆動状態にあります (以前にアドレス指定された FIFO からデータを出力)。SLRD# がアサートされると、FIFO からのデータはデータバスに出力されます (SLOE# もアサートされる必要があります)。FIFO ポインタは、SLRD# のデアサートの後にインクリメントされます。

図 14. 非同期スレーブ FIFO 読み出しモード

Asynchronous Read Cycle Timing



非同期スレーブ FIFO 書き込みシーケンスの説明

- FIFO アドレスが駆動され、SLCS# がアサートされます。
- SLWR# がアサートされます。SLCS# は、SLWR# と共に、または SLWR# がアサートされる前にアサートする必要があります
- データは、SLWR# のデアサート エッジの t_{WRS} 前に、バスに存在する必要があります
- SLWR# のデアサートによって、データがデータ バスから FIFO に書き込まれ、FIFO ポインタがインクリメントされます。
- FIFO フラグは、SLWR のデアサート エッジから t_{WFLG} 後に、更新されます。

バースト読み出しの場合でも同じ一連のイベントが示されず。

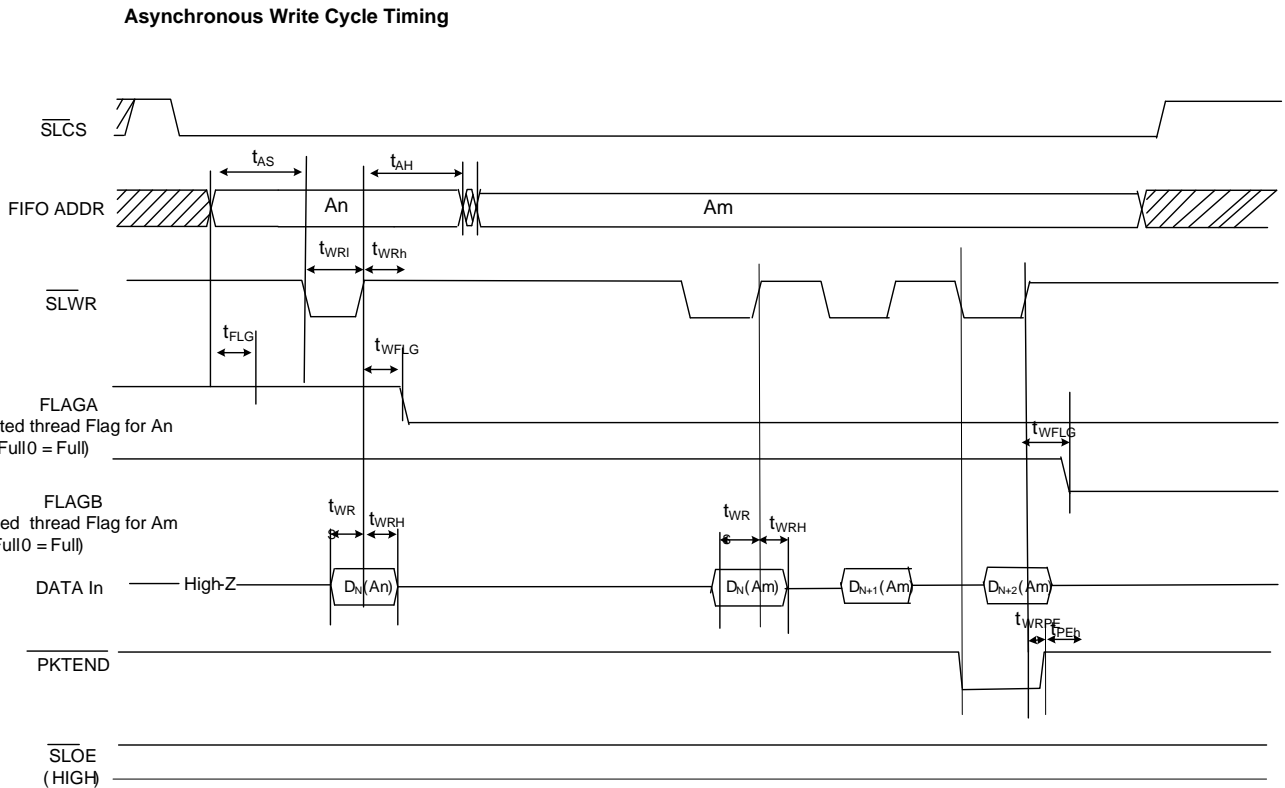
バースト書き込みモードでは、SLWR# がデアサートされた後、データが FIFO に書き込まれ、FIFO ポインタがインクリメントされることに注意してください。

ショート パケット：ショート パケットは、PKTEND# を使用して USB ホストに転送します。外部デバイスまたはプロセッサは、最後のデータワードとそれに対応する SLWR# パルスとともに PKTEND# をアサートするように設計する必要があります。FIFOADDR ラインは、PKTEND# のアサート中に一定に保持しなければなりません。

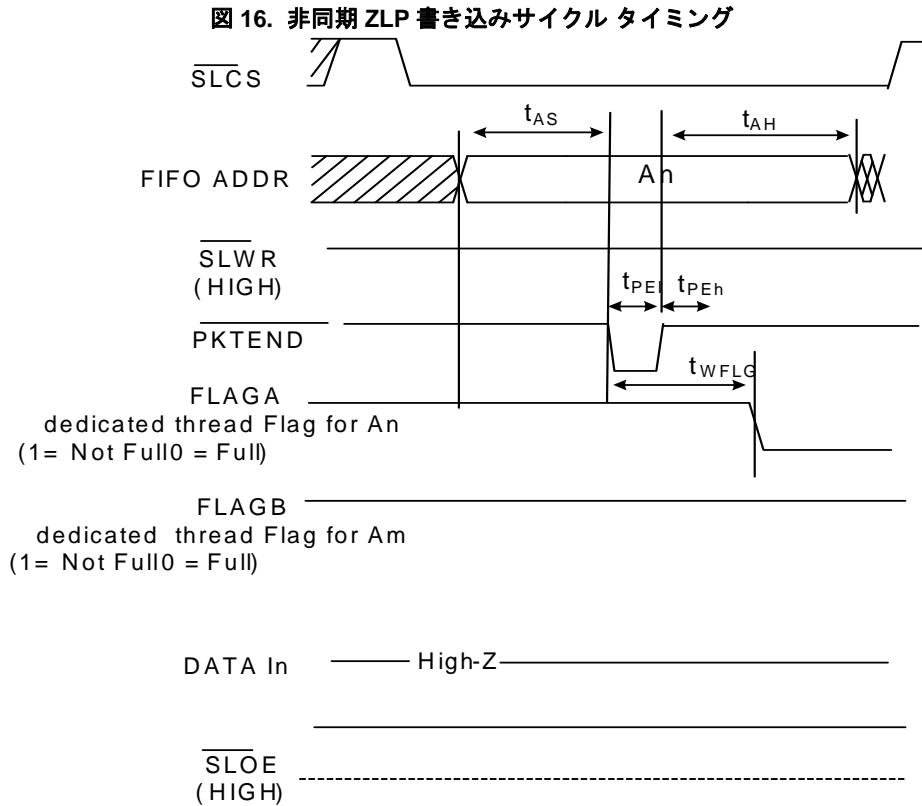
長さゼロのパケット：外部デバイスまたはプロセッサは、SLWR# をアサートせずに単に PKTEND# をアサートすることで、長さゼロのパケット (ZLP) を FX3 に通知できます。SLCS# とアドレスは **30 ページの図 16** に示すように駆動する必要があります。

FLAG の使用：FLAG 信号は、フロー制御用に外部プロセッサによって監視されます。FLAG 信号は、FX3 からの出力であり、専用のアドレスまたは現時点のアドレス用に空/満杯/部分的満杯の状態を示すように設定されます。

図 15. 非同期スレーブ FIFO 書き込みモード



t_{WRPE} : SLWR# de-assert to PKTEND deassert = 2 ns min (This means that PKTEND should not be deasserted before SLWR#)
 Note: PKTEND must be asserted at the same time as SLWR#.


 表 16. 同期スレーブ FIFO のパラメーター^[11]

パラメーター	説明	Min	Max	単位
tRDI	SLRD# LOW	20	–	ns
tRDh	SLRD# HIGH	10	–	ns
tAS	アドレスから SLRD# / SLWR# セットアップ時間まで	7	–	ns
tAH	SLRD# / SLWR# / PKTEND# からアドレス ホールド時間	2	–	ns
tRFLG	SLRD# から FLAGS の出力伝播遅延	–	35	ns
tFLG	アドレスから FLAGS の出力伝播遅延	–	22.5	ns
tRDO	SLRD# からデータ有効時間	–	25	ns
tOE	OE# LOW からデータ有効時間	–	25	ns
tLZ	OE# LOW からデータ LOW-Z の時間	0	–	ns
tOH	SLOE# デアサート データ出力ホールド時間	–	22.5	ns
tWRI	SLWR# LOW	20	–	ns
tWRh	SLWR# HIGH	10	–	ns
tWRS	データから SLWR# セットアップ時間	7	–	ns
tWRH	SLWR# からデータ ホールド時間	2	–	ns
tWFLG	SLWR# / PKTEND# から FLAGS 出力までの伝播遅延時間	–	35	ns
tPEI	PKTEND LOW	20	–	ns
tPEh	PKTEND HIGH	7.5	–	ns
tWRPE	SLWR# デアサートから PKTEND デアサートまでの時間	2	–	ns

注：
 11. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

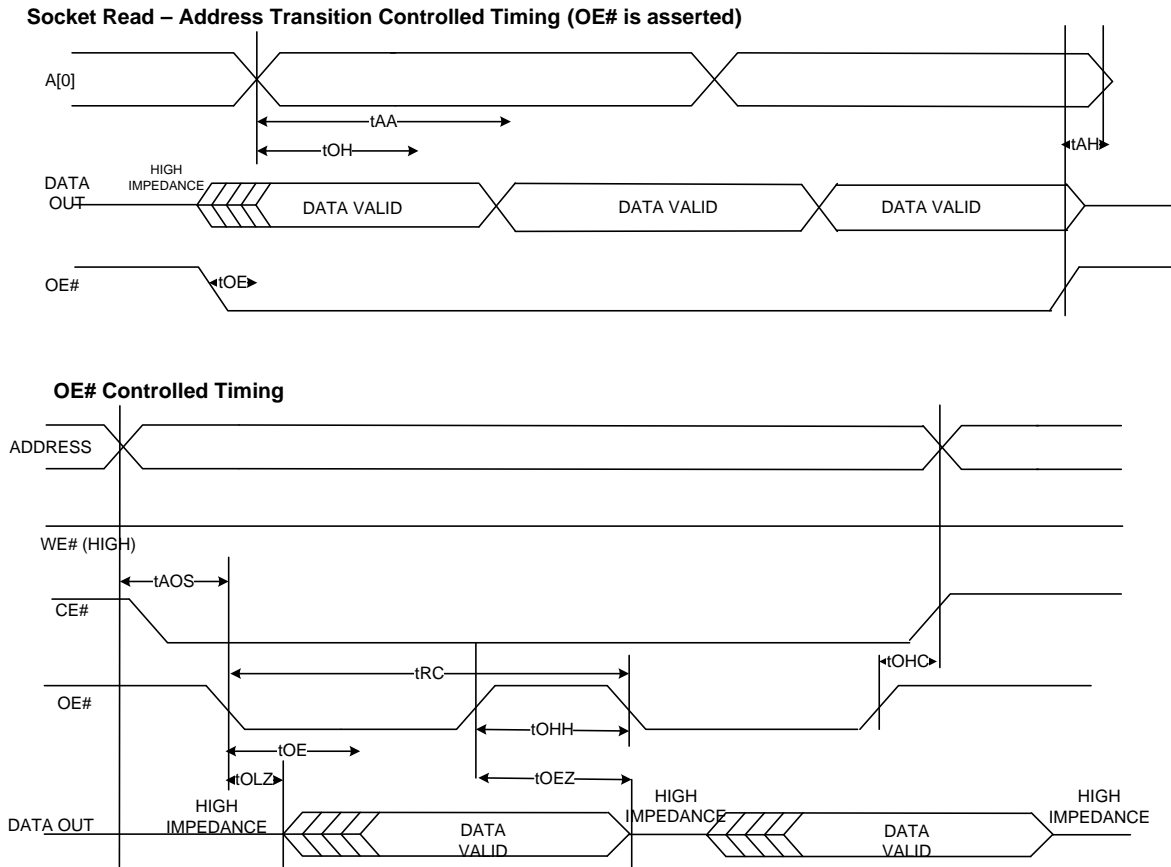
ホスト プロセッサ インターフェース (P ポート) タイミング
非同期 SRAM タイミング
図 17. 非多重化した非同期 SRAM の読み出しタイミング


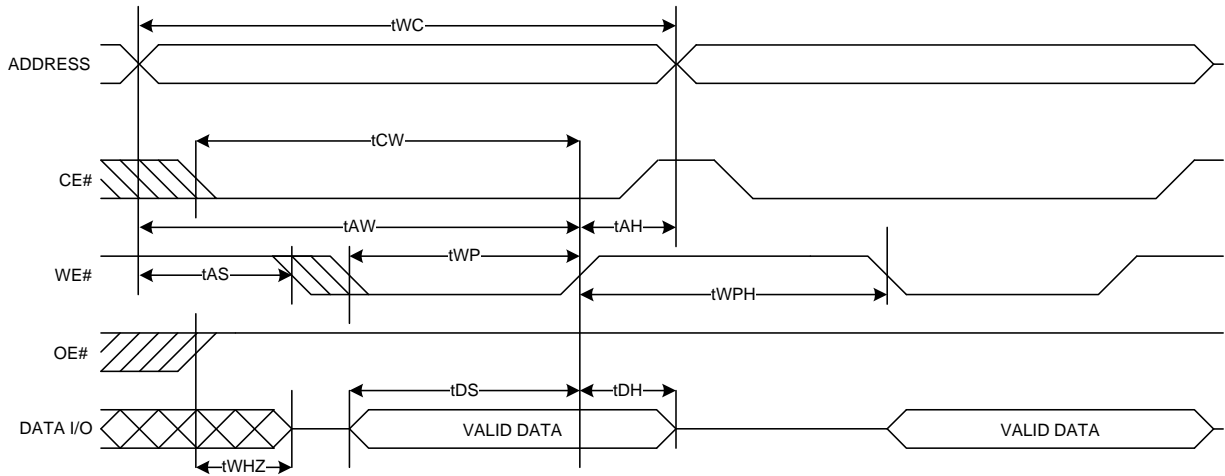
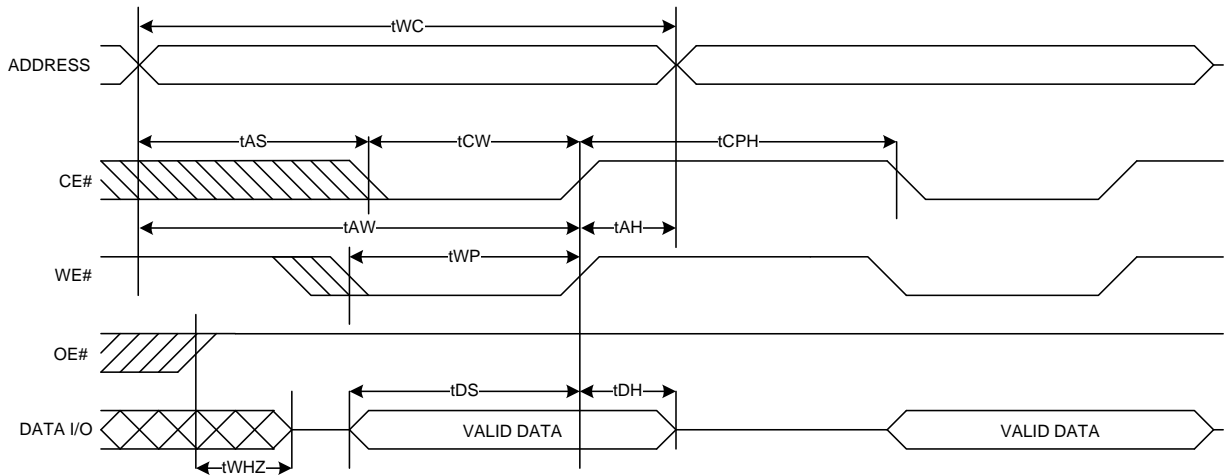
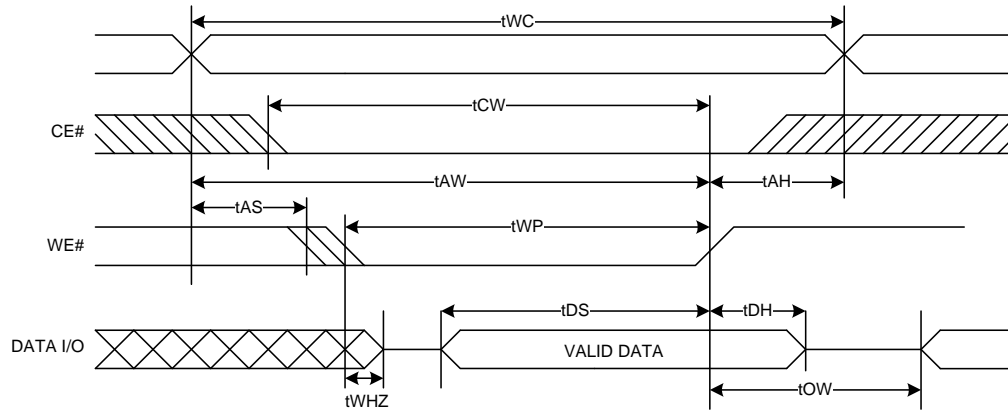
図 18. 非多重化した非同期 SRAM の書き込みタイミング (WE# と CE# 制御)
Write Cycle 1 WE# Controlled, OE# High During Write

Write Cycle 2 CE# Controlled, OE# High During Write


図 19. 非多重化した非同期 SRAM の書き込みタイミング (WE# 制御、OE# LOW)

Write Cycle 3 WE# Controlled. OE# Low



Note: tWP must be adjusted such that $tWP > tWHZ + tDS$

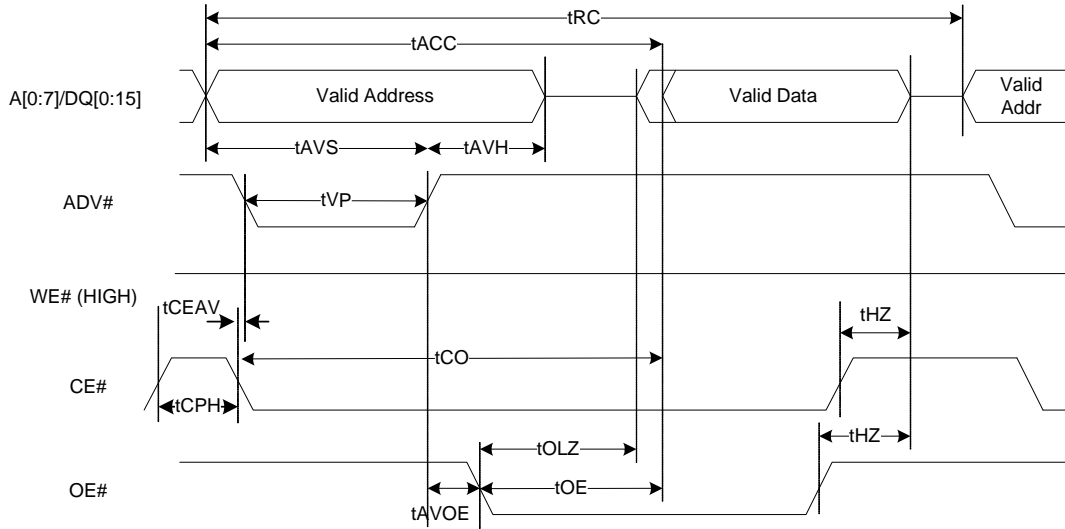
表 17. 非同期 SRAM タイミング パラメータ^[12]

パラメーター	説明	Min	Max	単位
-	SRAM インターフェース帯域幅	-	61.5	Mbps
tRC	読み出しサイクル時間	32.5	-	ns
tAA	アドレス指定からデータ有効までの時間	-	30	ns
tAOS	アドレスから OE# LOW セットアップの時間	7	-	ns
tOH	アドレス変更からのデータ出力ホールド時間	3	-	ns
tOHH	OE# HIGH ホールド時間	7.5	-	ns
tOHC	OE# HIGH から CE# HIGH になるまでの時間	2	-	ns
tOE	OE# LOW からデータ有効になるまでの時間	-	25	ns
tOLZ	OE# LOW から LOW-Z の時間	0	-	ns
tWC	書き込みサイクル時間	30	-	ns
tCW	CE# LOW から書き込み終了までの時間	30	-	ns
tAW	アドレス有効から書き込み終了までの時間	30	-	ns
tAS	アドレス セットアップから書き込み開始までの時間	7	-	ns
tAH	CE# または WE# からのアドレス ホールド時間	2	-	ns
tWP	WE# パルス幅	20	-	ns
tWPH	WE# HIGH 時間	10	-	ns
tCPH	CE# HIGH 時間	10	-	ns
tDS	データ セットアップから書き込み終了までの時間	7	-	ns
tDH	データ ホールドから書き込み終了までの時間	2	-	ns
tWHZ	書き込みから DQ HIGH-Z 出力までの時間	-	22.5	ns
tOEZ	OE# HIGH から DQ HIGH-Z 出力までの時間	-	22.5	ns
tOW	書き込み終了から LOW-Z 出力までの時間	0	-	ns

注：
12. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

非同期アクセス用の ADMux タイミング

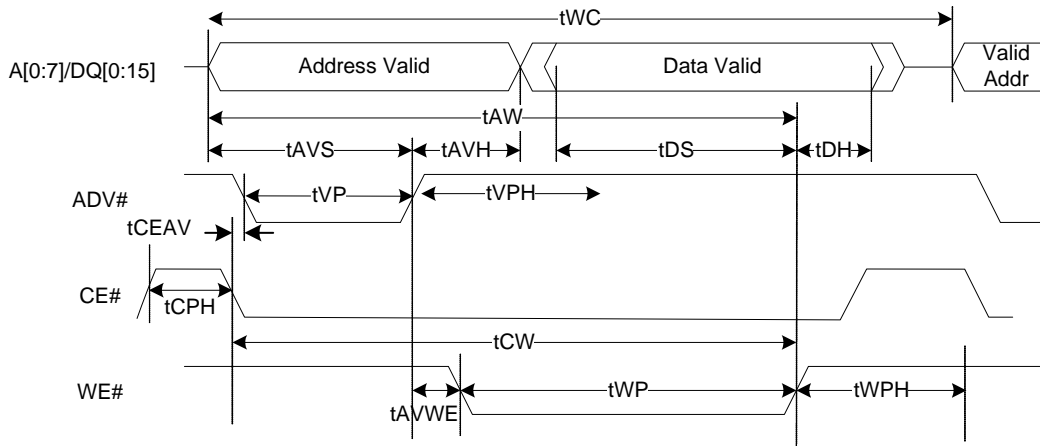
図 20. ADMux 非同期ランダム読み出し



Note:

1. Multiple read cycles can be executed while keeping CE# low.
2. Read operation ends with either de-assertion of either OE# or CE#, whichever comes earlier.

図 21. ADMux 非同期ランダム書き込み



Note:

1. Multiple write cycles can be executed while keeping CE# low.
2. Write operation ends with de-assertion of either WE# or CE#, whichever comes earlier.

表 18. 非同期 ADMux タイミング パラメーター^[13]

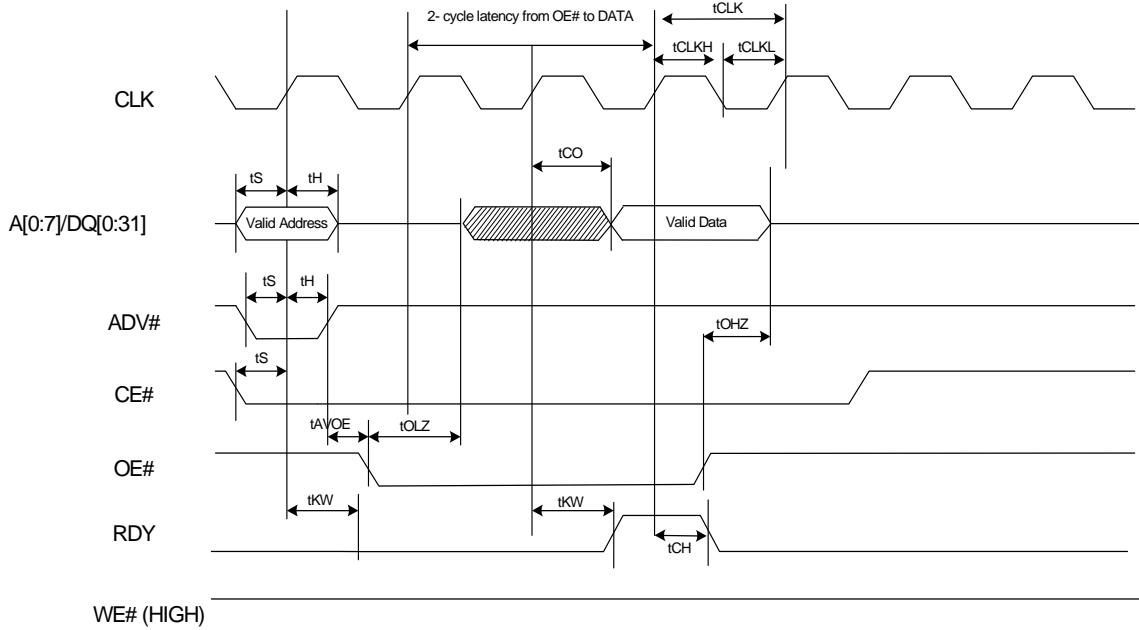
パラメーター	説明	Min	Max	単位	注:
ADMux 非同期読み出しアクセス タイミング パラメーター					
tRC	読み出しサイクルタイム(アドレス有効からアドレス有効まで)	54.5	-	ns	このパラメーターは P ポート プロセッサが OE# をデアサートする時点に依存します。
tACC	アドレス有効からデータ有効までの時間	-	32	ns	-
tCO	CE# アサートからデータ有効までの時間	-	34.5	ns	-
tAVOE	ADV# デアサートから OE# アサートまでの時間	2	-	ns	-
tOLZ	OE# アサートからデータ LOW-Z までの時間	0	-	ns	-
tOE	OE# アサートからデータ有効までの時間	-	25	ns	-
tHZ	読み出しサイクル終了からデータ HIGH-Z までの時間	-	22.5	ns	-
ADMux 非同期書き込みアクセス時間パラメーター					
tWC	書き込みサイクル時間(アドレス有効からアドレス有効まで)	-	52.5	ns	-
tAW	アドレス有効から書き込み終了までの時間	30	-	ns	-
tCW	CE# アサートから書き込み終了までの時間	30	-	ns	-
tAVWE	ADV# デアサートから WE# アサートまでの時間	2	-	ns	-
tWP	WE# LOW パルス幅	20	-	ns	-
tWPH	WE# HIGH パルス幅	10	-	ns	-
tDS	データ有効セットアップから WE# デアサートまでの時間	18	-	ns	-
tDH	WE# デアサートからのデータ有効ホールドの時間	2	-	ns	-
ADMux 非同期共通の読み出し/書き込みアクセス タイミング パラメーター					
tAVS	アドレス有効セットアップから ADV# デアサートまでの時間	5	-	ns	-
tAVH	ADV# デアサートからのアドレス有効ホールドの時間	2	-	ns	-
tVP	ADV# LOW パルス幅	7.5	-	ns	-
tCPH	CE# HIGH パルス幅	10	-	ns	-
tVPH	ADV# HIGH パルス幅	15	-	ns	-
tCEAV	CE# アサートから ADV# アサートまでの時間	0	-	ns	-

注:

13. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

同期 ADMux のタイミング

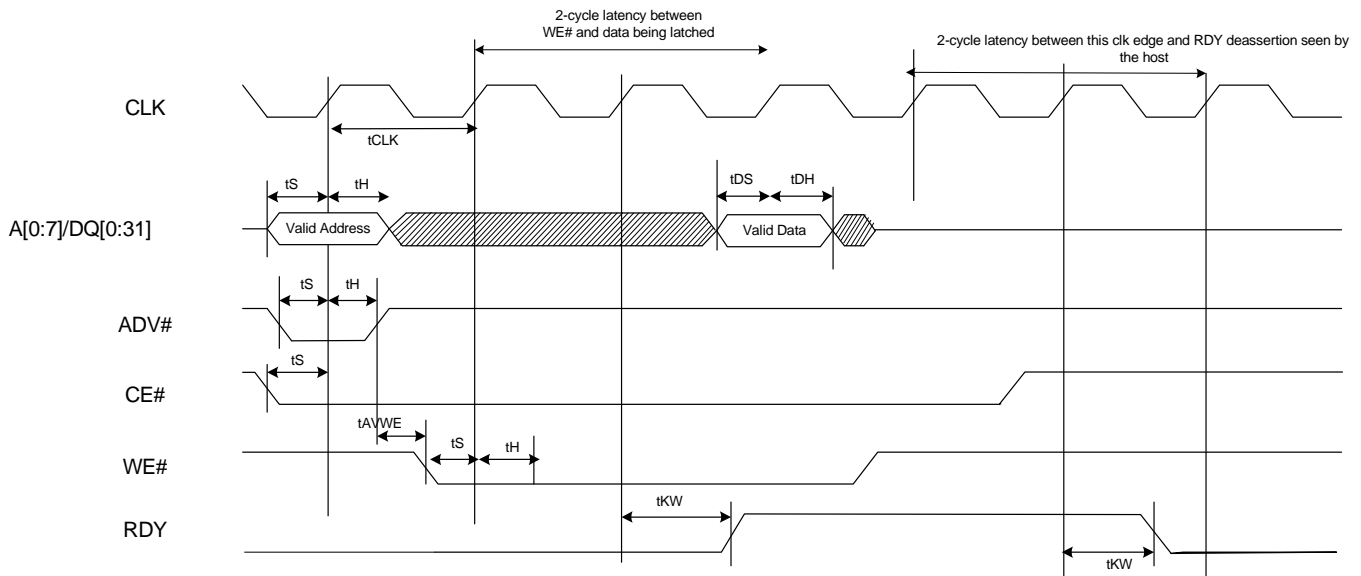
図 22. 同期 ADMux インターフェース – 読み出しサイクル タイミング



Note:

- 1) External P-Port processor and FX3 operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after OE # asserts and deasserts a cycle after the data appears on the output
- 3) Valid output data appears 2 cycle after OE # asserted. The data is held until OE # deasserts
- 4) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

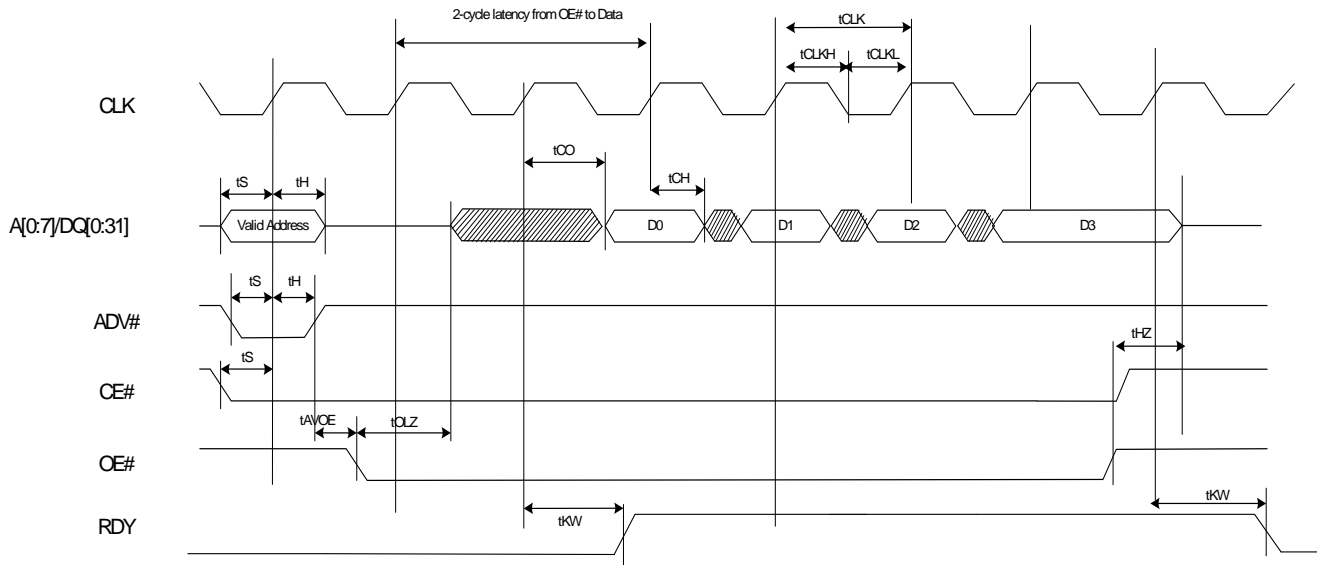
図 23. 同期 ADMux インターフェース – 書き込みサイクル タイミング



Note:

- 1) External P-Port processor and FX3 operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after WE # asserts and deasserts 3 cycles after the edge sampling the data.
- 3) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

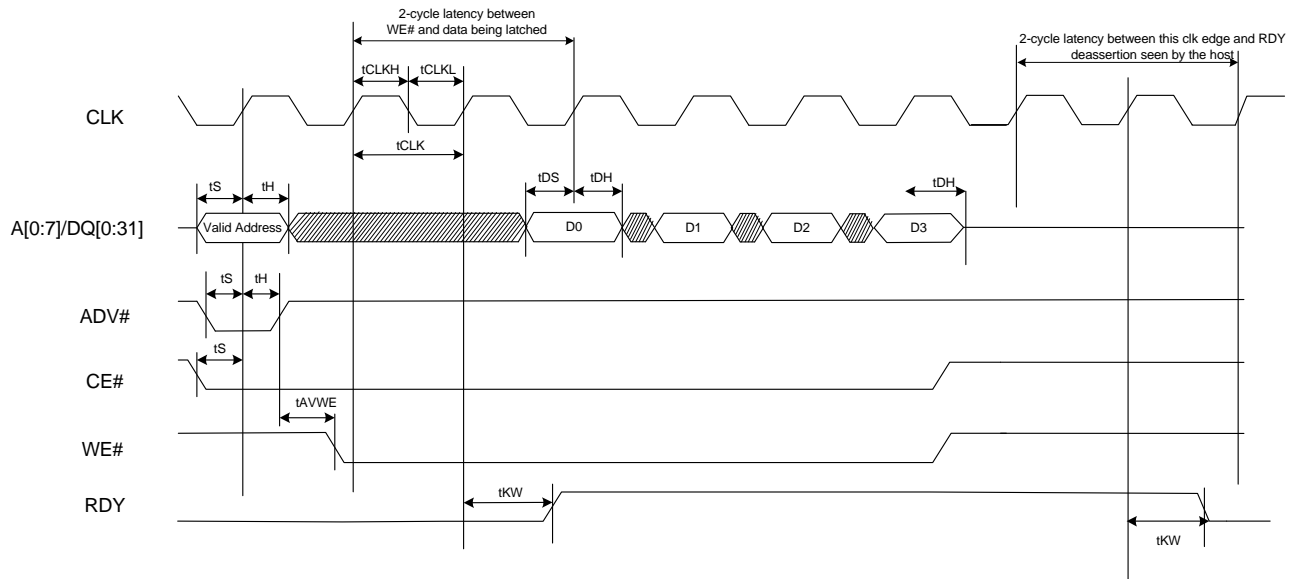
図 24. 同期 ADMux インターフェイス – バースト読み出しタイミング



Note:

- 1) External P-Port processor and FX3 work operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after OE # asserts and and sees RDY deassert a cycle after the last burst data appears on the output
- 3) Valid output data appears 2 cycle after OE # asserts. The last burst data is held until OE # deasserts
- 4) Burst size of 4 is shown. Transfer size for the operation must be a multiple of burst size. Burst size is usually power of 2. RDY will not deassert in the middle of the burst.
- 5) External processor cannot deassert OE in the middle of a burst. If it does so, any bytes remaining in the burst packet could get lost
- 6) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

図 25. 同期 ADMux インターフェイス – バースト書き込みタイミング



Note:

- 1) External P-Port processor and FX3 operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after WE # asserts and deasserts 3 cycles after the edge sampling the last burst data
- 3) Transfer size for the operation must be a multiple of burst size. Burst size is usually power of 2. RDY will not deassert in the middle of the burst. Burst size of 4 is shown
- 4) External processor cannot deassert WE in the middle of a burst. If it does so, any bytes remaining in the burst packet could get lost
- 5) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

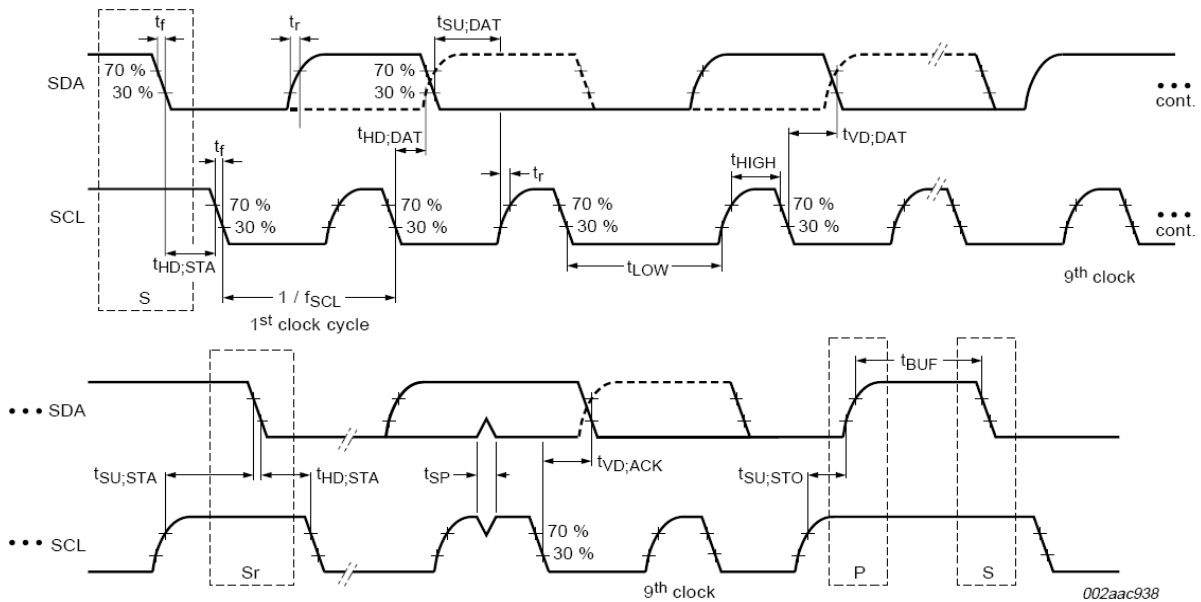
表 19. 同期 ADMux タイミング パラメーター [14]

パラメーター	説明	Min	Max	単位
FREQ	インターフェース クロック周波数	–	100	MHz
tCLK	クロック周期	10	–	ns
tCLKH	クロック HIGH 時間	4	–	ns
tCLKL	クロック LOW 時間	4	–	ns
tS	CE# / WE# / DQ セットアップ時間	2	–	ns
tH	CE# / WE# / DQ ホールド時間	0.5	–	ns
tCH	クロックからデータ出力までのホールド時間	0	–	ns
tDS	データ入力セットアップ時間	2	–	ns
tDH	クロックからデータ入力ホールドまでの時間	0.5	–	ns
tAVDOE	ADV# HIGH から OE# LOW までの時間	0	–	ns
tAVDWE	ADV# HIGH から WE# LOW までの時間	0	–	ns
tHZ	CE# HIGH からデータ HIGH-Z までの時間	–	8	ns
tOHZ	OE# HIGH からデータ HIGH-Z までの時間	–	8	ns
tOLZ	OE# LOW からデータ LOW-Z までの時間	0	–	ns
tKW	クロックから RDY 有効までの時間	–	8	ns

シリアル ペリフェラル タイミング

I²C タイミング

図 26. I²C タイミング定義



注：
14. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

表 20. I²C タイミング パラメータ^[15]

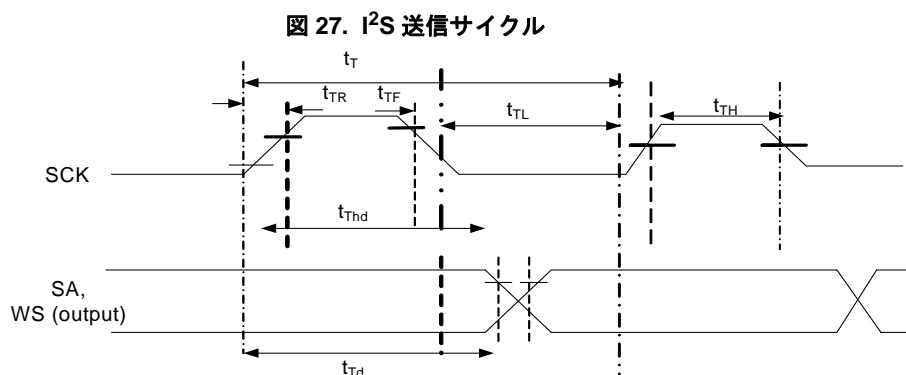
パラメーター	説明	Min	Max	単位
I²C 標準モード パラメータ				
fSCL	SCL クロック周波数	0	100	kHz
tHD:STA	START 条件までのホールド時間	4	–	μs
tLOW	SCL の LOW 時間	4.7	–	μs
tHIGH	SCL の HIGH 時間	4	–	μs
tSU:STA	反復 START 条件のセットアップ時間	4.7	–	μs
tHD:DAT	データ ホールド時間	0	–	μs
tSU:DAT	データ セットアップ時間	250	–	ns
tr	SDA および SCL 信号の立ち上り時間	–	1000	ns
tf	SDA および SCL 信号の立ち下り時間	–	300	ns
tSU:STO	STOP 条件のセットアップ時間	4	–	μs
tBUF	STOP 条件と START 条件間のバスの空き時間	4.7	–	μs
tVD:DAT	データ有効時間	–	3.45	μs
tVD:ACK	データ有効 ACK	–	3.45	μs
tSP	入力フィルタによって抑制する必要があるスパイクのパルス幅	該当なし	該当なし	
I²C ファースト モード パラメータ				
fSCL	SCL クロック周波数	0	400	kHz
tHD:STA	START 条件までのホールド時間	0.6	–	μs
tLOW	SCL の LOW 時間	1.3	–	μs
tHIGH	SCL の HIGH 時間	0.6	–	μs
tSU:STA	反復 START 条件のセットアップ時間	0.6	–	μs
tHD:DAT	データ ホールド時間	0	–	μs
tSU:DAT	データ セットアップ時間	100	–	ns
tr	SDA および SCL 信号の立ち上り時間	–	300	ns
tf	SDA および SCL 信号の立ち下り時間	–	300	ns
tSU:STO	STOP 条件のセットアップ時間	0.6	–	μs
tBUF	STOP 条件と START 条件間のバスの空き時間	1.3	–	μs
tVD:DAT	データ有効時間	–	0.9	μs
tVD:ACK	データ有効 ACK	–	0.9	μs
tSP	入力フィルタによって抑制する必要があるスパイクのパルス幅	0	50	ns

注:

15. すべてのパラメータは設計で保証されており、特性評価によって検証済みです。

表 20. I²C タイミング パラメータ^[15](続き)

パラメーター	説明	Min	Max	単位
I²C ファースト モード プラス パラメーター (I2C_VDDQ=1.2V 時にはサポートされません)				
fSCL	SCL クロック周波数	0	1000	kHz
tHD:STA	START 条件までのホールド時間	0.26	–	μs
tLOW	SCL の LOW 時間	0.5	–	μs
tHIGH	SCL の HIGH 時間	0.26	–	μs
tSU:STA	反復 START 条件のセットアップ時間	0.26	–	μs
tHD:DAT	データ ホールド時間	0	–	μs
tSU:DAT	データ セットアップ時間	50	–	ns
tr	SDA および SCL 信号の立ち上り時間	–	120	ns
tf	SDA および SCL 信号の立ち下り時間	–	120	ns
tSU:STO	STOP 条件のセットアップ時間	0.26	–	μs
tBUF	STOP 条件と START 条件との間のバス空き時間	0.5	–	μs
tVD:DAT	データ有効時間	–	0.45	μs
tVD:ACK	データ有効 ACK	–	0.55	μs
tSP	入力フィルタによって抑制する必要があるスパイクのパルス幅	0	50	ns

I²S タイミング図

表 21. I²S タイミング パラメータ^[16]

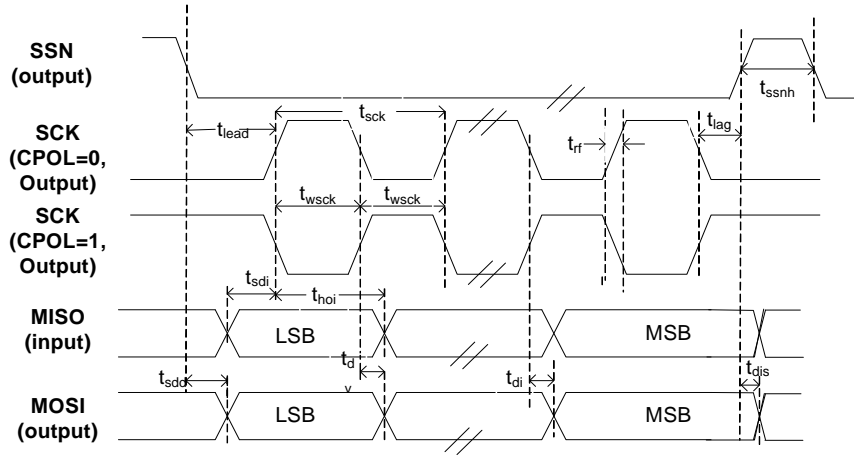
パラメーター	説明	Min	Max	単位
tT	I ² S トランスミッタ クロック サイクル	Ttr	–	ns
tTL	I ² S トランスミッタ サイクル LOW 時間	0.35 Ttr	–	ns
tTH	I ² S トランスミッタ サイクル HIGH 時間	0.35 Ttr	–	ns
tTR	I ² S トランスミッタ立ち上り時間	–	0.15 Ttr	ns
tTF	I ² S トランスミッタ立ち下り時間	–	0.15 Ttr	ns
tThd	I ² S のトランスミッタ データ ホールド時間	0	–	ns
tTd	I ² S トランスミッタ遅延時間	–	0.8tT	ns

注 tT はクロック ギアで選択可能です。最大 Ttr は 32 ビットでの 96kHz コーデックで 326ns (3.072MHz) に設計されています。

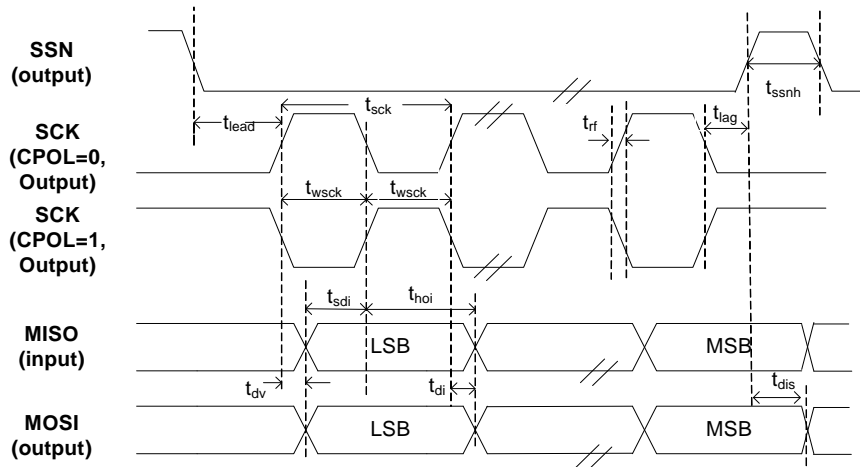
注:
16. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

SPI タイミング仕様

図 28. SPI タイミング



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1

表 22. SPI タイミング パラメーター^[17]

パラメーター	説明	Min	Max	単位
fop	動作周波数	0	33	MHz
tsck	サイクル時間	30	–	ns
twscck	クロック HIGH / LOW 時間	13.5	–	ns
tlead	SSN-SCK 先行時間	$1/2 \text{ tsck}^{[18]} - 5$	$1.5 \text{ tsck}^{[18]} + 5$	ns
tlag	可能遅延時間	0.5	$1.5 \text{ tsck}^{[18]} + 5$	ns
trf	上昇 / 下降時間	–	8	ns
tsdd	出力 SSN からデータ有効までの遅延時間	–	5	ns
tdv	出力データ有効時間	–	5	ns
tdi	出力データ無効時間	0	–	ns
tssnh	最小 SSN HIGH 時間	10	–	ns
tsdi	入力データセットアップ時間	8	–	ns
thoi	入力データホールド時間	0	–	ns
tdis	SSN HIGH でデータ出力が無効の時間	0	–	ns

注：

17. すべてのパラメーターは設計で保証されており、特性評価によって検証済みです。

18. SPI_CONFIG レジスタでの LAG および LEAD 設定によって決まります。

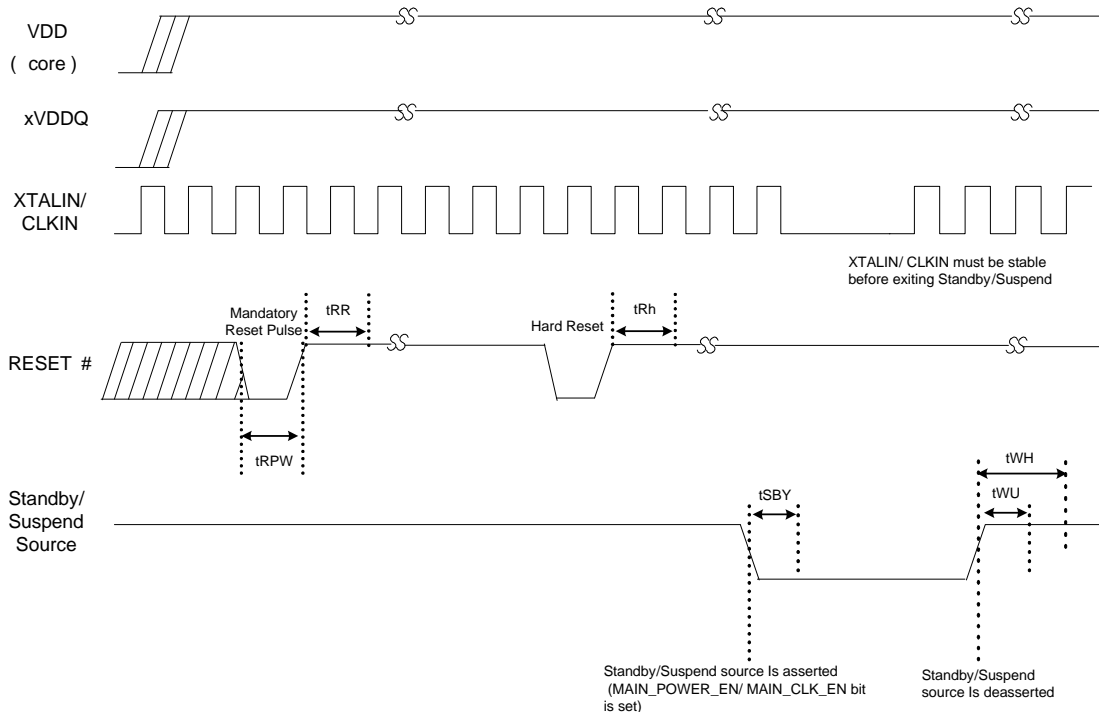
リセット シーケンス

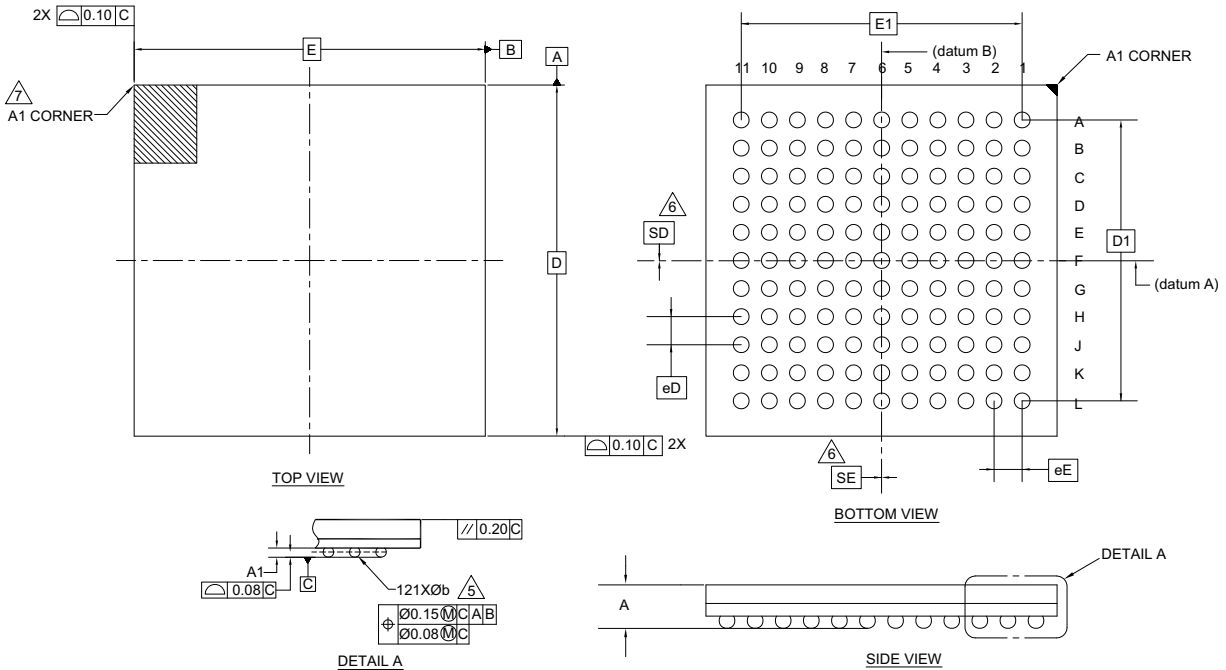
FX3 のハード リセット シーケンスの要件を規定します。

表 23. リセットおよびスタンバイ タイミング パラメーター

パラメーター	定義	条件	Min (ms)	Max (ms)
tRPW	RESET# 最小パルス幅	クロック入力	1	–
		水晶振動子の入力	1	–
tRH	RESET# の最小 HIGH 時間	–	5	–
tRR	リセット回復時間 (ブート ロードがファームウェアのダウンロードを開始した後)	クロック入力	1	–
		水晶振動子の入力	5	–
tSBY	スタンバイ/サスペンド開始までの時間 (MAIN_CLOCK_EN / MAIN_POWER_EN ビットをセットした時点から)	–	–	1
tWU	スタンバイ状態から復帰するまでの時間	クロック入力	1	–
		水晶振動子の入力	5	–
tWH	スタンバイ/サスペンド ソースを再アサートするまでの最小時間	–	5	–

図 29. リセット シーケンス



パッケージ図
図 30. 121 ボール BGA パッケージ図

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

001-54471 *F

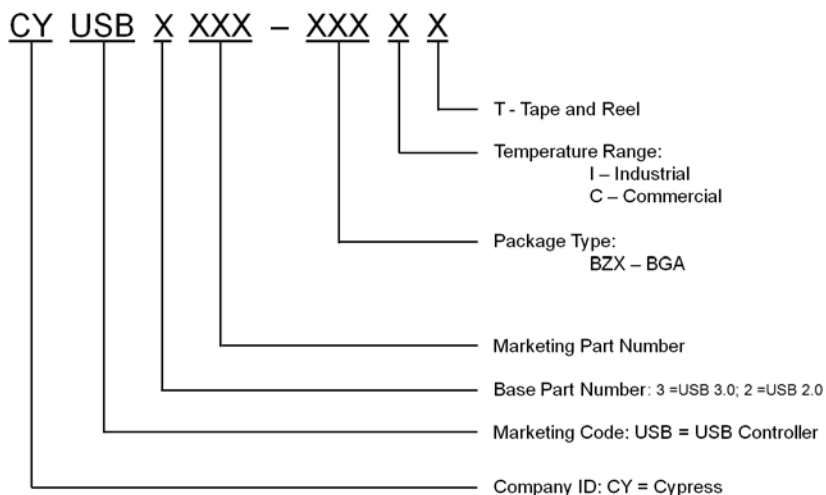
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.15	-	-
D	10.00 BSC		
E	10.00 BSC		
D1	8.00 BSC		
E1	8.00 BSC		
MD	11		
ME	11		
N	121		
ϕb	0.25	0.30	0.35
eD	0.80 BSC		
eE	0.80 BSC		
SD	0.00		
SE	0.00		

注文情報

表 24. 注文情報

注文コード	USB	SRAM (kB)	GPIF II データ バス幅	動作温度	パッケージ タイプ
CYUSB3011-BZXC	USB 3.0	256	16 ビット	0°C ~ +70°C	121 ボール BGA
CYUSB3012-BZXC	USB 3.0	256	32 ビット	0°C ~ +70°C	121 ボール BGA
CYUSB3013-BZXC	USB 3.0	512	16 ビット	0°C ~ +70°C	121 ボール BGA
CYUSB3014-BZXC	USB 3.0	512	32 ビット	0°C ~ +70°C	121 ボール BGA
CYUSB3014-BZXI	USB 3.0	512	32 ビット	-40°C ~ +85°C	121 ボール BGA
CYUSB2014-BZXC	USB 2.0	512	32 ビット	0°C ~ +70°C	121 ボール BGA
CYUSB2014-BZXI	USB 2.0	512	32 ビット	-40°C ~ +85°C	121 ボール BGA

注文コードの定義



略語

略語	説明
DMA	direct memory access (直接メモリ アクセス)
FIFO	First In First Out (ファーストインファーストアウト)
GPIF	General Programmable interface (汎用プログラマブル インターフェース)
HNP	host negotiation protocol (ホスト ネゴシエーション プロトコル)
I ² C	Inter-Integrated Circuit (インター インテグレートド サーキット)
I ² S	inter IC sound (インター IC サウンド)
MISO	master in slave out (マスター イン スレーブ アウト)
MOSI	master out slave in (マスタ アウト スレーブ イン)
MMC	multimedia card (マルチメディア カード)
MSC	mass storage class (大容量ストレージ クラス)
MTP	media transfer protocol (メディア転送プロトコル)
OTG	On-The-Go
OVP	overvoltage protection (過電圧保護)
PHY	Physical layer (物理層)
PLL	phase locked loop (位相同期回路)
PMIC	power management IC (パワー マネージメント IC)
PVT	process voltage temperature (プロセス、電圧、温度)
RTOS	real-time operating system (リアルタイム OS)
SCL	serial clock line (シリアル クロック ライン)
SCLK	serial clock (シリアル クロック)
SD	secure digital (セキュア デジタル)
SD	secure digital (セキュア デジタル)
SDA	serial data clock (シリアル データ クロック)
SDIO	secure digital input / output (セキュア デジタル入出力)
SLC	single-level cell (単一レベル セル)
SLCS	Slave Chip Select (スレーブ チップ セレクト)
SLOE	Slave Output Enable (スレーブ 出カインーブル)
SLRD	Slave Read (スレーブ 読み出し)
SLWR	Slave Write (スレーブ 書き込み)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース)
SRP	session request protocol (セッション要求プロトコル)

略語	説明
SSN	SPI スレーブ 選択 (アクティブ LOW)
UART	Universal Asynchronous Receiver Transmitter (汎用非同期レシーバ/トランスミッタ)
UVC	USB Video Class (USB ビデオ クラス)
USB	Universal Serial Bus (ユニバーサル シリアル バス)

本書の表記法
測定単位

記号	測定単位
°C	摂氏温度
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
Mbps	メガビット/秒
MBps	メガバイト/秒
MHz	メガヘルツ
ms	ミリ秒
ns	ナノ秒
Ω	オーム
pF	ピコファラド
V	ボルト

エラータ

FX3 のレビジョン D、C、B のエラータについて説明します。詳細は、エラータのトリガー条件、影響の範囲、可能な回避方法、シリコン レビジョンの適用可能性を含みます。ご質問がありましたら、最寄りのサイプレス販売代理店までご連絡ください。

影響を受ける製品番号

製品番号	デバイス特性
CYUSB301x-xxxx	全種類
CYUSB201x-xxxx	全種類

認定の状態

製品の状態：量産中

エラータのまとめ

下表は、EZ-USB FX3 SuperSpeed USB コントローラー デバイス ファミリ Rev. D へのエラータの適用性を定義します。

項目	[製品番号]	シリコン チップ レビジョン	修正状況
1. 通常、サスペンド、スタンバイ モード中に VIO1 をオフにすることによって、FX3 の動作が停止	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
2. FX3 が自己給電時、USB エニューメレーションが USB ブートモードで失敗します。	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
3. GPIF II ステートで COMMIT アクションによって追加の ZLP が生成される	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
4. USB 2.0 ISOC データ転送での無効な PID シーケンス	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
5. 同じマイクロフレーム内で ZLP の後に続いてデータ パケットが転送される場合に USB データ転送エラーが発生	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
6. I2C マルチマスターコンフィギュレーションで I2C ブロックをマスターとして使用する場合にバス衝突が発生	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	シングルマスター コンフィギュレーションで FX3 を使用します
7. USB 3.0 ホスト コントローラーの低電力 U1 高速終了問題	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
8. リンク品質の悪いホストで動作時の USB データの破損	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
9. デバイスは USB 3.0 ホストからの Rx 検出シーケンスを有効な U1 終了 LFPS パーストとして取り扱います。	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。
10. 40/60 デューティ比および 400kHz で、I2C データ有効 (tVD:DAT) 仕様の違反	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法は不要です。
11. FX3 デバイスが複数のパワー サイクル後にホストからのポート機能要求に正しく応答しない	CYUSB301x-xxxx CYUSB201x-xxxx	Rev. D、C、B	回避方法が用意されています。

1. 通常、サスペンド、スタンバイ モード中に VIO1 をオフにすることによって、FX3 の動作が停止

■問題定義

通常、サスペンド、スタンバイ モード中に VIO1 をオフにすることによって、FX3 の動作が停止します。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は、通常、サスペンド、スタンバイ モード中に VIO1 をオフにするとときにトリガーされます。

■影響範囲

FX3 の動作が停止します。

■回避方法

通常、サスペンド、スタンバイ モード中に VIO1 をオンのままにしなければなりません。

■修正状況

修正なし。回避方法が必要

2. FX3 が自己給電時、USB エnumレーションが USB ブート モードで失敗します。

■問題定義

FX3 デバイスは自己給電であり、かつ USB ホストにまだ接続されていないとき、低消費電力モードに入り、USB ホストに接続されるときに復帰しません。理由は、ブートローダが USB 接続を検出するためにコネクタでの VBUS ピンをチェックしないためです。ブートローダが、電源投入時に USB バスがホストに接続されることを期待します。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は、FX3 が USB ブート モードで自己給電となるとときにトリガーされます。

■影響範囲

デバイスはエnumレートしません。

■回避方法

USB ホストに接続した後にデバイスをリセットします。

■修正状況

修正なし。回避方法が必要

3. GPIF II ステートで COMMIT アクションによって追加の ZLP が生成される

■問題定義

GPIF-II ステートで IN_DATA アクションなしに COMMIT アクションが使用される場合、追加の長さゼロの packets (ZLP) がデータ packets とともに転送されます。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は、あるステートで COMMIT アクションが IN_DATA アクションなしに使用されるとときにトリガーされます。

■影響範囲

追加の ZLP が生成されます。

■回避方法

同じステートで COMMIT アクションとともに IN_DATA アクションを使用します。

■修正状況

修正なし。回避方法が必要

4. USB 2.0 ISOC データ転送での無効な PID シーケンス

■問題定義

FX3 デバイスが高帯域幅アイソクロナス エンドポイントを持つ Hi-Speed USB デバイスとして機能する場合、ISO データ パケットの PID シーケンスはアイソマルチ設定のみによって支配されます。各マイクロフレーム中の PDI シーケンス生成時に、データ パケットの長さは考慮されません。例えば、MULT が 2 に設定されたエンドポイントでショート パケットが転送される場合にも、使用される PID は DATA2 となります。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は、高帯域幅 ISOC 転送エンドポイントが使用されるときにトリガーされます。

■影響範囲

ISOC データ転送は失敗します。

■回避方法

この問題を回避するために、ショート パケットの転送前により低いアイソマルチ設定でエンドポイントを再設定し、その後に元の値に戻します。

■修正状況

修正なし。回避方法が必要

5. 同じマイクロフレーム内で ZLP の後に続いてデータ パケットが転送される場合に USB データ転送エラーが発生

■問題定義

SuperSpeed で動作するバースト対応 USB IN エンドポイントで、長さゼロのパケット後にすぐに (1 マイクロフレームまたは 125µs 以内) 他のデータ パケットが続く場合、データ転送エラーが発生する可能性があります。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は ZLP の SuperSpeed 転送でトリガーされます。

■影響範囲

データ転送が失敗し、データ転送速度が低くなります。

■回避方法

バースト対応 USB IN エンドポイントで ZLP と次のデータ パケットの間に十分な時間が与えられることを保証します。データ転送元で保証できない場合、EOP 状態の発生時に CyU3PDmaChannelSetSuspend() API を使用して対応する USB DMA ソケットを一時停止できます。その後、一時停止コールバックが受信されるとチャンネルの動作が再開できます。

■修正状況

修正なし。回避方法が必要

6. I²C マルチマスター コンフィギュレーションで I²C ブロックをマスターとして使用する場合にバス衝突が発生

■問題定義

I²C マルチマスター コンフィギュレーションで FX3 をマスターとして使用するとき、バス衝突が発生する場合があります。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は、FX3 の I²C ブロックがマルチマスター コンフィギュレーションで動作するときのみトリガーされます。

■影響範囲

FX3 の I²C ブロックが、I²C バスがアイドルでないときにデータを送信することができるため、バス衝突が発生します。

■回避方法

FX3 をシングル マスターとして使用します。

■修正状況

修正なし。

7. USB 3.0 ホスト コントローラーの低電力 U1 高速終了問題

■問題定義

FX3 デバイスが低電力 U1 ステートに入ってから 5 μ s 以内に U0 ステートに遷移する場合、デバイスは U0 ステートに戻って遷移することに失敗し、USB リセットを発生させる可能性があります。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は低電力遷移モード中にトリガーされます。

■影響範囲

データ転送中に期待しないウォーム リセットが発生します。

■回避方法

この問題を回避するために、FW でデータ転送中に LPM (リンク パワー マネジメント) を無効にします。

■修正状況

FW の回避方法は実証され、信頼できます。

8. リンク品質の悪いホストで動作時の USB データの破損

■問題定義

FX3 が信号品質の悪い USB 3.0 リンクで動作する場合、デバイスはいずれかの IN エンドポイント (制御エンドポイントを含む) で破損したデータを送信する可能性があります。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は USB 3.0 リンクの信号品質が非常に悪い場合にトリガーされます。

■影響範囲

いずれかの IN エンドポイント (制御エンドポイントを含む) でデータが破損します。

■回避方法

アプリケーション ファームウェアは、CYU3P_USBEPPSS_RESET_EVT イベントの受信時にエンドポイントを停止してから、CLEAR_FEATURE 要求の受信時に DMA パスを停止および再起動することで、エラー回復を行います。

注: SDK Ver. 1.3.3 およびそれ以降のバージョンは内部的に DMA 転送を管理し、潜在的なエラー状態を検出するとエンドポイント リセットを行います。アプリケーション ファームウェアの詳細は、SDK で提供されている [GpiftoUsb](#) の例を参照してください。

■修正状況

FW の回避方法は実証され、信頼できます。

9. デバイスは USB 3.0 ホストからの Rx 検出シーケンスを有効な U1 終了 LFPS バーストとして取り扱います。

■問題定義

FX3 デバイス内の USB 3.0 PHY は電気的アイドル検出器を使用して LFPS が受信されているかどうかを判定します。レシーバが電気的アイドル状態を検出しない期間は、さまざまな LFPS バーストを検出するために調整されます。この実装のため、デバイスは USB ホストからの Rx 検出シーケンスを有効な U1 終了 LFPS バーストとして取り扱います。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は、FX3 の USB 3.0 リンク ステート マシンが U1 ステートのときに USB ホストが Rx 検出シーケンスを開始する場合にトリガーされます。ホストが RX 検出ステートと U2 ステートでのみ Rx 検出シーケンスを実行するため、FX3 のリンクが U1 ステートのときにホストの USB リンクが U2 ステートに遷移した場合にのみエラー状態は発生します。

■影響範囲

FX3 は早まって回復状態に遷移するため、回復に失敗し、その後ウォーム リセットおよび USB 再エニューメレーションが発生します。このシーケンスは複数回繰り返し、その結果、データ転送の失敗となります。

■回避方法

ホストの遷移の数マイクロ秒前に FX3 が U1 から U2 に遷移するように設定します。これにより、ホストが Rx 検出シーケンスを実行する前にデバイス側のリンクが U2 にあるため、U1 終了の誤った検出が防止されることを保証できます。

■修正状況

回避方法は SDK ライブラリ 1.3.4 以降のバージョンで実装されます。

10. 40/60 デューティ比および 400kHz で、I²C データ有効 (t_{VD:DAT}) 仕様の違反

■問題定義

40/60 デューティ比および 400kHz での I²C データ有効 (t_{VD:DAT}) パラメーターは 1.0625μs であり、0.9μs の I²C 上限を超えます。

■影響を受けるパラメーター

該当なし

■トリガー条件

この違反は、I²C クロックの 40/60 デューティ比および 400kHz でのみ発生します。

■影響範囲

400kHz で転送されるデータのセットアップ時間 (t_{SUDAT}) は大きいマージンで満たされるため、t_{vd:DAT} の違反はデータ完全性の問題を発生させません。

■回避方法

回避方法は不要です。

■修正状況

修正は不要です。

11. FX3 デバイスが複数のパワー サイクル後にホストからのポート機能要求に正しく応答しない**■問題定義**

複数のパワー サイクルの間、FX3 デバイスが USB コントローラーからのポート機能要求 (リンク パケット) に正しく応答しない場合があります。したがって、FX3 は USB コントローラーからの後続のポート コンフィギュレーション要求を受信できず、SS.Disabled 状態を発生させます。デバイスはこの状態から回復できず、最終的にエニユメレーション失敗になります。

■影響を受けるパラメーター

該当なし

■トリガー条件

この状態は、FX3 がホストからのポート機能要求に正しくなく応答したときにトリガーされます。

■影響範囲

デバイスは複数回の再試行の後にエニユメレーションに失敗します。

■回避方法

ホストは FX3 にポート コンフィギュレーション要求を送信しないため、ポート コンフィギュレーション要求タイムアウト割込みをデバイスで発生させます。この割込みは FX3 SDK 1.3.4 以降のバージョンで処理され、CY_U3P_USB_EVENT_LMP_EXCH_FAIL イベントを生成し、アプリケーションに通知します。このイベントは、USB インターフェース ブロック再起動を行うようにユーザー アプリケーションで処理する必要があります。詳細およびファームウェアによる回避方法のサンプル プロジェクトについては、ナレッジベース ([KBA225778](#)) を参照してください。

■修正状況

提案されたファームウェアによる回避方法は実証され、信頼できます。

改訂履歴

文書名 : CYUSB301X/CYUSB201X、EZ-USB [®] FX3: SuperSpeed USB コントローラー 文書番号 : 001-79232			
版	ECN	発行日	変更内容
**	3616497	2012-05-23	これは英語版 001-52136 Rev *K を翻訳した日本語版 Rev. ** です。
*A	4792107	2015-06-09	内容の変更はありません。
*B	6682611	2019-09-26	これは英語版 001-52136 Rev *X を翻訳した日本語版 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm [®] Cortex [®] Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC[®] ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2009-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ、Spansion, Spansion のロゴ及びこれらの組み合わせ、WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。