

从 CY14B101L/STK14CA8 到 CY14B101LA 的替换

作者: Ravi Prakash

相关项目: 无

相关器件系列: **CY14B101L/STK14CA8、CY14B101LA**

相关应用笔记: 无

AN55659 介绍了 nvSRAM 器件从 CY14B101L/STK14CA8 到 CY14B101LA 替换的相关内容。本应用笔记还列出了当将现有的应用从 CY14B101L/STK14CA8 替换为 CY14B101LA 时, 器件与设计注意事项之间的参数区别。

简介

赛普拉斯 CY14B101LA 是一个采用了 0.13 微米技术的 3 V、1 Mbit (128 K x 8) nvSRAM。该器件的功能与 CY14B101L/STK14CA8 (0.25 μ) 相同, 作为直接替换器件使用。(STK14CA8 是 CY14B101L 的 Simtek 器件型号)。本应用笔记突出显示了 CY14B101L/STK14CA8 和 CY14B101LA 间的区别以及反转时必须注意的各个参数。

概述

下面各表对这两种器件的特性和参数分别进行了比较。正如表 1 中所示, 1 Mbit nvSRAM 可分为 x8 和 x16 两种配置。

表 1. 器件型号说明

说明	原始的器件信号	替换后的器件型号
128 Kb x 8	CY14B101L/STK14CA8	CY14B101LA

对于新的应用, 1 Mbit nvSRAM 还有 x16 I/O 的配置选项 (CY14B101NA)。

功能集

这两个器件具有相同的整体功能集, 并能以多个速度运行, 如表 2 所示。

表 2. 功能集比较

功能集	CY14B101L/ STK14CA8	CY14B101LA
自动存储	可用	可用
软件存储	可用	可用
硬件存储	可用	可用
自动存储使能/禁用	可用	可用
软件回调	可用	可用
速度	–	20 ns
	25 ns	25 ns
	35 ns	–
	45 ns	45 ns
存储周期	200,000	1,000,000
数据的保留时间:	20 年 (55°C)	20 年 (85°C)

工作温度范围

CY14B101L/STK14CA8 可以在工业级和商业级温度范围内运行, 而 CY14B101LA 仅能在工业级范围内工作。

表 3. 工作温度范围的比较

工作温度范围	CY14B101L/ STK14CA8	CY14B101LA
商业级 (0 ~ 70 °C)	可用	不可用
工业级 (-40 ~ 85 °C)	可用	可用

封装

CY14B101LA 与 CY14B101L/STK14CA8 相兼容，都有相同的封装类型以及引脚配置，不过 CY14B101LA 还有其他的封装形式。

表 4. 封装比较

封装	CY14B101L/ STK14CA8	CY14B101LA
32 脚 SOIC	可用	可用
48 引脚 SSOP	可用	可用
44 引脚 TSOPII	不可用	可用

参数

CY14B101LA 是 CY14B101L/STK14CA8 的直接替换器件，在大部分应用中不需要对应用板进行任何更改。但将一个器件代替为另一个之前，需要考虑它们各自参数的差别。表 5 中列出了 CY14B101L/STK14CA8 和 CY14B101LA 的参数区别。

表 5. 参数比较

参数	说明	速度	CY14B101L/STK14CA8		CY14B101LA		单位
			最小值	最大值	最小值	最大值	
直流参数							
I_{CC1}	V_{CC} 的平均电流	20 ns	-	-	-	70	mA
		25 ns	-	70	-	70	
		35 ns	-	60	-	-	
		45 ns	-	55	-	52	
I_{CC2}	在存储过程中 V_{CC} 的平均电流	-	-	3	-	10	mA
I_{CC3}	V_{CC} 的平均电流 ($t_{RC} = 200 \text{ ns}$ 、3 V、25 °C)	-	10 (典型值)		35 (典型值)		
I_{CC4}	在自动存储周期内 V_{CAP} 的平均电流	-	-	3	-	5	
I_{SB}	V_{CC} 的待机电流	-	-	3	-	5	mA
V_{CAP}	存储电容	-	17 ~ 120		61 ~ 180		uF
交流切换参数							
读和写周期参数相同							
自动存储/加电回调时的参数							
t_{STORE}	存储周期持续时间	-	-	12.5	-	8	ms
t_{DELAY}	完成 SRAM 写入周期的时间	20 ns	-	-	-	20	ns
		25 ns	1,000	70,000	-	25	
		35 ns	1,000	70,000	-	-	
		45 ns	1,000	70,000	-	25	
V_{HDIS}	HSB 输出禁用的电压	-	未指定		-	1.9	V
t_{LZHSB}	HSB 到输出有效的时间	-	未指定		-	5	us

参数	说明	速度	CY14B101L/STK14CA8		CY14B101LA		单位
			最小值	最大值	最小值	最大值	
t_{HHHD}	HSB 高电平有效的时间	-	未指定		-	500	ns
软件控制的存储/回调周期参数							
t_{HA}	地址保持时间	-	1	-	0	-	ns
t_{RECALL}	回调期间	-	-	120	-	200	us
t_{SS}	软序列处理时间	-	-	70	-	100	us
硬件存储周期参数							
	HSB 为低电平到存储繁忙的时间	-	未指定		-	$25(t_{DELAY})$	ns
t_{DHSB}	HSB 未设置写入锁存时，到输出有效的时长	-	未指定		-	25	ns

重要的注意事项

本节中讨论了 CY14B101LA 和 CY14B101L/STK14CA8 的区别在现有应用中可能引起的影响。当将其替换为一个新的器件时，建议系统设计师首先查看详细的数据手册。

直流参数

CY14B101L/STK14CA8 的 I_{CC1} （全速平均电流）与 CY14B101LA 上相应的值相同，因此，在将 nvSRAM 替换为 CY14B101LA 时，即使器件在低速/待机模式下运行时电流消耗值会更高，CY14B101L/STK14CA8 应用中的电源设计仍无需更改。需要考虑 V_{CAP} 参数。

V_{CAP}

V_{CAP} 电容为自动存储操作提供所需电荷，使之在断电时仍能够存储非易失性 SRAM 的数据。两个器件所需要的电容值大小也不一样。

表 6. V_{CAP} 的比较

说明	CY14B101L/STK14CA8	CY14B101LA
V_{CAP}	17 μF ~ 120 μF	61 μF ~ 180 μF
电压额定值	6 V	4 V

因此，在所有现有的应用中，如果使用的电容值超过了重叠范围（61 μF ~ 120 μF ），则当给新电容充电时需要考虑电容尺寸所产生的影响。由于不能像 CY14B101L/STK14CA8 中一样使 V_{CAP} 增大超过 V_{CC} 的值，因此要求 CY14B101LA 电容的电压额定值较低。

注意： 容值范围是电容的绝对值，即净容差。

交流切换参数

在速度相等时，CY14B101LA 和 CY14B101L/STK14CA8 的交流参数完全相同。为了替换速度为 35 ns 的器件，请选择

速度为 25 ns 的器件（因为 CY14B101LA 不支持 35 ns 的速度）。

自动存储/加电回调参数

与 CY14B101L/STK14CA8 相比，CY14B101LA 中的自动存储/上电回调参数性能更好，因此替换时无需对应用进行任何更改。[改进的详情](#)一节中介绍了这些改进内容。

软件控制的存储/回调周期参数

在 CY14B101LA 中，软件回调时间（ t_{RECALL} ）和软件序列处理时间（ t_{SS} ）较长，如表 7 所示。

表 7. 软件控制的存储/回调周期参数的比较

说明	CY14B101L/STK14CA8	CY14B101LA
t_{RECALL}	120 μs	200 μs
t_{SS}	70 μs	100 μs

该差异要求固件更改现有的应用，以便在初始化软件回调或自动存储使能/禁用周期时延长控制器的等待时间。

注意： 在 CY14B101L/STK14CA8 中，只有经过 t_{SS} 时间后发出存储或回调指令才能禁止读/写操作。在 CY14B101LA 中，读/写操作在经过 t_{DELAY} 时间后被禁止，并继续保持禁用状态，直到软指令结束（ t_{SS} 或 t_{RECALL} 或 t_{STORE} ）为止。这是一项改进，但初始化软件序列后，在 t_{SS} 时间内执行读/写操作的应用需要固件进行更改，以延长等待时间。

软件序列

设计 CY14B101LA，使得它与 CY14B101L/STK14CA8 在软件序列模式下相兼容。因此，CY14B101L/STK14CA8 中相同的软件存储和回调地址序列也可以在 CY14B101LA 中实现，而无需对固件进行任何更改。

硬件存储周期参数

CY14B101LA 中已经改进了硬件存储参数，因此替换时应用不用进行更改。改进的详情一节中也介绍了这些改进。

存储周期

与旧技术相比，CY14B101LA 中的非易失性存储周期耐久性提高了 5 倍，因此能对它执行 100 万个存储周期（则旧版本的器件仅支持 20 万个存储周期）。

数据的保留时间：

CY14B101LA 器件中的数据保留时间比采用旧技术的器件更长。CY14B101LA 的数据保留时间在温度为 85 °C 的条件下是 20 年，而 CY14B101L/STK14CA8 在温度为 55 °C 时的数据保留时间是 20 年。因此在同一个温度条件下，其数据保留时间已提高了 20 倍。

改进的详情

硬件存储相关的改进

$\overline{\text{HSB}}$ 引脚（硬件存储繁忙指示/硬件存储初始化）

nvSRAM 的 $\overline{\text{HSB}}$ 引脚是一个开漏 I/O 引脚，用于指示或初始化存储操作。正在进行存储时，nvSRAM 将 $\overline{\text{HSB}}$ 引脚下拉为低电平，指示器件繁忙并无法进行读/写访问操作。正常操作中，可将 $\overline{\text{HSB}}$ 引脚设为低电平，用以初始化硬件存储配置。

正如表 5 所示，从 CY14B101L/STK14CA8 转换为 CY14B101LA 时，某些与 $\overline{\text{HSB}}$ 引脚输入和输出相关的时序参数会发生变化。所有这些变化都是从原始器件规范执行的改进，并应视为您应用中在替换为新器件型号时获得的额外优点。

t_{DELAY}

如果设置了写锁存，并且 $\overline{\text{HSB}}$ 引脚被设为低电平，则在开始存储并禁止读写操作前，CY14B101L/STK14CA8 提供 1 μs 到 70 μs 的时间用于完成写操作。这样可允许在 t_{DELAY} 的持续时间内将数据无意写入到 nvSRAM 内。

注意：写锁存：当进行写操作时，会内部设置‘写锁存’。如果 $\overline{\text{HSB}}$ 被下拉为低电平，则 nvSRAM 将在初始化存储前检查该写锁存。这样可以避免在耐久性周期中发生任何不必要的损失。

在 CY14B101LA 中， $\overline{\text{HSB}}$ 被设为低电平后， t_{DELAY} 参数仅提供一个写周期的时间来完成正在进行的写操作。这项改进为无意执行的写操作提供了更好的安全性保护。

此外，在 CY14B101LA 中，如果 $\overline{\text{HSB}}$ 在 t_{PHSB} 的最短时间内被外部下拉为低电平，则 $\overline{\text{HSB}}$ 引脚的输出驱动器会将此引脚设为低电平，仅用于指示在 20 到 25 ns (t_{DELAY}) 期间发生了存储操作。但在 CY14B101L/STK14CA8 中并不针对低电平的 $\overline{\text{HSB}}$ 引脚指定该参数来表示存储繁忙。（请参见图 1 和图 2）

$\overline{\text{HSB}}$ 低电平（若未设置写锁存）

如果从最后的存储/回调操作后一直未进行任何写操作，那么 $\overline{\text{HSB}}$ 为低电平时将不会启动存储操作。但是在 CY14B101L/STK14CA8 器件中， $\overline{\text{HSB}}$ 引脚在 1 μs 到 70 μs (t_{DELAY}) 的时间内仍被内部拉低。

如果未设置写锁存，则 CY14B101LA 不会将 $\overline{\text{HSB}}$ 引脚内部拉低。这项改进可以防止两个 nvSRAM 器件的 $\overline{\text{HSB}}$ 引脚被连接时进入无限的循环状态。

图 1. CY14B101L/STK14CA8: 相关的交流参数 $\overline{\text{HSB}}$

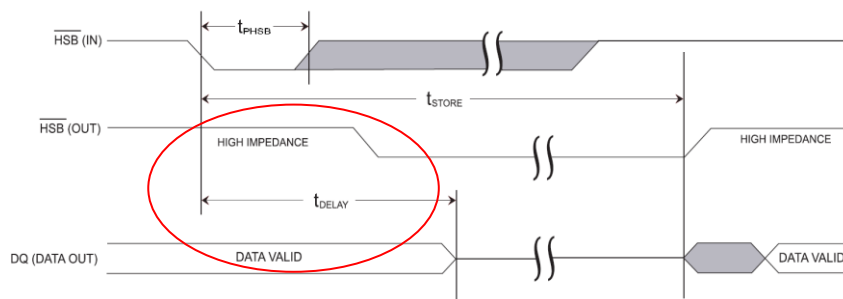
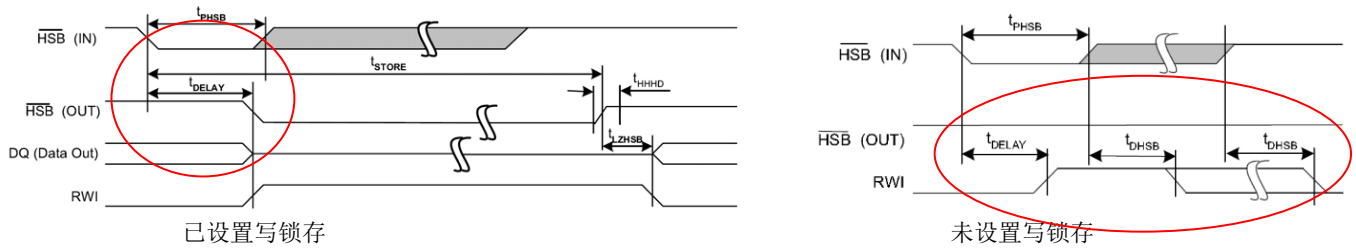


图 2. CY14B101LA: 相关的交流 $\overline{\text{HSB}}$

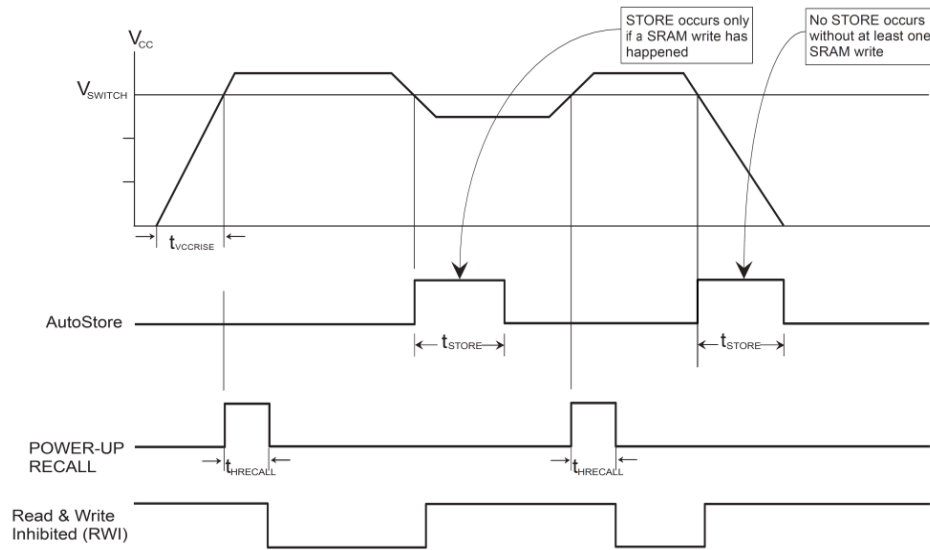


上电回调相关的改进

CY14B101LA 中的其他参数（如 $\overline{\text{HSB}}$ 输出禁用时的电压 (V_{HDS})、 $\overline{\text{HSB}}$ 到输出有效的时间 (t_{LZHSB}) 以及 $\overline{\text{HSB}}$ 为高电平有效的时间 (t_{HHHD}) 对系统设计也很有帮助。请参见图 3 和图 4，了解有关上电时其他规范的定义。另外，请

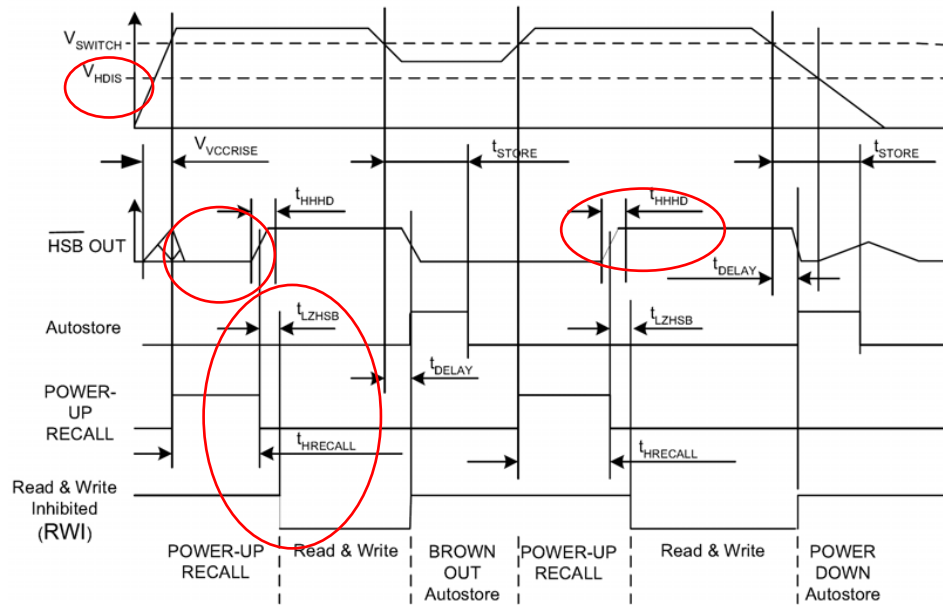
注意 $\overline{\text{HSB}}$ 仍保持低电平，直到完成新器件中上电过程为止。这样可防止系统在芯片真正完成启动操作前无意中认为已经完成了。

图 3. CY14B101L/STK14CA8: 上电回调



Note Read and Write cycles are ignored during STORE, RECALL, and while V_{CC} is below V_{SWITCH}

图 4. CY14B101LA: 上电回调



总结

本应用笔记讨论了分别采用最新 0.13 微米技术与 0.25 微米技术的 CY14B101L/STK14CA8 间的差别。在新的器件中已经优化/指定了与 HSB 和上电相关的一些参数，从而可以加快器件的响应速度，提供更好的数据安全性，并简化了设计。

CY14B101LA 与 CY14B101L/STK14CA8 的引脚相兼容，并可以替换 CY14B101L/STK14CA8 器件，而在大部分应用中不需要对应用板进行任何更改。替换时，需要考虑到现有应用中的 V_{CAP} 值以及软件回调和自动存储使能/禁用周期中的控制器的等待状态。

文档修订记录

文档标题：从 CY14B101L/STK14CA8 到 CY14B101LA 的替换 — AN55659

文档编号：001-92141

修订版	ECN	原始变更	提交日期	变更说明
**	4345928	WAHY	05/27/2014	本档版本号为 Rev.**，译自英文版 001-55659 Rev.*D。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学导航传感器	cypress.com/go/ons
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

此处引用的所有商标或注册商标归其各自所有者所有。

	赛普拉斯半导体 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网站 : www.cypress.com
---	--	---

©赛普拉斯半导体公司，2009-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于合理预计会发生运行异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯将不批准将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对该材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而导致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用受适用的赛普拉斯软件许可协议限制并完全按照此协议使用。