

## 带有 CapSense® 和 BCD 的双通道串行 USB (UART/I<sup>2</sup>C/SPI) 桥接器

### 特性

- 符合 USB 2.0 标准规范的全速 USB (12 Mbps)
  - 支持通信驱动器类 (CDC)、个人保健器件类 (PHDC) 以及供应商的特定器件类
  - 电池充电检测 (BCD) 符合 USB 电池充电规范版本 1.2 (只检测外设)
  - 集成 USB 终端电阻
- 可配置的双通道 UART 接口
  - CY7C65215 支持 2 引脚、4 引脚和 6 引脚的 UART 接口, 而 CY7C65215A 支持 2 引脚、4 引脚、6 引脚和 8 引脚的 UART 接口
  - 数据速率高达 3 Mbps
  - 通道上每个发送和接收缓冲器大小均为 190 字节
  - 数据格式:
    - 七或八个数据位
    - 一个或两个停止位
    - 无奇偶校验位、偶校验、奇校验、标记或空格奇偶校验位
  - 支持奇偶校验、溢出和帧错误。
  - 使用 CTS、RTS、DTR、DSR 支持流量控制
  - 支持 UART 中断信号
  - CY7C65215 支持双通道 RS232/RS422 接口, 而 CY7C65215A 支持 RS232/RS422/RS485 接口
- 可配置的双通道 SPI 接口
  - SPI 主设备的数据速率高达 3 MHz, 且 SPI 从设备的数据速率高达 1 MHz
  - 数据宽度: 4 位至 16 位
  - 通道上的每个发送和接收缓冲器均为 256 字节
  - 支持 Motorola、TI 和 National SPI 模式
- 可配置的双通道 I<sup>2</sup>C 接口
  - 主 / 从设备的频率可达 400 kHz
  - 支持多主设备 I<sup>2</sup>C
  - 通道上的每个发送和接收缓冲器均为 256 字节
- CapSense®
  - 通过赛普拉斯提供的配置工具支持 SmartSense™ 自动调校功能
  - CapSense 按键的最大数量: 8 个
  - GPIO 链接到 CapSense 按键
- JTAG 接口: JTAG 主设备, 用于在 400 kHz 频率下进行代码烧写
- 通用输入 / 输出 (GPIO) 引脚: 17 个
- 对每一种器件仅支持唯一一个序列号。这样, 当 USB-串行桥接控制器作为 CDC 器件被插入时, COM 端口编号始终不变
- 配置工具 (Windows) 用于配置:
  - 供应商 ID (VID), 产品 ID (PID) 以及产品与厂商的描述符。
  - UART/I<sup>2</sup>C/SPI/JTAG

### 符合 USB 标准

具有 CapSense 和 BCD 的 USB- 串行双通道桥接器 (CY7C65215/CY7C65215A) 完全符合 USB 2.0 规范、电池充电规范版本 1.2 以及 USB-IF Test-ID (TID) 40001521。



- CapSense
- 充电检测器
- GPIO
- 为 VCOM 和 DLL 提供驱动器
  - Windows 10: 32 位和 64 位版本
  - Windows 8.1: 32 位和 64 位版本
  - Windows 8: 32 和 64 位版本。
  - Windows 7: 32 位和 64 位版本
  - Windows Vista: 32 和 64 位版本。
  - Windows XP: 32 和 64 位版本。
  - Windows CE
  - Mac OS-X: 10.6 以及更高版本
  - Linux: Kernel 版本 2.6.35 以及更高版本
  - Android: Gingerbread 及更高版本
- 时钟: 集成了频率为 48 MHz 的时钟振荡器
- 支持总线供电 / 自供电模式配置
- 支持 USB 挂起模式, 以降低功耗
- 工作电压: 1.71 ~ 5.5 V
- 工作温度:
  - 商业级: 0 °C ~ 70 °C
  - 工业级: -40 °C ~ 85 °C
- ESD 保护: 2.2 kV HBM
- 符合 RoHS 标准的封装
  - 32 引脚 QFN (5 × 5 × 1 mm, 间距为 0.5 mm)
- 订购器件型号
  - CY7C65215-32LTXI
  - CY7C65215A-24LTXI

### 应用

- 医疗 / 保健器件
- 销售点 (POS) 终端
- 测试和测量系统
- 游戏系统
- 机顶盒 PC-USB 接口
- 工业级
- 网络
- 使能传统外设的 USB 连接事项

## CY7C65215 和 CY7C65215A 特性对比

表 1. CY7C65215 和 CY7C65215A 的特性对比

特性	CY7C65215	CY7C65215A
UART	可将其配置为虚拟通信端口或 USB vendor 类设备	可将其配置为虚拟通信端口或 USB vendor 类设备
I <sup>2</sup> C	可将其配置为虚拟通信端口或 USB vendor 类设备	可将其配置为虚拟通信端口或 USB vendor 类设备
SPI	可将其配置为虚拟通信端口或 USB vendor 类设备	可将其配置为虚拟通信端口或 USB vendor 类设备
支持 RS485 接口	无	支持
支持 8 引脚 UART	不支持	支持
支持 JTAG 接口	支持	不支持

## 更多信息

赛普拉斯网站 ([www.cypress.com](http://www.cypress.com)) 上提供了大量资料, 有助于为您的设计正确选择所需器件, 并能够快速有效地将器件集成到设计中。要想获取资源的完整列表, 请参见 [USB 串行桥接控制器产品概况](#)。

■ 概况: [USB 产品系列](#)、[USB 产品路线图](#)

■ USB 2.0 产品选型指南: [USB- 串行桥接控制器](#)、[USB-UART 控制器 \(第一代\)](#)

■ 知识库文章: 赛普拉斯提供了大量有关 USB 知识库的文章, 包括从基本到高级的广泛主题。所推荐的 USB 串行桥接控制器入门知识库文章如下:

- [KBA85909](#) — Cypress® USB- 串行桥接控制器的主要特性
- [KBA85920](#) — USB-UART 和 USB- 串行
- [KBA85921](#) — 将 FT232R 替换为 CY7C65213 USB-UART LP 桥接控制器
- [KBA85913](#) — USB- 串行的电源电压范围
- [KBA89355](#) — USB 串行: 赛普拉斯默认 VID 和 PID
- [KBA92641](#) — USB 串行桥接控制器使用 API 来管理 I/O
- [KBA92442](#) — USB- 串行桥接控制器中的非标准波特率
- [KBA91366](#) — 将一个 USB 串行器件绑定到 Microsoft® CDC 驱动器上
- [KBA92551](#) — 使用 Linux® 测试被配置为 USB-UART 的 USB 串行桥接控制器
- [KBA91299](#) — 将一个外部 I2C 器件连接到 CYUSBS234/236 开发套件上

要想获取知识库文章的完整列表, 请点击[此处](#)。

■ 代码示例: [USB 全速](#)

■ 开发套件:

- [CYUSBS232](#) — 赛普拉斯 USB-UART LP 参考设计套件
- [CYUSBS234](#) — 赛普拉斯 USB- 串行 (单通道) 开发套件
- [CYUSBS236](#) — 赛普拉斯 USB- 串行 (双通道) 开发套件

■ 模型: [IBIS](#)

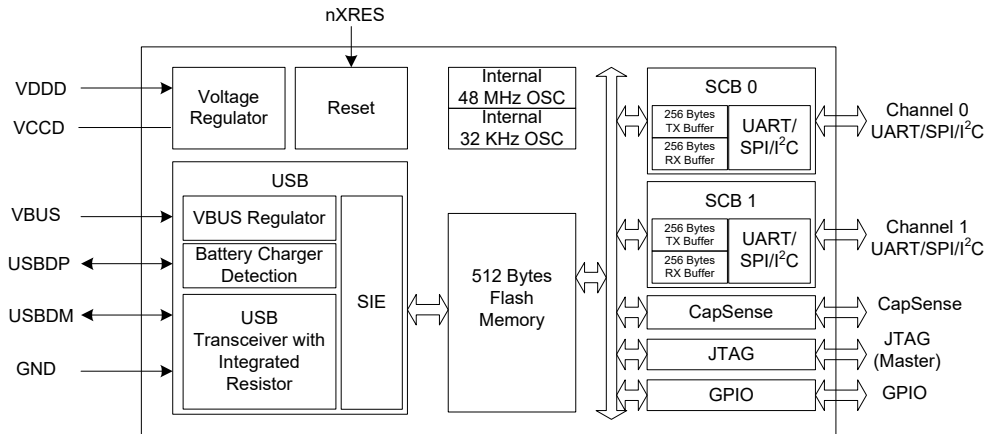
赛普拉斯串行 USB (双通道) 开发套件

赛普拉斯串行 USB (双通道) 开发套件是一个完整的开发资源。它提供了一个用于开发和测试自定义项目的平台。该开发套件包含用于设计固件、硬件和软件等内容的辅助材料。

## 目录

<b>框图</b> .....	<b>4</b>	<b>USB 电源配置</b> .....	<b>18</b>
<b>功能概述</b> .....	<b>4</b>	USB 总线供电的配置 .....	18
USB 和充电器检测 .....	4	自供电配置 .....	19
串行通信 .....	5	带可变 I/O 电压的 USB 总线供电 .....	20
CapSense .....	6	<b>应用示例</b> .....	<b>21</b>
JTAG 接口 .....	6	具有电池充电器检测功能的 USB 至双 UART 桥接器...	21
GPIO 接口 .....	6	USB 至 RS485 应用 .....	23
存储器 .....	6	CapSense .....	24
系统资源 .....	6	USB 转双通道 (I2C/SPI) 桥接器 .....	25
挂起和恢复 .....	7	<b>订购信息</b> .....	<b>30</b>
WAKEUP 引脚 .....	7	订购代码定义 .....	30
软件 .....	7	<b>封装信息</b> .....	<b>31</b>
内部闪存配置 .....	8	<b>缩略语</b> .....	<b>32</b>
<b>电气规范</b> .....	<b>9</b>	<b>文档规范</b> .....	<b>32</b>
最大绝对额定值 .....	9	测量单位 .....	32
工作条件 .....	9	<b>勘误表</b> .....	<b>33</b>
器件级规范 .....	9	<b>文档修订记录</b> .....	<b>36</b>
GPIO .....	10	<b>销售、解决方案和法律信息</b> .....	<b>37</b>
nXRES .....	11	全球销售和 design 支持 .....	37
SPI 规范 .....	12	产品 .....	37
I2C 规范 .....	14	PSoC <sup>®</sup> 解决方案 .....	37
JTAG 规范 .....	14	赛普拉斯开发者社区 .....	37
CapSense 规格 .....	14	技术支持 .....	37
闪存存储器规范 .....	14		
<b>引脚说明</b> .....	<b>15</b>		

## 框图



## 功能概述

CY7C65215/CY7C65215A 是一个全速的 USB 控制器。它允许 PC 通过双通道串行接口（如 UART、SPI 以及 I<sup>2</sup>C）与外设相连。CY7C65215/CY7C65215A 也集成了符合 USB Battery Charger 1.2 的 CapSense 和 BCD。另外，它还集成了电压调节器、振荡器以及存储配置参数的闪存存储器，从而提供了经济高效的解决方案。CY7C65215/CY7C65215A 支持总线供电和自供电模式，并使能具有挂起和远程唤醒信号的高效系统电源管理。它作为 32 引脚 QFN 封装的形式提供。

## USB 和充电器检测

### USB

CY7C65215/CY7C65215A 具有一个内置的 USB 2.0 全速收发器。该收发器包含 USB 数据线上的内部 USB 串联终端电阻和 USBDP 上的 1.5 kΩ 上拉电阻。

### 充电器检测

在外设检测模式下支持电池充电检测（BCD）功能，它符合 USB Battery Charging Specification Rev. 1.2。

CY7C65215/CY7C65215A 该芯片支持下面充电端口：

- 标准下行端口（SDP）：允许系统使用来自主机的高达 500 mA 的电流
- 充电下行端口（CDP）：允许系统使用来自主机的高达 1.5 A 的电流
- 专用充电端口（DCP）：允许系统使用来自墙插充电器的高达 1.5 A 的电流

## 串行通信

CY7C65215/CY7C65215A 具有两个串行通信模块（SCB）。每个 SCB 可执行 UART、SPI 或一个 I2C 接口。TX 和 RX 线上都有一个 256 字节的缓冲器。

表 2 显示的是当 SCB 被配置为 UART/I2C/SPI 时所支持的最大速度。

**表 2. 两个 SCB 模块支持的最大速率**

序号	配置	SCB0 的最大速率	SCB1 的最大速率
1	SCB0 = UART, SCB1 = 禁用	3 M (TX 或 RX)	NA
2	SCB0 = I2C 主设备, SCB1 = 禁用	400 kHz (TX 和 RX)	NA
3	SCB0 = I2C 从设备, SCB1 = 禁用	400 kHz (TX 和 RX)	NA
4	SCB0 = SPI 主设备, SCB1 = 禁用	3 MHz (TX 和 RX)	NA
5	SCB0 = SPI 从设备, SCB1 = 禁用	1 MHz (TX 和 RX)	NA
6	SCB0 = UART, SCB1 = UART	1 MHz (TX 或 RX)	1 MHz (TX 或 RX)
7	SCB0 = UART, SCB1 = I2C 主设备	1 MHz (TX 或 RX)	400 kHz (TX 和 RX)
	SCB0 = I2C 主设备, SCB1 = UART		
8	SCB0 = UART, SCB1 = I2C 从设备	1 MHz (TX 或 RX)	400 kHz (TX 和 RX)
	SCB0 = I2C 从设备, SCB1 = UART		
9	SCB0 = UART, SCB1 = SPI 主设备	1 MHz (TX 或 RX)	1 MHz (TX 和 RX)
	SCB1 = SPI 主设备, SCB0 = UART		
10	SCB0 = UART, SCB1 = SPI 从设备	1 MHz (TX 或 RX)	1 MHz (TX 和 RX)
	SCB0 = SPI 从设备, SCB1 = UART		
11	SCB0 = I2C, SCB1 = I2C	400 kHz (TX 和 RX)	400 kHz (TX 和 RX)
12	SCB0 = SPI, SCB1 = SPI	1 MHz (TX 和 RX)	1 MHz (TX 和 RX)

### UART 接口

通过 UART 接口，器件可以同其他工作速度为 3 Mbps 的 UART 器件进行异步串行通信。该接口支持 7 至 8 个数据位、1 至 2 个停止位、奇校验、偶校验、标记、空格以及无奇偶校验位。UART 接口支持信号格式符合标准 UART 协议的全双工通信。在 CY7C65215 中，可以将 UART 引脚连接到符合行业标准的 RS232/RS422 收发器上。在 CY7C65215A 中，可以将这些 UART 引脚连接到 RS232/RS422/RS485 上。

CY7C65215/CY7C65215A 还支持通用 UART 功能，如奇偶校验错误以及帧错误。另外，CY7C65215/CY7C65215A 支持的波特率范围为 300 至 3 兆波特。可以使用配置工具设置 UART 波特率。

#### 注意：

将 UART 发送器配置为奇校验并将 UART 接收器配置为偶校验时，可检测到奇偶校验错误。

将 UART 发送器配置为 7 个数据位宽以及一个停止位，并将 UART 接收器配置为 8 个数据位宽以及两个停止位时，可检测到帧错误。

### UART 流量控制

CY7C65215/CY7C65215A 器件支持使用以下控制信号来控制 UART 硬件的数据流：RTS#（请求发送）/CTS#（清除发送）和 DTR#（数据终端就绪）/DSR#（数据设置就绪）。默认使能数据流控制功能。使用配置工具可以禁用流控制功能。

以下内容描述的是流控信号：

#### ■ CTS#（输入）/RTS#（输出）

CTS# 可暂停或恢复通过 UART 接口进行的数据传输。通过取消激活 CTS 信号，可暂停数据传输；通过激活 CTS#，可恢复数据传输。暂停和恢复操作不影响数据的完整性。使能数据流控制特性时，接收缓冲器的水印值为 93%。接收缓冲器的数据达到该水平后，RTS# 信号被取消激活，通知传输器件停止数据传输。应用进行数据消耗会减少器件数据存储。数据达到水印等级的 75% 后，RTS# 信号被激活，从而恢复数据接收。

#### ■ DSR#（输入）/DTR#（输出）

DSR#/DTR# 信号用于同 UART 建立通信链接。这些信号的功能相得益彰，同 CTS# 和 RTS# 相似。



### SPI 接口

SPI 接口支持 SPI 主设备和 SPI 从设备。该接口支持 Motorola、TI 和 National Microwire 协议。在 SPI 主设备模式和 SPI 从设备模式下，该接口的最大工作频率分别为 3 MHz 和 1 MHz。该接口支持从 4 位到 16 位大小的数据传输操作。在工作频率为 1 MHz 的情况下，SPI 从设备支持 4 位到 8 位和 12 位到 16 位大小的数据。在工作频率为 500 kHz 的情况下，它支持 9 位、10 位及 11 位大小的数据（请参考第 25 页上的 USB 转双通道（I<sup>2</sup>C/SPI）桥接器，了解详细信息）。

### I<sup>2</sup>C 接口

I<sup>2</sup>C 接口实现完整的多主 / 从设备模式，并支持高达 400 kHz 的频率。配置工具用来设置从设备模式中的 I<sup>2</sup>C 地址。该工具仅使能从设备的偶地址。更多有关协议的详细信息，请参考 NXP I<sup>2</sup>C 规范版本 5。

### 注释

- I<sup>2</sup>C 端口不允许使用更高电压，并且不能从 I<sup>2</sup>C 系统其余部分被热插拔或独立供电。
- V<sub>DD</sub> 的电压范围为 1.71 V 至 3.0 V 时，SCL 的最短下降时间得到满足（根据 NXP I<sup>2</sup>C 规范版本 5）。V<sub>DD</sub> 的电压范围为 3.0 V 至 3.6 V 时，建议使 SCL 信号上通过一个 50 pF 的电容。

### CapSense

所有 GPIO 引脚都支持 CapSense 功能。通过使用配置工具，可以将任何 GPIO 引脚配置为检测引脚（CS0–CS7）。当执行 CapSense 功能时，需要通过一个大小为 2.2 nF 的电容将 GPIO\_0 引脚（被配置为调制器电容 — Cmod）接地（请参见第 24 页上的图 12）。CY7C65215/CY7C65215A 支持 CapSense 参数的 SmartSense 自动调试，而不用手动调试。SmartSense 的自动调试功能可以补偿印刷电路板（PCB）的差异以及器件的工艺变化。

可以选择任何一个 GPIO 引脚并将其配置为一个 Cshield，并将其连接到 CapSense 按键的屏蔽端，如第 24 页上的图 12 所示。屏蔽可以防止由水滴引起的按键错误触发，并保证 CapSense 正常操作（传感器对手指触摸发生响应）。通过将 GPIO 链接到 CapSense 按键，可以识别某个手指的存在。使用配置工具，可以对 CapSense 功能进行配置。

CY7C65215/CY7C65215A 支持多达 8 个 CapSense 按键。更多有关 CapSense 的信息，请参见 CapSense 入门中的内容。

### JTAG 接口

在主设备模式下，CY7C65215/CY7C65215A 支持 5 引脚的 JTAG，因此它可以使用 400 kHz 的频率将代码存储到闪存中。

**注意：**使能 JTAG 时，不能使用 CY7C65215/CY7C65215A 器件中的其他接口。

### GPIO 接口

CY7C65215/CY7C65215A 有 17 个 GPIO。如果执行了一个双引脚（I<sup>2</sup>C/2 引脚 UART）串行接口，那么最多可以使用 17 个 GPIO 进行配置。使用配置工具，对 GPIO 引脚进行配置。可配置的选项如下：

- TRISTATE: GPIO 是三态的
- DRIVE 1: 输出静态 1
- DRIVE 0: 输出静态 0
- POWER#: 控制总线供电设计的电源
- TXLED#: 在 USB 发送数据期间驱动 LED
- RXLED#: 在 USB 接收数据期间驱动 LED
- TX 或 RX LED#: 在 USB 发送或接收数据期间驱动 LED 可以配置 GPIO，使之以 8 mA 的驱动强度驱动 LED。
- BCD0/BCD1: 用来指示 USB 充电器类型的双引脚输出
- BUSDETECT: 连接到 VBUS 引脚，以检测 USB 主机
- CS0–CS4: CapSense 按键输入（检测引脚）
- CSout0–CSout3: 指出被按下的 CapSense 按键
- Cmod: 外部调制器电容通过一个 2.2 nF 的电容（±10%）接地（仅适用于 GPIO\_0）
- Cshield: 防水屏蔽

### 存储器

CY7C65215/CY7C65215A 有一个大小为 512 字节的闪存。闪存用于存储 USB 参数，如 VID/PID、序列号、产品和制造商描述符。通过配置工具，可以对这些参数进行编程。

### 系统资源

#### 电源系统

CY7C65215/CY7C65215A 支持 USB 挂起模式以控制功耗。可运行于总线供电或自供电模式，其电压范围为 3.15 V 到 5.5 V。CY7C65215/CY7C65215A

#### 时钟系统

CY7C65215/CY7C65215A 集成了一个时钟，不需要使用任何外部组件。该时钟为所有子系统提供时钟。

#### 内部 48 MHz 振荡器

内部 48 MHz 振荡器是 CY7C65215/CY7C65215A 的主要内部时钟源。

#### 内部 32 kHz 振荡器

该振荡器主要为 USB 挂起模式中的外设操作提供时钟。

#### 复位

通过复位模块，可确保安全进行上电复位操作，并且可使器件返回到默认的已知状态。外部器件通过使用 nXRES（低电平有效）引脚来复位 CY7C65215/CY7C65215A。

## 挂起和恢复

当 USB 总线进入挂起状态时，CY7C65215/CY7C65215A 器件将置位 SUSPEND 引脚。在总线供电的器件中，该操作可以满足 USB 2.0 规范中严格的暂停电流要求。发生下述任何一种情况时，该器件将从挂起状态恢复：

1. 在 USB 总线上检测到任何数据操作
2. 置位 WAKEUP 引脚，使之为主机生成远程唤醒信号

## WAKEUP 引脚

在 USB 总线上，WAKEUP 引脚用于生成远程唤醒信号。只有主机通过 SET\_FEATURE 请求使能该性能时，才会发送远程唤醒信号。在 USB 枚举过程中，器件将通过配置描述符为主机提供远程唤醒支持。通过配置工具，CY7C65215/CY7C65215A 器件可以使能 / 禁用远程唤醒性能，并设置该性能的极性。

## 软件

赛普拉斯提供了一组完整的软件驱动程序以及一个配置工具，便于在系统开发过程中使能产品的配置。

### Linux 操作系统的驱动程序

赛普拉斯提供了用户模式的 USB 驱动程序库 (*libcyusbserial.so*)，用来给 UART 接口提取供应商指令并给用户应用程序提供简化的 API 接口。该库使用标准的开源 libUSB 库，以使能 USB 通信。赛普拉斯的串行程序库使用 Linux 'udev' 机制来支持 USB 即插即用特性。

CY7C65215/CY7C65215A 支持捆绑在 Linux 内核的标准 USB CDC UART 类驱动程序。

### Android 支持

CY7C65215/CY7C65215A 解决方案包括一个 Android Java 类的 CyUsbSerial.java。它提供了一组用于同器件通信的接口函数。

### Mac OSx 的驱动程序

赛普拉斯提供了一个基于 libUSB 的动态链接共享库 (CyUSBSerial.dylib)，从而能够与 CY7C65215/CY7C65215A 器件进行通信。

另外，CY7C65215 器件还支持使用本地语言编写的 Mac OSx CDC UART 驱动程序，CY7C65215A 支持用本地语言编写的 Mac OSx CDC UART/SPI/I2C 驱动程序。

### Windows 操作系统的驱动程序

对于 Windows 操作系统 (XP、Vista、Win7、Win8 以及 Win8.1)，赛普拉斯提供了一个用户模式的动态链接库 — CyUSBSerial DLL — 以便提取 CY7C65215/CY7C65215A 器件的供应商专用接口，同时为用户提供方便易用的 API。它分别为特定供应商 UART/SPI/I2C 和 PHDC 提供了接口 API 和特定类的 API。

当 CY7C65215 被配置为 CDC USB-UART 或 CY7C65215A 被配置为 CDC USB-UART/SPI/I2C 器件时，USB 串行桥接控制器将使用 Windows 标准的 USB CDC 类驱动程序。此外，它还提供了一个虚拟的 COM 端口驱动程序 (CyUSBSerial.sys)，用于执行 USB CDC 类的驱动程序。赛普拉斯的 Windows 驱动程序与 Windows 认证的硬件相兼容。

通过 WU (Windows 更新) 服务将这些驱动程序绑定到器件上。赛普拉斯驱动程序还支持 Windows 的即插即用、电源管理以及 USB 远程唤醒等特性。

### Windows-CE 支持

CY7C65215/CY7C65215A 解决方案包含 Windows-CE 平台用的 CDC UART 驱动程序库。

### 器件配置工具 (仅适用于 Windows)

基于 Windows 的配置工具可用于配置器件的初始化参数。该图形用户应用程序提供了一个交互式接口，用于定义存储于器件闪存中的各项引导参数。

通过该工具用户可以将所选择的配置保存为文本或 xml 格式的文件。用户还可以通过该工具加载格式为文本或 xml 文件的选定配置。该配置工具支持以下操作：

- 查看当前器件的配置
- 选择并配置 UART/I2C/SPI、CapSense、电池充电以及 GPIO
- 配置 USB VID、PID 和字符串描述符
- 保存或加载配置

您可以在 [www.cypress.com](http://www.cypress.com) 网站上免费下载配置工具和驱动程序。

### 内部闪存配置

内部闪存存储器可用于存储下表中的各项配置参数。所提供的免费配置工具用于配置下表中的各项参数，以满足 USB 接口的应用特定要求。您可从 [www.cypress.com/go/usbserial](http://www.cypress.com/go/usbserial) 网站上下载该配置工具。

**表 3. CY7C65215 和 CY7C65215A 的内部闪存配置**

参数	默认值	说明
<b>USB 配置</b>		
USB 供应商 ID (VID)	0x04B4	赛普拉斯的默认 VID。可将其配置为客户 VID
USB 产品 ID (PID)	0x0005	默认为赛普拉斯的 PID。可将其配置为客户 PID
制造商字符串	Cypress	可将其配置为任何最大为 64 个字符的字符串。
产品字符串	USB 串行 (双通道)	可将其配置为任何最大为 64 个字符的字符串。
串行字符串		可将其配置为任何最大为 64 个字符的字符串。
功耗模式	总线供电	可将其配置为总线供电或自供电模式
最大电流消耗	100 mA	可将其配置为 0 到 500 mA 间的某个值。根据该值，更新配置描述符。
远程唤醒	使能	可被禁用。可通过激活 WAKEUP 引脚来发起远程唤醒。
USB 接口协议	CDC	可将其配置为 CDC、PHDC 或赛普拉斯供应商类型。
BCD	禁用	默认状态下，充电器检测功能被禁用。当使能 BCD 时，必须将三个 GPIO 配置为 BCD。
<b>GPIO 配置</b>		
GPIO_0	TXLED#	可根据第 17 页上的表 18 中的内容进行配置 GPIO。
GPIO_1	RXLED#	
GPIO_2	DSR#_0	
GPIO_3	RTS#_0	
GPIO_4	CTS#_0	
GPIO_5	TxD_0	
GPIO_6	POWER#	
GPIO_7	三态	
GPIO_8	RxD_0	
GPIO_9	DTR#_0	
GPIO_10	RxD_1	
GPIO_11	TxD_1	
GPIO_12	RTS#_1	
GPIO_13	CTS#1	
GPIO_14	DSR#_1	
GPIO_15	DTR#_1	
GPIO_16	三态	
GPIO_17	三态	
GPIO_18	三态	



## 电气规范

### 最大绝对额定值

超过最大额定值<sup>[1]</sup>可能会缩短器件的使用寿命。

存放温度 .....	-55 °C 至 +100 °C
供电环境温度（工业级） .....	-40 °C 至 +85 °C
接地电位的供电电压	
V <sub>DDD</sub> .....	6.0 V
V <sub>BUS</sub> .....	6.0 V
V <sub>CCD</sub> .....	1.95 V
V <sub>GPIO</sub> .....	V <sub>DDD</sub> + 0.5 V

静电放电电压 ESD 保护电平为：

■ 2.2 kV HBM/JESD22-A114

闩锁电流 .....	140 mA
灌入每个 GPIO 的电流 .....	25 mA

### 工作条件

T <sub>A</sub> （偏置环境温度）	
工业级 .....	-40 °C 至 +85 °C
V <sub>BUS</sub> 供电电压 .....	3.15 V 至 5.25 V
V <sub>DDD</sub> 供电电压 .....	1.71 V 至 5.50 V
V <sub>CCD</sub> 供电电压 .....	1.71 V 至 1.89 V

### 器件级规范

除非另有说明，否则这些规范的适用条件是：-40 °C ≤ T<sub>A</sub> ≤ 85 °C，T<sub>J</sub> ≤ 100 °C 和 1.71 V 至 5.50 V。

表 4. 直流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
V <sub>BUS</sub>	V <sub>BUS</sub> 供电电压	3.15	3.30	3.45	V	使用配置工具设置并配置 V <sub>BUS</sub> 的正确电压范围。
		4.35	5.00	5.25	V	
V <sub>DDD</sub>	V <sub>DDD</sub> 供电电压	1.71	1.80	1.89	V	用于设置输入/输出电压和内核电压。使用配置工具设置并配置 V <sub>DDD</sub> 的正确电压范围。
		2.0	3.3	5.5	V	
V <sub>CCD</sub>	输出电压（供给内核逻辑）	-	1.80	-	V	请勿用该输出电压来驱动外部器件。 <ul style="list-style-type: none"> <li>1.71 V ≤ V<sub>DDD</sub> ≤ 1.89 V：将 V<sub>CCD</sub> 引脚与 V<sub>DDD</sub> 引脚短接</li> <li>V<sub>DDD</sub> &gt; 2 V：在 V<sub>CCD</sub> 引脚和地之间使用一个 1 μF 的电容（C<sub>efc</sub>）</li> </ul>
C <sub>efc</sub>	外部稳压器电压旁路	1.00	1.30	1.60	μF	X5R 陶瓷电容或性能更好的电容
I <sub>DD1</sub>	工作供电电流	-	13	18	mA	USB2.0 FS，速率为 1 Mbps 的单通道 UART，V <sub>BUS</sub> = 5 V、V <sub>DDD</sub> = 5 V 时不进行任何 GPIO 切换
I <sub>DD2</sub>	USB Suspend 时的供电电流	-	5	-	μA	不包含通过 USB DP 的上拉电阻的电流。 在 USB 挂起模式下，D+ 电压可达最大值 3.8 V。

表 5. 交流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
Z <sub>out</sub>	USB 驱动器输出阻抗	28	-	44	Ω	
T <sub>wakeup</sub>	从 USB 挂起模式唤醒	-	25	-	μs	

### 注释：

1. 工作于高于最大绝对值的条件下，可能给器件造成永久性损害。长期使用最大绝对值可能影响器件的可靠性。如果配置的参数值低于最大绝对值且大于正常工作值，那么器件的工作情况可能与规范内容存在差异。

**GPIO**

**表 6. GPIO 的直流规范**

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
$V_{IH}^{[2]}$	输入高电平阈值	$0.7 \times V_{DDDD}$	–	–	V	CMOS 输入
$V_{IL}$	输入低电平电压阈值	–	–	$0.3 \times V_{DDDD}$	V	CMOS 输入
$V_{IH}^{[2]}$	LVTTL 输入电压, $V_{DDDD} < 2.7 V$	$0.7 \times V_{DDDD}$	–	–	V	
$V_{IL}$	LVTTL 输入, $V_{DDDD} < 2.7 V$	–	–	$0.3 \times V_{DDDD}$	V	
$V_{IH}^{[2]}$	LVTTL 输入, $V_{DDDD} \geq 2.7 V$	2	–	–	V	
$V_{IL}$	LVTTL 输入, $V_{DDDD} \geq 2.7 V$	–	–	0.8	V	
$V_{OH}$	CMOS 输出高电平电压	$V_{DDDD} - 0.4$	–	–	V	$I_{OH} = 4 mA$ , $V_{DDDD} = 5 V \pm 10\%$
$V_{OH}$	CMOS 输出高电平电压	$V_{DDDD} - 0.6$	–	–	V	$I_{OH} = 4 mA$ , $V_{DDDD} = 3.3 V \pm 10\%$
$V_{OH}$	CMOS 输出高电平电压	$V_{DDDD} - 0.5$	–	–	V	$I_{OH} = 1 mA$ , $V_{DDDD} = 1.8 V \pm 5\%$
$V_{OL}$	CMOS 输出低电平电压	–	–	0.4	V	$I_{OL} = 8 mA$ , $V_{DDDD} = 5 V \pm 10\%$
$V_{OL}$	CMOS 输出低电平电压	–	–	0.6	V	$I_{OL} = 8 mA$ , $V_{DDDD} = 3.3 V \pm 10\%$
$V_{OL}$	CMOS 输出低电平电压	–	–	0.6	V	$I_{OL} = 4 mA$ , $V_{DDDD} = 1.8 V \pm 5\%$
Rpullup	上拉电阻	3.5	5.6	8.5	k $\Omega$	
Rpulldown	下拉电阻	3.5	5.6	8.5	k $\Omega$	
$I_{IL}$	输入漏电流 (绝对值)	–	–	2	nA	25 °C, $V_{DDDD} = 3.0 V$
$C_{IN}$	输入电容	–	–	7	pF	
Vhysttl	LVTTL 输入迟滞电压; $V_{DDDD} > 2.7 V$	25	40	–	mV	
Vhyscmos	CMOS 输入迟滞电压	$0.05 \times V_{DDDD}$	–	–	mV	

**表 7. GPIO 的交流规范**

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
$T_{RiseFast1}$	快速模式下的上升时间。	2	–	12	ns	$V_{DDDD} = 3.3 V / 5.5 V$ , Clod = 25 pF
$T_{FallFast1}$	快速模式下的下降时间。	2	–	12	ns	$V_{DDDD} = 3.3 V / 5.5 V$ , Clod = 25 pF
$T_{RiseSlow1}$	慢速模式下的上升时间。	10	–	60	ns	$V_{DDDD} = 3.3 V / 5.5 V$ , Clod = 25 pF
$T_{FallSlow1}$	慢速模式下的下降时间。	10	–	60	ns	$V_{DDDD} = 3.3 V / 5.5 V$ , Clod = 25 pF
$T_{RiseFast2}$	快速模式下的上升时间。	2	–	20	ns	$V_{DDDD} = 1.8 V$ , Clod = 25 pF
$T_{FallFast2}$	快速模式中的下降时间。	20	–	100	ns	$V_{DDDD} = 1.8 V$ , Clod = 25 pF
$T_{RiseSlow2}$	慢速模式下的上升时间。	2	–	20	ns	$V_{DDDD} = 1.8 V$ , Clod = 25 pF
$T_{FallSlow2}$	慢速模式下的下降时间。	20	–	100	ns	$V_{DDDD} = 1.8 V$ , Clod = 25 pF

**注释:**

2.  $V_{IH}$  不能超过  $V_{DDDD} + 0.2 V$ 。

**nXRES**
**表 8. nXRES 直流规范**

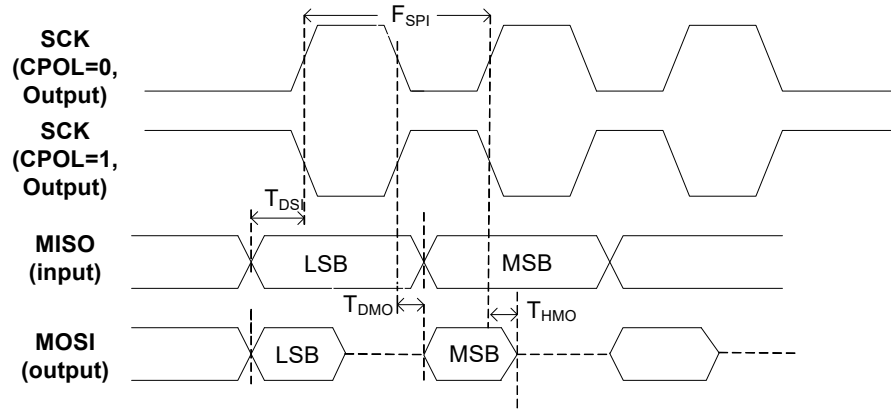
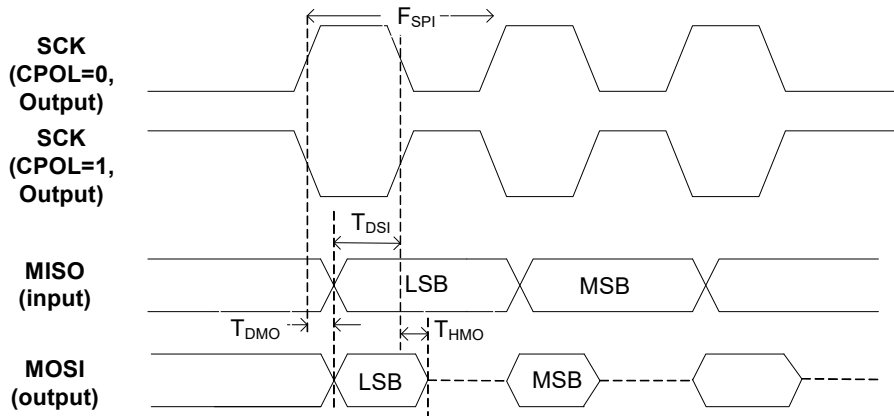
参数	描述	最小值	典型值	最大值	单位	详情 / 条件
$V_{IH}$	输入高电平阈值	$0.7 \times V_{DDD}$	–	–	V	
$V_{IL}$	输入低电平电压阈值	–	–	$0.3 \times V_{DDD}$	V	
$R_{pullup}$	上拉电阻	3.5	5.6	8.5	k $\Omega$	
$C_{IN}$	输入电容	–	5	–	pF	
$V_{hysxres}$	输入迟滞电压	–	100	–	mV	

**表 9. nXRES 交流规范**

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
$T_{resetwidth}$	复位脉冲宽度	1	–	–	$\mu$ s	

**表 10. UART 交流规范**

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
$F_{UART}$	UART 比特率	0.3	–	3000	kbps	单 SCB: TX + RX 双 SCB: TX 或 RX

**SPI 规范**
**图 1. SPI 主设备时序**

**SPI Master Timing for CPHA = 0 (Refer to Table 17)**

**SPI Master Timing for CPHA = 1 (Refer to Table 17)**

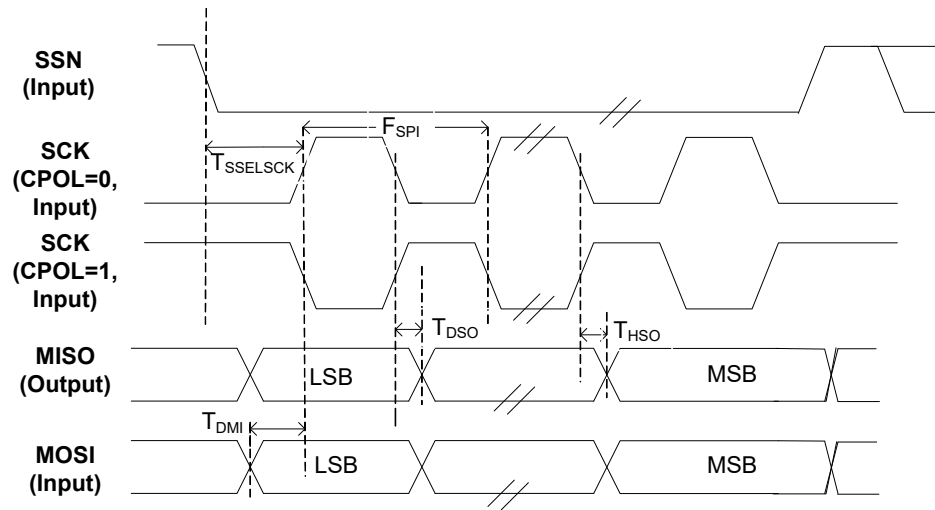
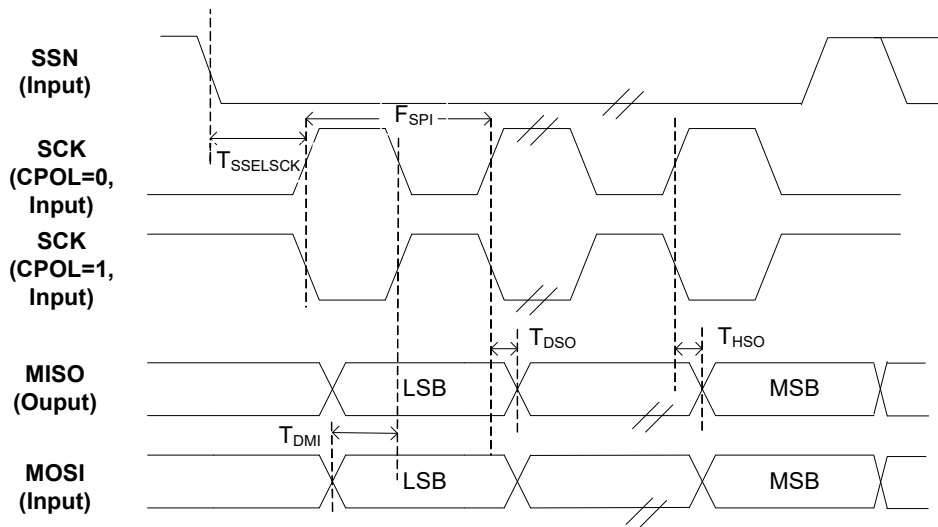
**图 2. SPI 从设备时序**

**SPI Slave Timing for CPHA = 0 (Refer to Table 17)**

**SPI Slave Timing for CPHA = 1 (Refer to Table 17)**

表 11. SPI AC 规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F <sub>SPI</sub>	SPI 工作频率 (主 / 从设备)	-	-	3	MHz	单 SCB: TX + RX 双 SCB: TX 或 RX
WL <sub>SPI</sub>	SPI 字长度	4	-	16	位	
<b>SPI 的主模式</b>						
T <sub>DMO</sub>	Sclock 驱动沿后 MOSI 有效的时间	-	-	15	ns	
T <sub>DSI</sub>	Sclock 捕获沿前 MISO 有效的时间	20	-	-	ns	
T <sub>HMO</sub>	与从设备捕获沿相应的先前 MOSI 数据保持时间	0	-	-	ns	
<b>SPI 的从设备模式</b>						
T <sub>DMI</sub>	Sclock 捕获沿前 MOSI 有效的时间	40	-	-	ns	
T <sub>DSO</sub>	Sclock 驱动沿后的 MISO 有效时间	-	-	104.4	ns	
T <sub>HSO</sub>	先前的 MISO 数据保持时间	0	-	-	ns	
T <sub>SSELSCK</sub>	从 SSEL 有效到第一个 SCK 有效沿的时间	100	-	-	ns	

## I<sup>2</sup>C 规范

表 12. I<sup>2</sup>C 交流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F <sub>I2C</sub>	I <sup>2</sup> C 频率	1	-	400	kHz	

## JTAG 规范

表 13. JTAG 交流电规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F <sub>JTAG</sub>	JTAG 工作频率 (主设备)	-	-	400	kHz	代码闪烁

## CapSense 规格

表 14. CapSense 交流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
V <sub>CSD</sub>	工作电压范围	1.71	-	5.50	V	
SNR	手指计数与噪声的比例	5	-	-	比率	传感器电容范围为 9 到 35 pF。 手指电容 ≥ 0.1 pF 灵敏度

## 闪存存储器规范

表 15. 闪存存储器规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F <sub>end</sub>	闪存擦写次数	100 K	-	-	周期	
F <sub>ret</sub>	闪存数据保持时间。T <sub>A</sub> ≤ 85 °C, 一万次擦除 / 编程周期	10	-	-	年	



## 引脚说明

引脚 <sup>[3]</sup>	类型	名称	默认设置	说明	
1	供电	VDDD	-	器件内核和接口的供电电压，其范围为 1.71 V ~ 5.5 V	
2	SCB/GPIO	SCB0_0	GPIO_8	RxD_0	GPIO/SCB0。请参见表 16 和第 17 页上的表 18
3	SCB/GPIO	SCB0_5	GPIO_9	DTR#_0	GPIO/SCB0。请参见表 16 和第 17 页上的表 18
4	供电	VSSD	-	数字接地端	
5	SCB/GPIO	SCB1_0	GPIO_10	RxD_1	GPIO/SCB1。请参见表 17 和第 17 页上的表 18
6	SCB/GPIO	SCB1_1	GPIO_11	TxD_1	GPIO/SCB1。请参见表 17 和第 17 页上的表 18
7	SCB/GPIO	SCB1_2	GPIO_12	RTS#_1	GPIO/SCB1。请参见表 17 和第 17 页上的表 18
8	SCB/GPIO	SCB1_3	GPIO_13	CTS#_1	GPIO/SCB1。请参见表 17 和第 17 页上的表 18
9	SCB/GPIO	SCB1_4	GPIO_14	DSR#_1	GPIO/SCB1。请参见表 17 和第 17 页上的表 18
10	SCB/GPIO	SCB1_5	GPIO_15	DTR#_1	GPIO/SCB1。请参见表 17 和第 17 页上的表 18
11	输出	SUSPEND	-	表示器件处于挂起模式。通过使用配置工具，可将其配置为低电平 / 高电平有效状态。	
12	输入	WAKEUP 引脚	-	该引脚会使器件从暂停模式唤醒。通过使用配置工具，可将其配置为低电平 / 高电平有效状态。	
13	GPIO	GPIO_16	三态	GPIO。请参见 第 17 页上的表 18	
14	USBIO	USBDP	-	USB 数据信号正端，集成了终端电阻和 1.5 kΩ 的上拉电阻	
15	USBIO	USBDM	-	USB 数据信号负端，集成了终端电阻。	
16	供电	VCCD	-	稳压供电，连接到 1 μF 的电容或 1.8 V 的电压	
17	供电	VSSD	-	数字接地端	
18	nXRES	nXRES	-	芯片复位，低电平有效。若不使用，必须使其保持未连接的状态，或连接一个上拉电阻。	
19	供电	VBUS	-	VBUS 供电电压，其范围为 3.15 V ~ 5.25 V	
20	供电	VSSD	-	数字接地端	
21	GPIO	GPIO_17	三态	GPIO。请参见 第 17 页上的表 18	
22	GPIO	GPIO_18	三态	GPIO。请参见 第 17 页上的表 18	
23	供电	VDDD	-	器件内核和接口的供电电压，其范围为 1.71 V ~ 5.5 V	
24	供电	VSSA	-	模拟接地端	
25	GPIO	GPIO_0	TXLED#	GPIO。请参见 第 17 页上的表 18	
26	GPIO	GPIO_1	RXLED#	GPIO。请参见 第 17 页上的表 18	
27	SCB/GPIO	SCB0_1	GPIO_2	DSR#_0	GPIO/SCB0。请参见表 16 和第 17 页上的表 18
28	SCB/GPIO	SCB0_2	GPIO_3	RTS#_0	GPIO/SCB0。请参见表 16 和第 17 页上的表 18
29	SCB/GPIO	SCB0_3	GPIO_4	CTS#_0	GPIO/SCB0。请参见表 16 和第 17 页上的表 18
30	SCB/GPIO	SCB0_4	GPIO_5	TxD_0	GPIO/SCB0。请参见表 16 和第 17 页上的表 18
31	GPIO	GPIO_6	POWER#	GPIO。请参见 第 17 页上的表 18	
32	GPIO	GPIO_7	三态	GPIO。请参见 第 17 页上的表 18	

**注释:**

- 所有配置为输入的引脚都不能设置为浮空状态

图 3. 32 引脚 QFN 引脚分布

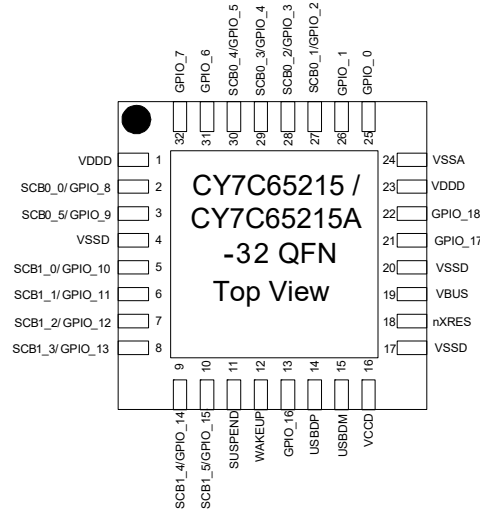


表 16. 串行通信模块（SCB0）配置

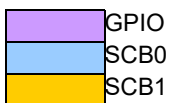
引脚	串行端口 0	模式 0*	模式 1	模式 2	模式 3	模式 4	模式 5	模式 6
		6 pin UART	4 pin UART	2 pin UART	SPI 主设备	SPI 从设备	I <sup>2</sup> C 主设备	I <sup>2</sup> C 从器件
2	SCB0_0	RxD_0	RxD_0	RxD_0	GPIO_8	GPIO_8	GPIO_8	GPIO_8
27	SCB0_1	DSR#_0	GPIO_2	GPIO_2	SSEL_OUT_0	SSEL_IN_0	GPIO_2	GPIO_2
28	SCB0_2	RTS#_0	RTS#_0	GPIO_3	MISO_IN_0	MISO_OUT_0	SCL_OUT_0	SCL_IN_0
29	SCB0_3	CTS#_0	CTS#_0	GPIO_4	MOSI_OUT_0	MOSI_IN_0	SDA_0	SDA_0
30	SCB0_4	TxD_0	TxD_0	TxD_0	SCLK_OUT_0	SCLK_IN_0	GPIO_5	GPIO_5
3	SCB0_5	DTR#_0	GPIO_9	GPIO_9	GPIO_9	GPIO_9	GPIO_9	GPIO_9

\* 注意：默认情况下，器件被配置为模式 0。可通过赛普拉斯提供的配置工具将其配置为其他模式。

表 17. 串行通信模块（SCB1）配置

引脚	串行端口 1	模式 0*	模式 1	模式 2	模式 3	模式 4	模式 5	模式 6	模式 7
		6 pin UART	4 pin UART	2 pin UART	SPI 主设备	SPI 从设备	I <sup>2</sup> C 主设备	I <sup>2</sup> C 从设备	JTAG 主设备
5	SCB1_0	RxD_1	RxD_1	RxD_1	MISO_IN_1	MISO_OUT_1	SCL_OUT_1	SCL_IN_1	TDO
6	SCB1_1	TxD_1	TxD_1	TxD_1	MOSI_OUT_1	MOSI_IN_1	SDA_1	SDA_1	TDI
7	SCB1_2	RTS#_1	RTS#_1	GPIO_12	SSEL_OUT_1	SSEL_IN_1	GPIO_12	GPIO_12	TMS
8	SCB1_3	CTS#_1	CTS#_1	GPIO_13	SCLK_OUT_1	SCLK_IN_1	GPIO_13	GPIO_13	TCK
9	SCB1_4	DSR#_1	GPIO_14	GPIO_14	GPIO_14	GPIO_14	GPIO_14	GPIO_14	TRST#
10	SCB1_5	DTR#_1	GPIO_15	GPIO_15	GPIO_15	GPIO_15	GPIO_15	GPIO_15	GPIO_15

\* 注意：默认情况下，器件被配置为模式 0。可通过由赛普拉斯供应的配置程序工具配置其他模式。



**表 18. GPIO 的配置**

GPIO 配置选项	说明
TRISTATE	I/O 是三态的
DRIVE 1	输出静态 1
DRIVE 0	静态输出 0
POWER#	该输出用于控制通过开关供给外部逻辑的电源，在 USB 的未配置状态和 USB 挂起期间，会关闭器件的电源。 0 — USB 设备处于已配置状态 1 — USB 器件处于未配置状态或处于 USB 挂起模式
TXLED#	可在 USB 传输期间驱动 LED
RXLED#	USB 接收期间，驱动 LED。
TX 或 RX LED#	可在 USB 传输或接收期间驱动 LED。
BCD0 BCD1	可配置电池充电器检测引脚，用于指出 USB 充电器的类型（SDP、CDP 还是 DCP） 配置举例： 00 — 高达 100 mA（未配置状态） 01 — SDP（高达 500 mA） 10 — CDP/DCP（高达 1.5 A） 11 — 挂起（高达 2.5 mA 的电流） 通过使用配置工具，可配置这个真值表
BUSDETECT	VBUS 检测。使用 BCD 特性时，将 VBUS 通过电阻网络连接到该引脚，可以实现 VBUS 检测功能（参见第 20 页）。
CS0、CS1、CS2、CS3、CS4、CS5、 CS6、CS7	CapSense 按键输入（最多为 8 个）
CSout0, CSout1, CSout2, CSout3	指出被按下的按键
Cmod (仅使用于 GPIO_0)	外部调制电容，通过一个大小为 2.2 nF (±10%) 的电容接地
Cshield (可选)	防水屏蔽
<b>注意：</b> 通过赛普拉斯的配置工具可以为任何可用的 GPIO 引脚配置这些信号选项。	

## USB 电源配置

以下部分描述的是 CY7C65215/CY7C65215A 可用的 USB 电源配置。有关信号的详细信息，请参考第 15 页上的引脚说明。

### USB 总线供电的配置

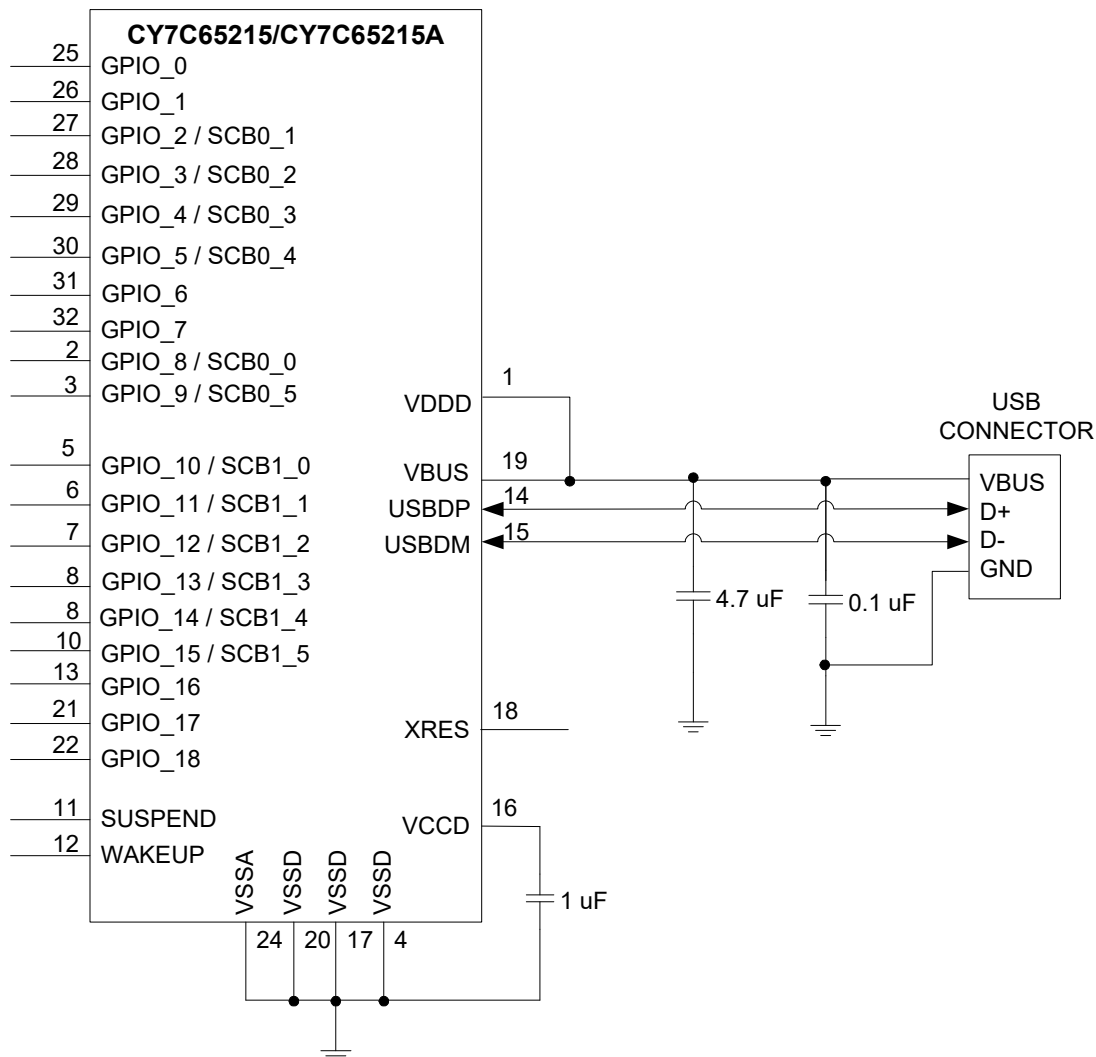
图 4 显示的是总线供电设计中 CY7C65215/CY7C65215A 的示例。由于 VBUS 有一个内部电压调节器，因此可以将它直接连接到 CY7C65215/CY7C65215A 上。

USB 总线供电系统必须遵循下面各要求：

1. 进行 USB 枚举前，输入系统的电流不能超过 100 mA（未配置状态）。
2. 在 USB 挂起模式下，系统不应输入超过 2.5 mA 的电流。
3. 高功耗的总线供电系统（运行期间的消耗电流超过 100 mA）必须使用通过 GPIO 配置的 POWER#，以确保所消耗的电流低于 100 mA（进行 USB 枚举前）或低于 2.5 mA（处于 USB 挂起状态期间）。
4. 从 USB 主机输入系统的电流不能超过 500 mA。

需要使用配置工具更新 CY7C65215/CY7C65215A 闪存中的配置描述符，以指示总线供电模式和系统消耗的最大电流。

图 4. 总线供电配置



**自供电配置**

图5显示的是自供电设计中CY7C65215/CY7C65215A的一个示例。

在该配置中：

- VBUS 由 USB VBUS 供电。VBUS 引脚还用于检测 USB 连接。
- VDDD 由一个外部电源供电。

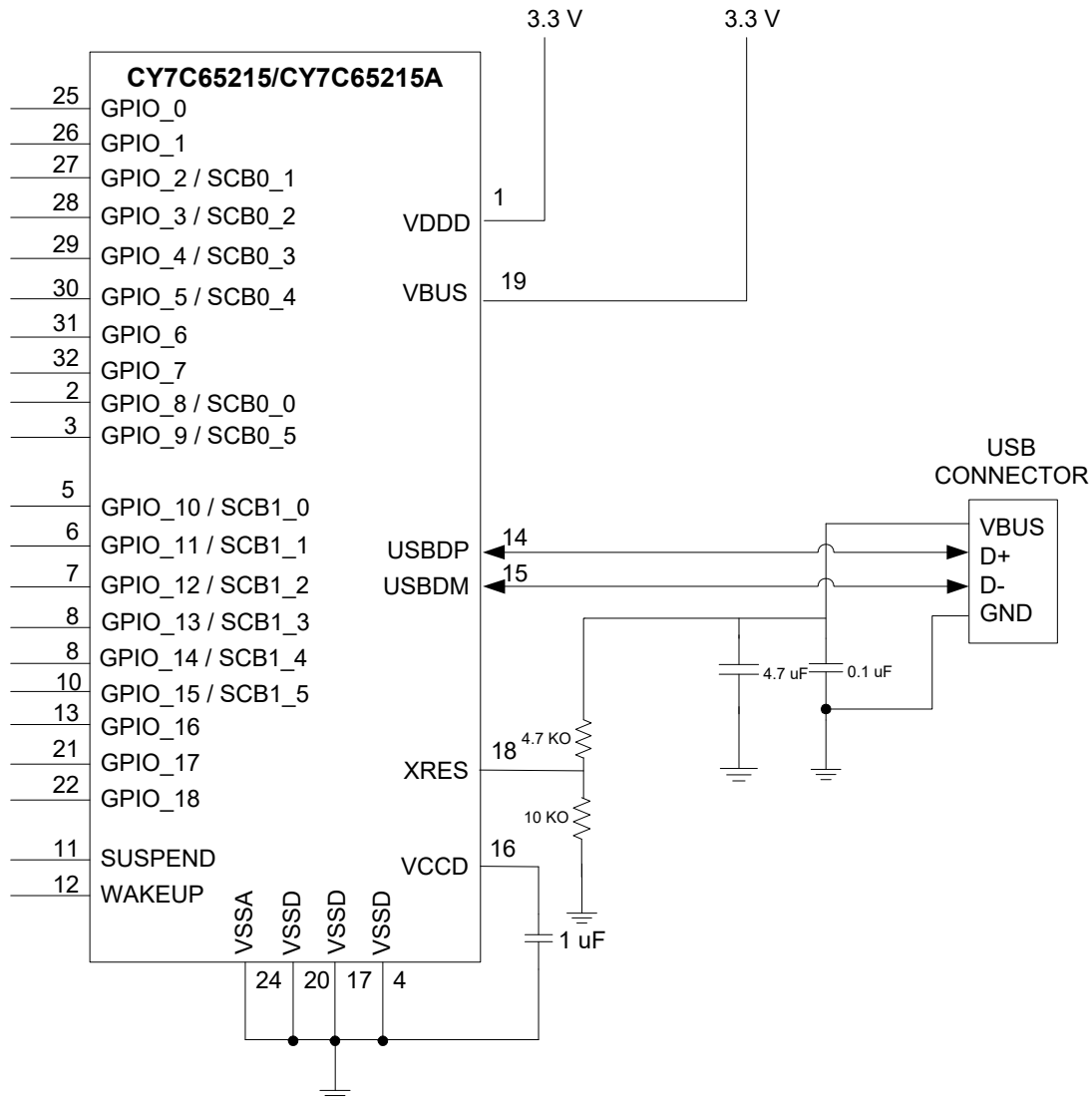
当 VBUS 存在时，CY7C65215/CY7C65215A 将使能 USBDP 上大小为 1.5 kΩ 的内部上拉电阻。当 VBUS 不存在（USB 主机被

断电）时，CY7C65215/CY7C65215A 将移除 USBDP 上大小为 1.5 kΩ 的上拉电阻。这样可以阻止 1.5 kΩ 上拉电阻中从 USBDP 流向 USB 主机的电流，从而符合 USB 2.0 规范。

当复位 CY7C65215 时，所有的 I/O 引脚都处于三态。

需要使用配置工具更新CY7C65215/CY7C65215A闪存中的配置描述符，从而指示它的自供电配置。

图 5. 自供电配置

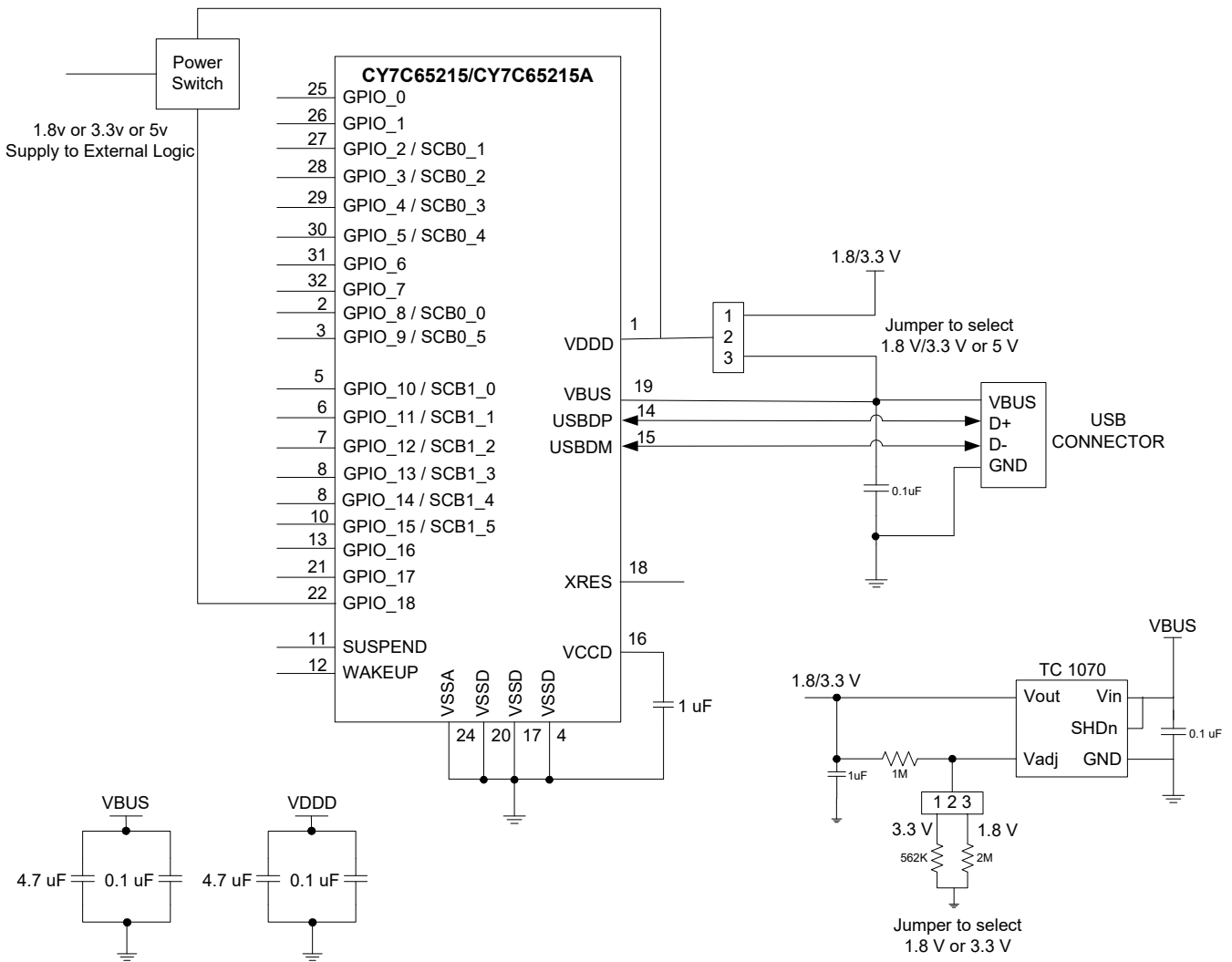


**带可变 I/O 电压的 USB 总线供电**

图 6 显示的是 I/O 电压可变的总线供电系统中 CY7C65215/CY7C65215A 的情况。使用来自 VBUS 的 5 V 低压差 (LDO) 电压调节器提供 1.8 V 或 3.3 V 的电压。通过使用一个跳线器开关选用 1.8 V 还是 3.3 V。使用另一个跳线器开关选择 1.8/3.3 V 或选择来自 VBUS 的 5 V 电压，并将其用于 CY7C65215/CY7C65215A 的 VDDD 引脚。这样，可以选择将 I/O 电压和外部逻辑的电源设置为 1.8 V、3.3 V 或 5 V。USB 总线供电系统必须满足下面各条件：

- 进行 USB 枚举前（未配置状态），系统消耗的电 流不能超过 100 mA。
- 在 USB 挂起模式下，系统不应输入超过 2.5mA 的电 流。
- 高功耗的总线供电系统（在运行期间能够输入超过 100 mA 的电 流）必须使用（通过 GPIO 配置的）POWER#，从而确保：进行 USB 枚举前电流消耗低于 100 mA；在 USB 挂起状态期 间电流消耗低于 2.5 mA。

图 6. 带有 1.8 V、3.3 V 或 5 V I/O 电压选项的 USB 总线供电 [4]



**注释：**

4.  $1.71\text{ V} \leq \text{VDDD} \leq 1.89\text{ V}$  — 将 VCCD 引脚与 VDDD 引脚短接； $\text{VDDD} > 2\text{ V}$  — 通过一个  $1\text{ }\mu\text{F}$  的去耦电容连接到 VCCD 引脚上。



## 应用示例

下面内容介绍了 CY7C65215/CY7C65215A 应用示例。

### 具有电池充电器检测功能的 USB 至双 UART 桥接器

CY7C65215/CY7C65215A 通过使用 USB 可以将任何带有串行端口的嵌入式系统连接到主机 PC 上。  
CY7C65215/CY7C65215A 被主机 PC 枚举为双 COM 端口。

将 SUSPEND 连接至 MCU，以指示 USB 挂起还是 USB 未配置。WAKEUP 引脚用于唤醒 CY7C65215/CY7C65215A，进而远程唤醒 USB 主机。分别将 GPIO1 和 GPIO0 配置为 RXLED# 和 TXLED#，以驱动两个指示接收和发送数据的 LED。

CY7C65215/CY7C65215A 根据 USB Battery Charging

Specification Rev 1.2 执行电池充电检测功能。

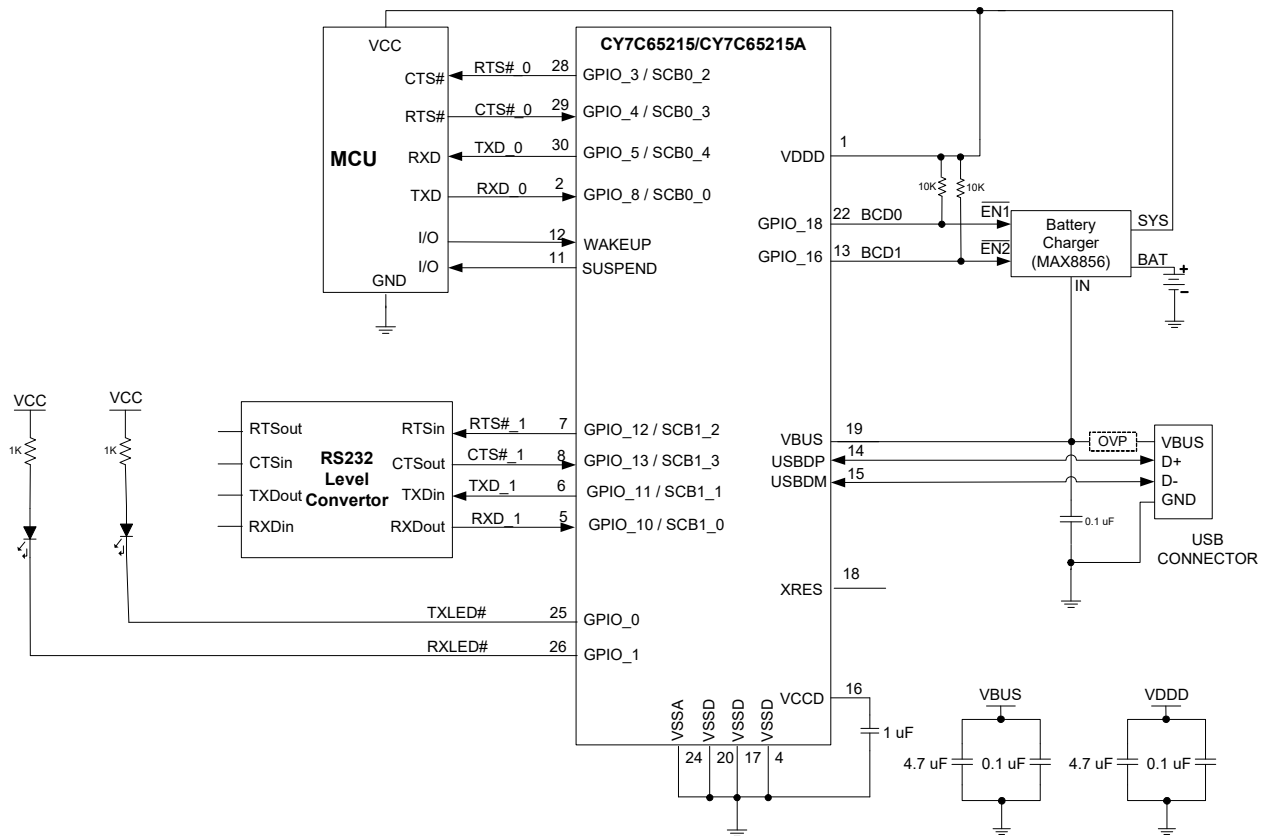
电池运行的总线供电系统必须满足以下条件：

- 如果没有连接 VBUS 或断电，可以使用电池（若未被放电）给系统供电，并且该系统能够正常运行。
- 进行 USB 枚举前或在 USB 挂起模式中，系统不能从 VBUS 输入超过 100 mA 的电流。
- 系统消耗的电流不能超过 500 mA（对于 SDP）或 1.5 A（对于 CDP/DCP）

为了满足第一个要求，来自 USB 主机的 VBUS 同时被连接到电池充电器和 CY7C65215/CY7C65215A，如图 7 所示。与 VBUS 相连时，CY7C65215/CY7C65215A 开始检测电池充电器，并通过 BCD0 和 BCD1 指出 USB 充电器的类型。如果 USB 充电器是 SDP 或 CDP，CY7C65215/CY7C65215A 将使能 USBDP 上大小为 1.5 KΩ 的上拉电阻，用于执行 USB 全速枚举。断开 VBUS 连接时，CY7C65215/CY7C65215A 将通过 BCD0 和 BCD1 指示没有检测到 USB 充电器，并禁用 USBDP 上 1.5 KΩ 的上拉电阻。按照 USB 2.0 规范，移除该电阻可确保 USBDP 上从电源到 USB 主机的电流将得到阻止。

为了满足第二个和第三个要求，要通过 GPIO 配置两个信号（BCD0 和 BCD1），用于指示 USB 主机充电器的类型，以及每种 USB 主机充电器能够从电池充电器吸收的电流。可以使用配置工具配置 BCD0 和 BCD1 信号。

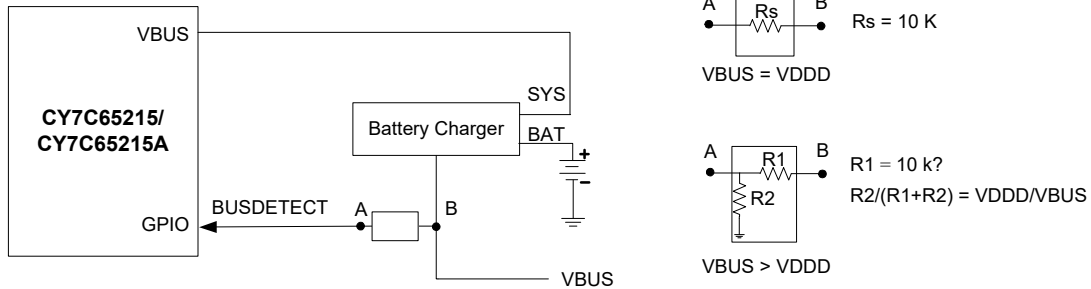
图 7. 具有电池充电检测功能的 USB 至双 UART 桥接器<sup>[5]</sup>



**注释：**

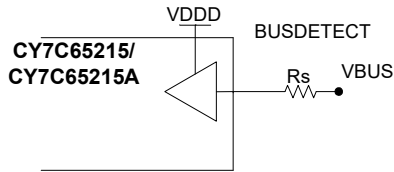
5. 在 V<sub>BUS</sub> 引脚上添加一个 100 KΩ 的下拉电阻，以便加快放电。

电池充电器系统中允许 VBUS 上存在 9 V 的毛刺。在 CY7C65215/CY7C65215A 的 VBUS 引脚上不能使用超过 6 V 的电压。如果 VBUS 线上没有过压保护 (OVP)，那么请使用电阻网络将 VBUS 连接到 (GPIO 所配置的) BUSDETECT 上，并将电池充电器的输出连接到 CY7C65215/CY7C65215A 的 VBUS 引脚上，如下图所示。



当 VBUS 和 VDDD 具有相同的电压电位时，可以使用串联电阻 ( $R_s$ ) 将 VBUS 连接到 GPIO 上，如图 8 所示。如果发生充电器故障，并且 VBUS 达到 9 V，那么 10 k $\Omega$  的电阻将有两个作用。它可以降低 GPIO 中输入正向偏置电极的电流，同时减少焊盘上所显示的电压。

图 8. VBUS = VDDD 时 GPIO 对 VBUS 的检测



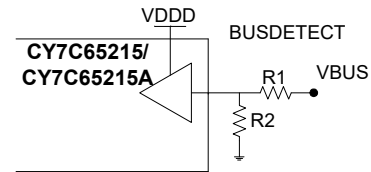
当  $VBUS > VDDD$  时，需要通过一个电阻电压分频器将 VBUS 的电压降至 VDDD，这样 GPIO 能够感应 VBUS 电压。如下图所示。电阻值大小要满足下面的条件：

$$R_1 \geq 10 \text{ K}$$

$$R_2 / (R_1 + R_2) = V_{DDD} / V_{BUS}$$

为了防止发生充电器故障（如前一段所述），第一个条件用于限制电压和电流。第二个条件允许正常进行 VBUS 检测。

图 9. GPIO VBUS 检测，VBUS > VDDD



### USB 至 RS485 应用

可以将 CY7C65215 配置为 USB-UART 接口。该 UART 接口在 TTL 电平上工作。通过使用一个 GPIO 和任意一个半双工 RS485 收发 IC（用于将 TTL 电平转换为 RS485 电平），可将其转换为 RS485 接口，如下图所示。该 GPIO（TXD 使能）根据 CY7C65215A 的 UART 缓冲器的可用特性使能或禁止 RS485 收

发器 IC。可以使用赛普拉斯 USB-Serial 配置工具来配置该 GPIO。图 11 显示的是它的时序图。

RS485 是一个多点网络，即：多个器件可以通过一个双线电缆连接互相进行通信。RS485 线缆两端需要各有一个终端电阻。通过提供的多个链接，器件被物理放置在线缆的某一端时可终止该线缆。

图 10. USB 到 RS485 桥

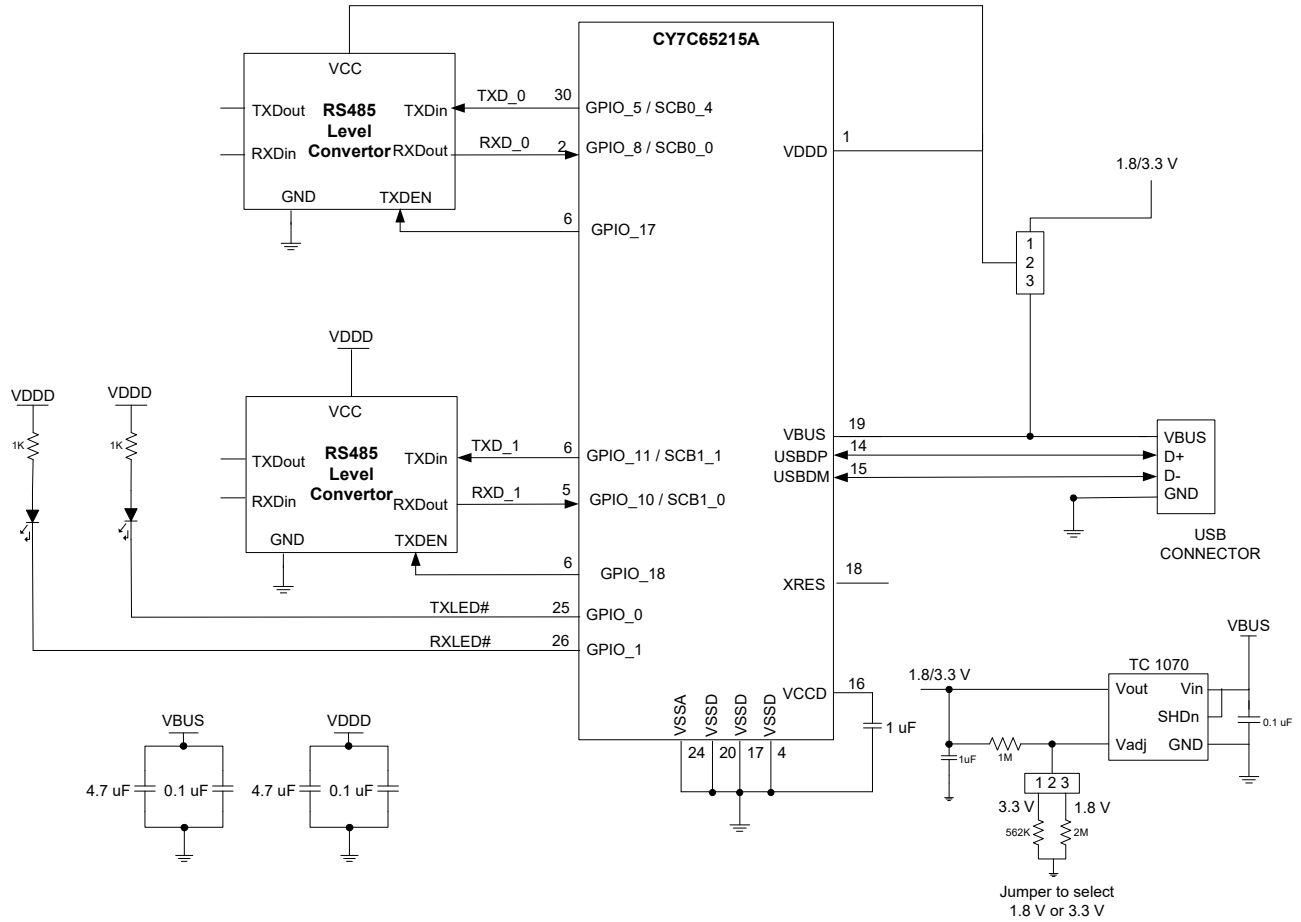
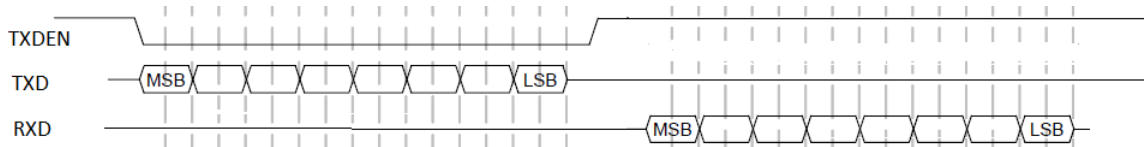


图 11. RS485 GPIO (TXDEN) 时序框图



### CapSense

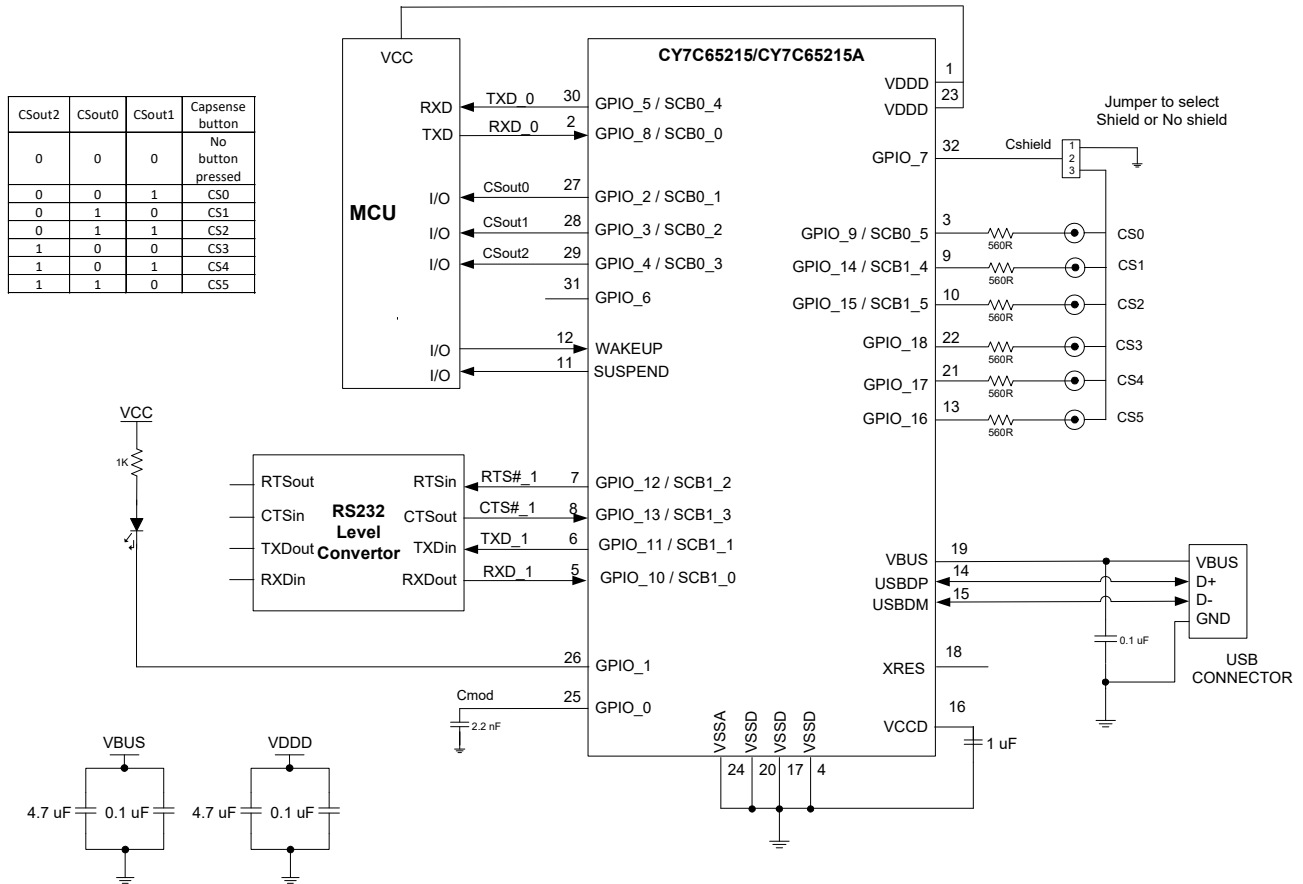
图 12 CY7C65215/CY7C65215A 的配置支持四个 CapSense 按键。配置三个 GPIO (CSout0、CSout1 以及 CSout2) 以指示哪个 CapSense 按键被按下。它也实现了 SCB0 上的双引脚 UART 和 SCB1 上的 4 引脚 UART。

为了正常实现 CapSense 功能，必须在 GPIO\_0 引脚上连接一个大小为 2.2 nF (10%) 的电容 (Cmod)。可以选择是否将 GPIO\_7 引脚配置为 Cshield，并将其连接到 CapSense 的屏蔽

(Watershield 跳线器的引脚 2)，如图 12 所示。屏蔽可以防止由水滴引起的按键错误触发，并保证 CapSense 正常操作 (传感器对手指触摸发生响应)。

有关 CapSense 的更多详细信息，请参考 CapSense 入门手册中的内容。

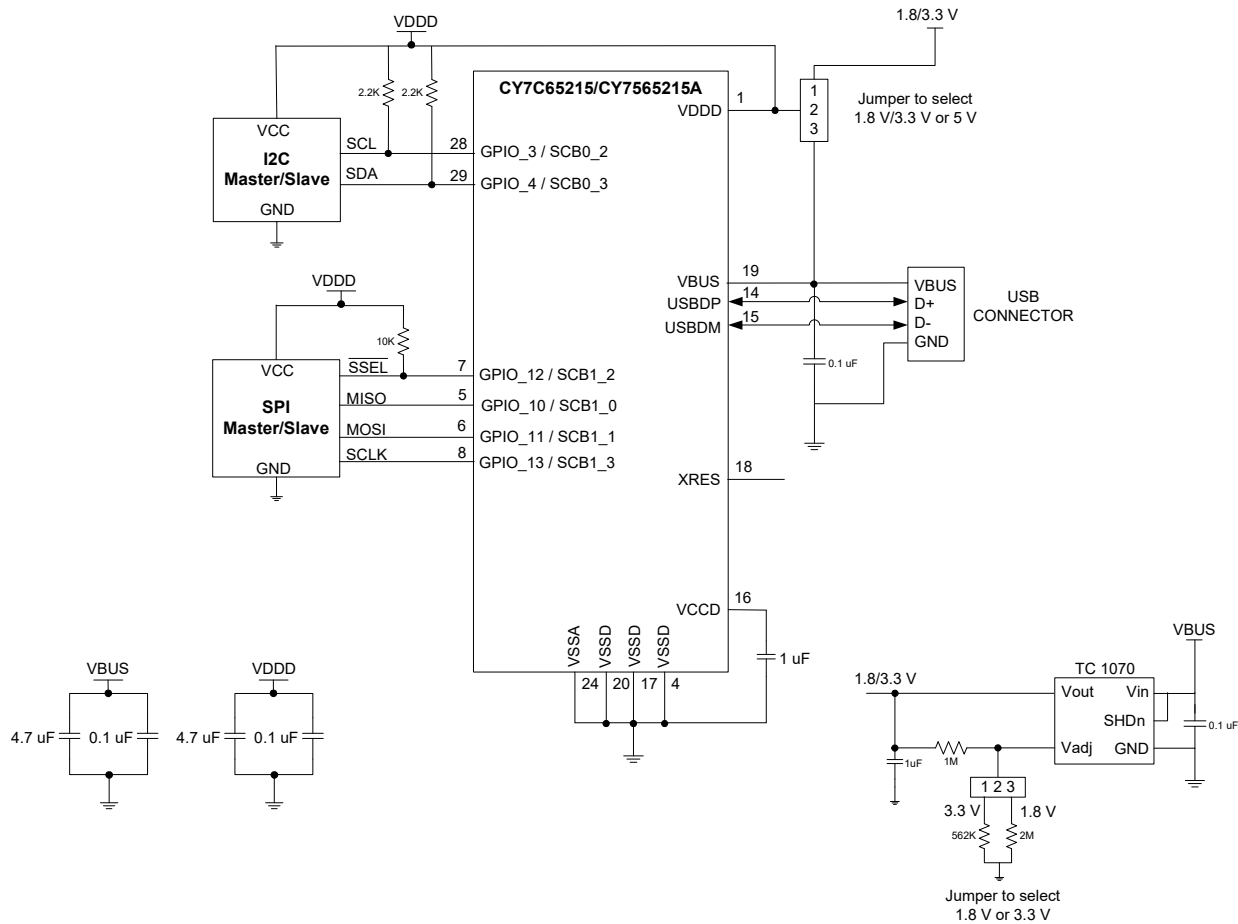
图 12. CapSense 原理图



## USB 转双通道 (I<sup>2</sup>C/SPI) 桥接器

在图 13 中，CY7C65215/CY7C65215A 被配置为 USB 转双通道 (I<sup>2</sup>C/SPI) 桥接器。分别将 GPIO1 和 GPIO0 配置为 RXLED# 和 TXLED#，以便驱动两个 LED，用于指示接收和发送数据。

图 13. USB 到 I<sup>2</sup>C/SPI 的桥接



### I<sup>2</sup>C

通过使用配置工具，可以将 CY7C65215/CY7C65215A 配置为一个主设备或从设备。CY7C65215/CY7C65215A 所支持的 I<sup>2</sup>C 数据速率高达 100 kbps（标准模式 (SM)）以及 400 kbps（快速模式 (FM)）。

在主模式下，SCL 从 CY7C65215/CY7C65215A 输出。而在从设备模式下，SCL 将输入到 CY7C65215/CY7C65215A。使用配置工具可配置 CY7C65215/CY7C65215A 的 I<sup>2</sup>C 从设备地址。在主设备模式和从设备模式下，SDA 数据线路是双向的。SCL 和 SDA 端口引脚一直使用开漏驱动模式。

请参考 NXP I<sup>2</sup>C 规范，了解更多有关协议的详细信息。

### SPI

通过使用配置工具，可以将 CY7C65215/CY7C65215A 配置为一个主设备或从设备。CY7C65215/CY7C65215A 所支持的 SPI 频率可达 3 MHz（主设备模式）或 1 MHz（从设备模式）。通过使用配置工具可以配置数据的传输大小，其有效范围为 4 位到 16 位。

在主设备模式下，SCLK、MOSI 和 SSEL 线路作为输出，MISO 作为输入。在从设备模式下，SCL、SCLK、MOSI 和 SSEL 线路作为输入，MISO 作为输出。

CY7C65215/CY7C65215A 支持三种 SPI 协议版本：

- **Motorola** — 这是原始的 SPI 协议。
- **Texas Instruments** — 这是原始 SPI 协议的一种变体，其中数据帧由 SSEL 线上的脉冲确定。
- **National Semiconductors** — 是原始 SPI 协议的一个半双工变体。

**Motorola**

原始 SPI 协议由 Motorola 定义。它是全双工协议：同时进行发送和接收数据。

一个全双工数据传输的步骤如下：首先，主设备通过将 SSEL 线驱动为 ‘0’ 来选择相应的从设备。然后，驱动 MOSI 线上的数据和 SCLK 线上的时钟。从设备按照传输时钟沿来采样 MOSI 线上的数据，然后将该数据驱动到 MISO 线上。主设备会捕获 MISO 线上的数据。对数据传输过程中的所有位重复上述步骤。

进行多个数据传输时，在每个传输之间不需要将 SSEL 线路从 ‘0’ 变为 ‘1’，然后又从 ‘1’ 变回 ‘0’。因此，从设备必须持续跟踪数据传输过程，才能区分各个单独传输。

未传输数据时，SSEL 线路为 ‘1’，SCLK 通常处于关闭状态。

Motorola SPI 协议具有四种模式，用于确定如何在 MOSI 和 MISO 线路上分别输出并采样数据。这些模式由时钟极性 (CPOL) 和时钟相位 (CPHA) 决定。时钟极性决定了 SCLK 线路在未传输数据时的值：

■ CPOL 为 ‘0’：未传输数据时，SCLK 为 ‘0’。

■ CPOL 为 ‘1’：未传输数据时，SCLK 为 ‘1’

时钟相位决定输出并捕捉数据的时间。其取决于 CPOL 的值：

表 19. SPI 协议模式

模式	CPOL	CPHA	说明
0	0	0	在 SCLK 的下降沿上输出数据。在 SCLK 的上升沿上捕获数据。
1	0	1	在 SCLK 的上升沿上输出数据。在 SCLK 的下降沿上捕获数据。
2	1	0	在 SCLK 的上升沿上输出数据。在 SCLK 的下降沿上捕获数据。
3	1	1	在 SCLK 的下降沿上输出数据。在 SCLK 的上升沿上捕获数据。

图 14. 基于 CPOL 和 CPHA 对 MOSI/MISO 进行数据输出和采样

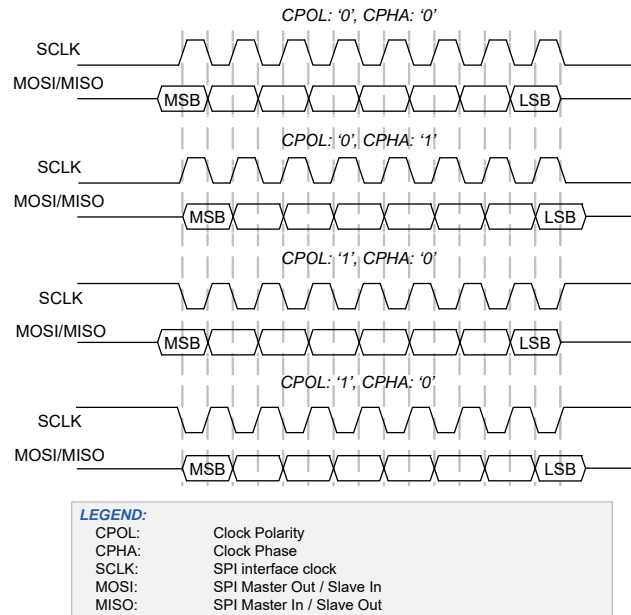
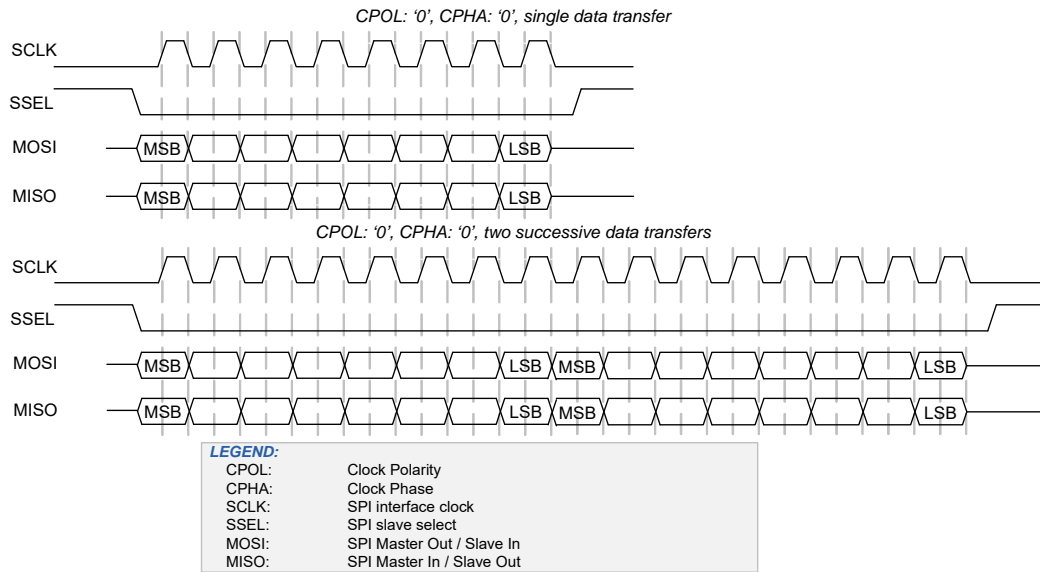




图 15. 模式 0 (即 CPOL 为 '0' , CPHA 为 '0' ) 下的一个 8 位的单数据传输和两个连续的 8 位数据传输。

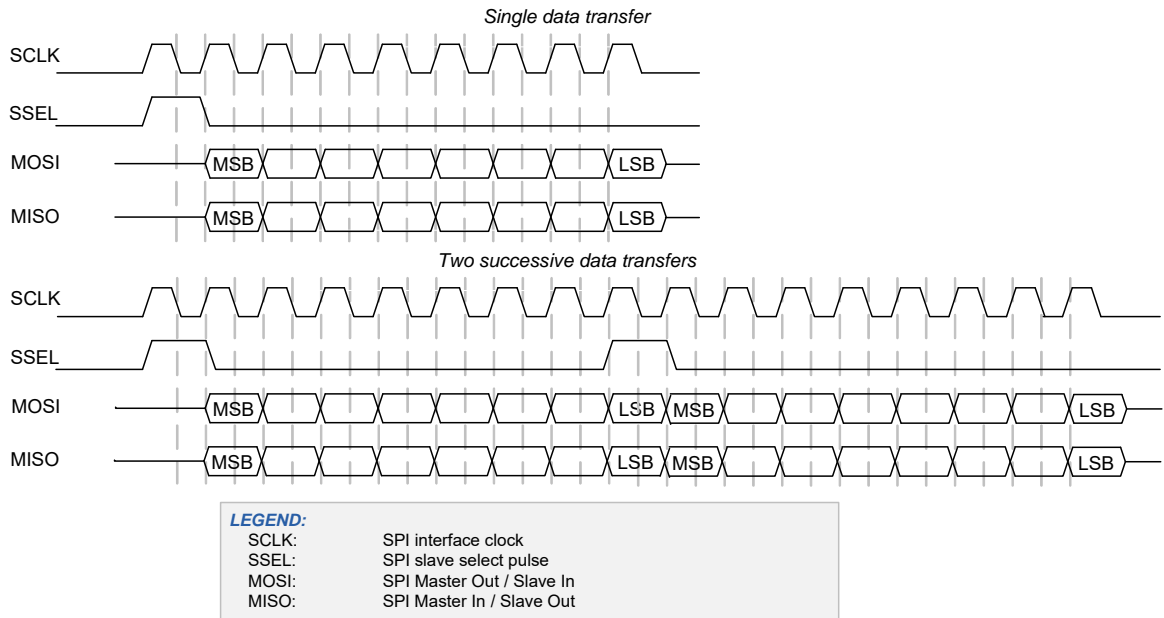


**Texas Instruments**

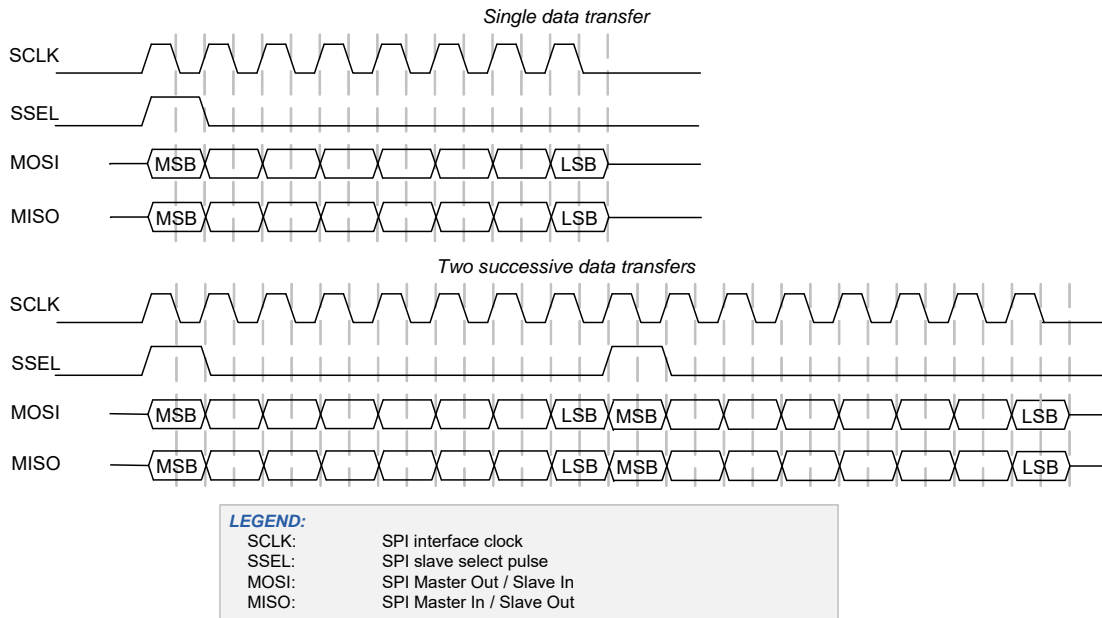
Texas Instruments SPI 协议重新定义了 SSEL 信号的用途。它使用该信号来指示开始传输数据，而不使用低电平有效的从设备选择信号。单位传输周期中的高电平有效脉冲指示开始进行传输。该脉冲可以与第一数据位传输同时发生，或提前一个周期发生。传输时钟 SCLK 是自由运行的时钟。

TI SPI 协议只支持模式 1 (CPOL 为 '0' 和 CPHA 为 '1')：在 SCLK 的上升沿上输出数据，并在 SCLK 的下降沿上采样数据。

下图描述的是一个 8 位数据传输和两个连续的 8 位数据传输。SSEL 脉冲优先于第一个数据位传输。请注意，第二个数据传输的 SSEL 脉冲与第一个数据传输中的最后数据位是同步传输的。



下图描述的是一个 8 位数据传输和两个连续的 8 位数据传输。SSEL 脉冲与第一的数据位同步传输。



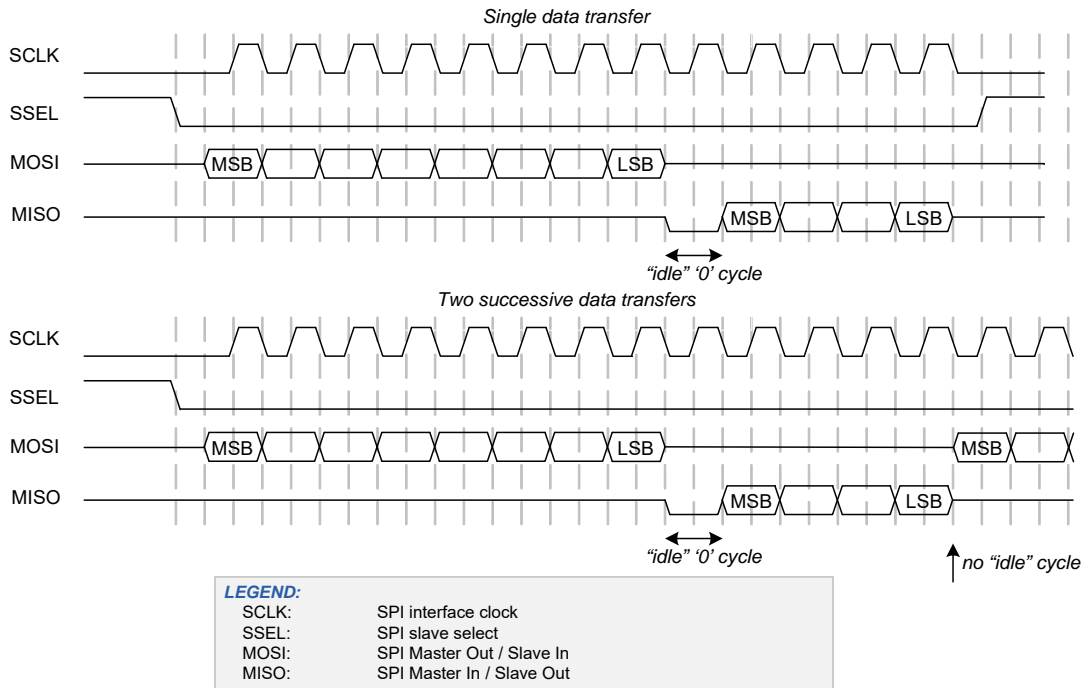
**National Semiconductors**

National Semiconductors SPI 协议是半双工的。发送和接收交替进行，并非同时进行（传输发生在接收之前）。单个“空闲”位传输周期中，发送和接收分开进行。

**注意：**在“空闲”位传输周期中，连续的数据传输将不再分开进行。

发送数据的大小可能与接收数据的大小不同。National Semiconductors SPI 协议仅支持模式 0：数据在 SCLK 的下降沿上输出，并在 SCLK 的上升沿上被捕获。

下图描述了单个数据传输和两个连续的数据传输。在这两种情况下，发送数据的大小均为 8 位，接收数据的大小均为 4 位。



当这些线路被视为空闲状态时（不携带有效信息），上图定义的是 MISO 和 MOSI 未定义状态。在空闲状态期间，它将传出线值驱动为‘0’，以便满足特定的主设备（NXP LPC17xx）和特定的从设备（MicroChip EEPROM）的要求。

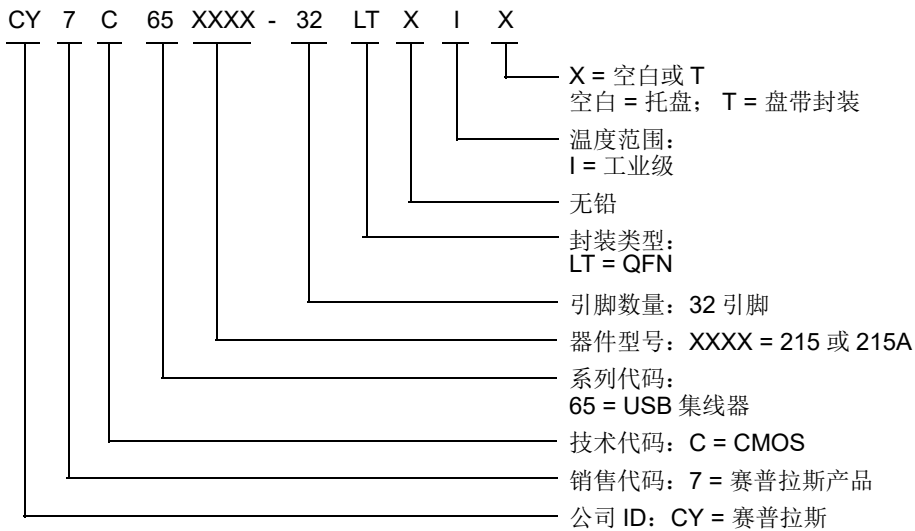
## 订购信息

表 20 列出了 CY7C65215/CY7C65215A 的关键封装特性和订购代码。更多详细信息，请联系当地销售代表。

表 20. 关键特性和订购信息

封装	订购代码	工作范围
32-QFN (5 × 5 × 1 mm, 间距为 0.5 mm) (无铅)	CY7C65215-32LTXI	工业级
32-QFN (5 × 5 × 1 mm, 间距为 0.5 mm) — 盘带封装	CY7C65215-32LTXIT	工业级
32-QFN (5 × 5 × 1 mm, 间距为 0.5 mm) (无铅)	CY7C65215A-32LTXI	工业级
32-QFN (5 × 5 × 1 mm, 间距为 0.5 mm) — 盘带封装	CY7C65215A-32LTXIT	工业级

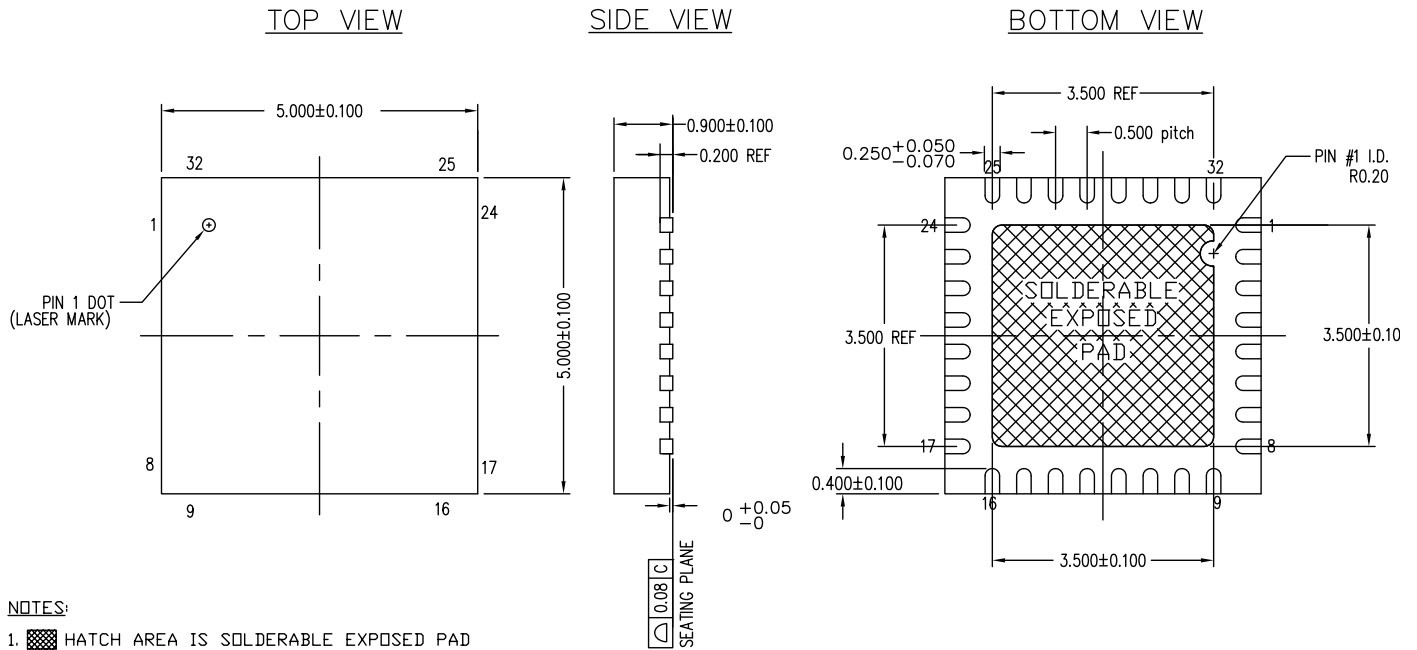
## 订购代码定义




## 封装信息

当前计划支持的是 32 引脚的 QFN 封装。

**图 16. 32 引脚 QFN 5 × 5 × 1.0 mm LT32B 3.5 × 3.5 EPAD (Sawn)**



**NOTES:**

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-220
3. DIMENSIONS ARE IN MILLIMETERS
4. PACKAGE WEIGHT: SEE CYPRESS PACKAGE MATERIAL DECLARATION DATASHEET (PMDD) POSTED ON THE CYPRESS WEB

001-30999 \*D

**表 21. 封装特性**

参数	描述	最小值	典型值	最大值	单位
$T_A$	工作环境温度	-40	25	85	°C
THJ	封装 $\theta_{JA}$	-	19	-	°C/W

**表 22. 回流焊峰值温度**

封装	最高峰值温度	峰值温度持续的最长时间
32 引脚 QFN	260 °C	30 秒

**表 23. 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2**

封装	MSL
32-QFN	MSL 3

## 缩略语

表 24. 本文档中使用的缩略语

缩略语	说明
BCD	电池充电器检测
CDC	通信驱动类型
CDP	充电下行端口
DCP	专用充电端口
DLL	动态的链接库
ESD	静电放电
GPIO	通用输入 / 输出
HBM	人体放电模式
I <sup>2</sup> C	内部集成电路
MCU	微控制器单元
OSC	振荡器
PHDC	个人医疗设备类
PID	产品标识
SCB	串行通信模块
SCL	I <sup>2</sup> C 串行时钟
SDA	I <sup>2</sup> C 串行数据
SDP	标准下行端口
SIE	串行接口引擎
SPI	串行外设接口
VCOM	虚拟通信端口
USB	通用串行总线
UART	通用异步发射器接收器
VID	供应商标识

## 文档规范

### 测量单位

表 25. 测量单位

符号	测量单位
°C	摄氏度
DMIPS	每秒百万条 Dhrystone 指令
kΩ	千欧
KB	千字节
kHz	千赫兹
kV	千伏特
Mbps	每秒兆比特
MHz	兆赫兹
mm	毫米
V	伏特

## 勘误表

本节对 CY7C65215/CY7C65215AUSB 串行系列的 errata 进行了介绍。errata 中包括勘误触发条件、影响范围、可用解决方案。若有任何问题，请联系您本地赛普拉斯销售代表。

### 受影响的器件型号

器件型号	器件特性
CY7C65215	所有形式
CY7C65215A	所有形式

### 合格状态

量产

### 勘误表总结

下表定义了可用 USB 串行器件系列的 errata 适用性。

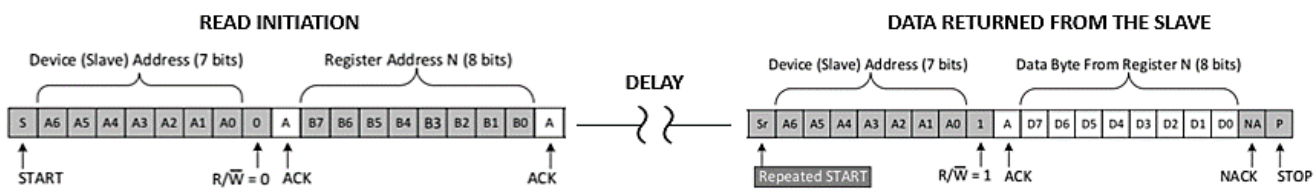
内容	受影响的器件型号	修正状态
[1] 测量到的 I2C 主设备时钟 (SCL) 频率与配置的时钟频率不同。	CY7C65215	已在 CY7C65215A 中处理
[2] SPI 通信期间 (数据速率为 3 Mbps) 数据丢失。	CY7C65215	已在 CY7C65215A 中处理
[3] USB 串行作为 I2C 主设备将读取一个额外的数据字节，而不是 USB 主机请求的数据。	CY7C65215	已在 CY7C65215A 中处理
[4] SCB1 上的 JTAG 不能与 SCB0 上的 I2C/SPI/UART 同时工作。	CY7C65215 CY7C65215A	未处理
[5] USB 串行被配置为 I2C 主设备时，I2C 读取速度将更慢。	CY7C65215 CY7C65215A	已提供解决方案
[6] USB 串行不报告 UART 帧错误。	CY7C65215 CY7C65215A	未处理
[7] USB 串行不报告 MARK 或 SPACE 奇偶校验错误。	CY7C65215 CY7C65215A	未处理

1. 测量到的 I <sup>2</sup> C 主设备时钟 (SCL) 频率与配置的时钟频率不同。	
问题定义	测量到的 I <sup>2</sup> C 时钟频率比配置的 SCL 频率小 20%
受影响的参数	NA
触发条件	NA
影响范围	I <sup>2</sup> C 的读写操作速率将低于其配置速率
解决方案	没有解决方案
修正状态	已在 CY7C65215A 中处理

2. SPI 通信期间 (数据速率为 3 Mbps) 数据丢失。	
问题定义	使用数据转换速率为 3 Mbps 的 SPI 模式时，将观察到数据丢失。
受影响的参数	NA
触发条件	SPI 通信期间，3 Mbps 的数据速率将触发数据丢失
影响范围	SPI 期间，在速率为 3 Mbps 时观察到数据丢失
解决方案	没有解决方案
修正状态	已在 CY7C65215A 中处理

<b>3. USB 串行作为 I<sup>2</sup>C 主设备将读取一个额外的数据字节，而不是 USB 主机请求的数据。</b>	
问题定义	配置为 I <sup>2</sup> C 主设备的 USB 串行将读取一个额外的数据字节，而不是 I <sup>2</sup> C 从设备请求的数据。但是，只有请求的字节数量返回到 USB 主机
受影响的参数	NA
触发条件	无特定触发条件。每次读取 I <sup>2</sup> C 时，主设备将从从设备读取额外的数据字节。
影响范围	I <sup>2</sup> C 从设备可能会进入不可恢复状态，并无限期地保持 SCL 线，最终导致数据丢失
解决方案	没有解决方案
修正状态	已在 CY7C65215A 中处理

<b>4. SCB1 上的 JTAG 不能与 SCB0 上的 I<sup>2</sup>C/SPI/UART 同时工作。</b>	
问题定义	当 SCB1 配置为 JTAG 运行时，SCB0 停止工作
受影响的参数	NA
触发条件	SCB1 上的 TAG 与 SCB0 上的 I <sup>2</sup> C/SPI/UART 同时工作将导致 SCB0 的工作停止
影响范围	不能在 SCB0 上同时使用 JTAG 和 I <sup>2</sup> C/SPI/UART。如果在 SCB0 上不同时使用 JTAG 和 I <sup>2</sup> C/SPI/UART，则不产生任何功能影响。
解决方案	没有解决方案
修正状态	没有修正方案可用

<b>5. USB 串行被配置为 I<sup>2</sup>C 主设备时，I<sup>2</sup>C 读取速度将更慢。</b>	
问题定义	配置为 I <sup>2</sup> C 主设备的 USB 串行所执行的 I <sup>2</sup> C 读取速度将更慢。这是因为 I <sup>2</sup> C 读取启动和 I <sup>2</sup> C 从设备接收数据之间存在明显的延迟。
	
受影响的参数	NA
触发条件	无特定触发条件。在主设备初始的每个 I <sup>2</sup> C 读取和从设备接收数据之间观察到延迟
影响范围	主设备进行的 I <sup>2</sup> C 读取速度将更慢。
解决方案	<a href="#">KBA227320</a> 介绍了降低这种延迟所需采取的各步骤。
修正状态	未处理提供了解决方案。



<b>6. USB 串行不报告 UART 帧错误。</b>	
问题定义	当停止位数被置为 1 时，USB 串行在接收 UART 数据时不报告 UART 帧错误。
受影响的参数	NA
触发条件	停止位数为 1 时，USB 串行将无法报告 UART 帧错误。停止位数不为 1 时，USB 串行才报告错误。
影响范围	不产生影响
解决方案	无法解决。通常，使用 UART 的应用程序必须在数据中包含校验和或 CRC，以确保帧的完整性。
修正状态	未处理

<b>7. USB 串行不报告 MARK 或 SPACE 奇偶校验错误。</b>	
问题定义	接收用于配置 MARK or SPACE 奇偶校验时，USB 串行将不报告 UART 奇偶校验错误。
受影响的参数	NA
触发条件	接收用于配置 MARK or SPACE 奇偶校验时，USB 串行将无法报告 UART 奇偶校验错误。请注意，当配置了 ODD 或 EVEN 奇偶校验设置时，USB 串行将检测奇偶校验错误。
影响范围	不产生影响
解决方案	无法解决。通常，使用 UART 的应用程序必须在数据中包含校验和或 CRC，以确保帧的完整性。
修正状态	未处理

## 文档修订记录

文档标题: CY7C65215/CY7C65215A, 带有 CapSense® 和 BCD 的双通道串行 USB (UART/I <sup>2</sup> C/SPI) 桥接器				
文档编号: 001-88949				
版本	ECN	变更者	提交日期	变更说明
**	4106153	KKCN	08/27/2013	本档版本号为 Rev. **, 译自英文版 001-81006 Rev. *E。
*A	5473122	WEIZ	10/14/2016	本档版本号为 Rev. *A, 译自英文版 001-81006 Rev. *J。
*B	5974166	HSIN	11/22/2017	本档版本号为 Rev. *B, 译自英文版 001-81006 Rev. *K。
*C	6375898	HSIN	11/05/2018	本档版本号为 Rev. *C, 译自英文版 001-81006 Rev. *L。
*D	6687102	WEIZ	10/07/2019	本档版本号为 Rev. *D, 译自英文版 001-81006 Rev. *M。

## 销售、解决方案和法律信息

### 全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

### 产品

Arm® Cortex® 微控制器	<a href="http://cypress.com/arm">cypress.com/arm</a>
汽车级	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
接口	<a href="http://cypress.com/interface">cypress.com/interface</a>
物联网	<a href="http://cypress.com/iot">cypress.com/iot</a>
存储器	<a href="http://cypress.com/memory">cypress.com/memory</a>
微控制器	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
电源管理 IC	<a href="http://cypress.com/pmhc">cypress.com/pmhc</a>
触摸感应	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB 控制器	<a href="http://cypress.com/usb">cypress.com/usb</a>
无线连接	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### 赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

### 技术支持

[cypress.com/support](http://cypress.com/support)

© 赛普拉斯半导体公司，2012-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

**在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。**没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSOC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 [cypress.com](http://cypress.com) 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。