

特長

- 72M ビットの容量 (4M×18、2M×36)
- 2132MT/s の総合ランダム トランザクション レート^[1]
- 最大動作周波数 (1066MHz)
- 8.0 クロック サイクルの読み出しレイテンシ、5.0 クロック サイクルの書き込みレイテンシ
- 8 バンクアーキテクチャでは、サイクル毎にバンクあたりに1回のアクセスが可能
- 2ワードバーストのアクセス
- 独立した2つの双方向データポート
 - ダブルデータレート (DDR) データポート
 - 両ポートで同時読み出し/書き込み処理をサポート
- 両データポートを制御するシングルアドレスポート
 - DD アドレス信号方式
- シングルデータレート (SDR) 制御信号方式
- 高速トランシーバロジック (HSTL) およびスタブ直列終端ロジック (SSTL) と互換性がある信号方式 (JESD8-16A 準拠)
 - I/O_{DDQ}=1.2V±50mV または 1.25V±50mV
- 疑似オープンドレイン (POD) 信号方式 (JESD8-24 準拠)
 - I/O_{VDDQ}=1.1V±50mV または 1.2V±50mV
- コア電圧
 - V_{DD}=1.3V±40mV
- オンダイ終端 (ODT)
 - クロック、アドレス/コマンド、データ入力をプログラム可能
- ZQ ピンを使った出カインピーダンス内部自己校正
- スイッチングノイズと消費電力を減少させるバス反転
 - アドレスとデータバスで機能のオン/オフをプログラム可能
- アドレスバスパリティエラー保護
- ビット毎のデスクュートレーニングシーケンス
- ソフトエラーレート (SER) を低減するためのエラー訂正コード (ECC) を内蔵
- JTAG 1149.1 テストアクセスポート (JESD8-26 準拠)
 - 1.3V LVCMOS 信号方式

セレクションガイド

項目	QDR-IV		単位
	2132 (MT/s)	1866 (MT/s)	
最大動作周波数	1066	933	MHz
最大動作電流	×18	4100	mA
	×36	4500	

注

1. RTR (ランダムトランザクションレート) は、メモリで実行できる完全なランダムメモリアクセス (読み出しまたは書き込み) の回数として定義されます。RTRの単位は百万トランザクション/秒 (MT/s) です。

- 361 ボール FCBGA 無鉛パッケージ (21×21mm) で出荷

構成

CY7C4022KV13 – 4M×18

CY7C4042KV13 – 2M×36

機能の詳細

QDR-IV XP (Xtreme Performance) SRAM は、2 個の互いに独立した双方向データポートを使用して1秒当たりのランダムなトランザクション回数を最大限にするように最適化された高性能メモリデバイスです。

これらのポートは DDR インターフェースを備えており、それぞれポート A、ポート B と名付けられます。両データポートへのアクセスは同時ですが、互いに独立して行われます。各ポートへのアクセスは、DDR で動作するコモンアドレスバスを介して行われます。制御信号は SDR で動作し、読み出し動作と書き込み動作のどちらを行うか決めます。

差動クロックが3種類あります：

- アドレスとコマンドクロック用の (CK、CK#)
- データ入力クロック用の (DKA、DKA#、DKB、DKB#)
- データ出力クロック用の (QKA、QKA#、QKB、QKB#)

ポート A のアドレスは入力クロック (CK) の立ち上がりエッジでラッチされ、ポート B のアドレスは入力クロック (CK) の立ち下がりがエッジでラッチされます。

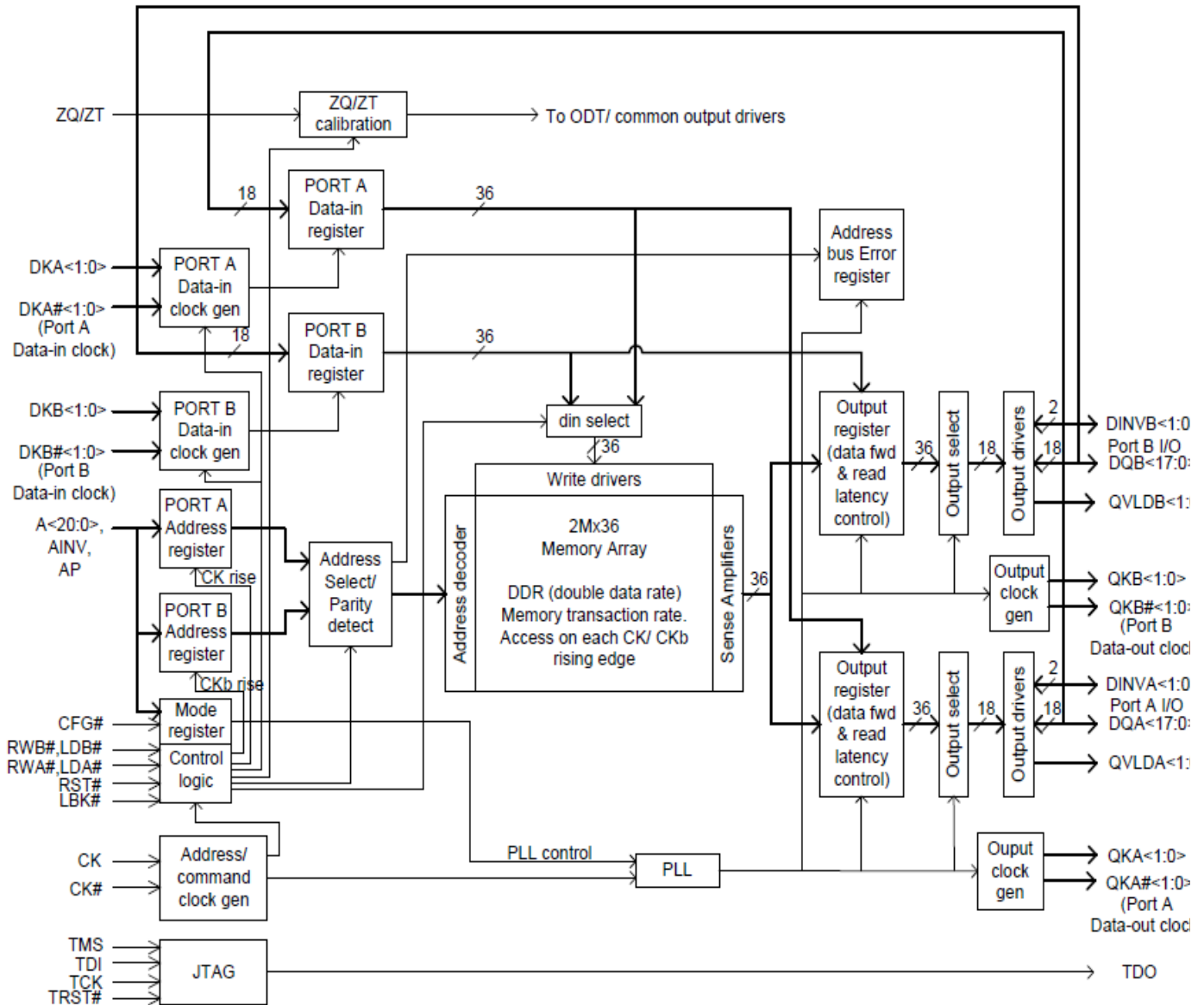
QDR-IV XP SRAM は内部で8個のバンクに区分されています。各バンクにはクロックサイクル毎に1回しかアクセスできないため、SRAM は高い周波数で動作することができます。

QDR-IV XP SRAM デバイスは2ワードバーストオプションで提供されており、×18 および ×36 バス幅の構成で使用可能です。

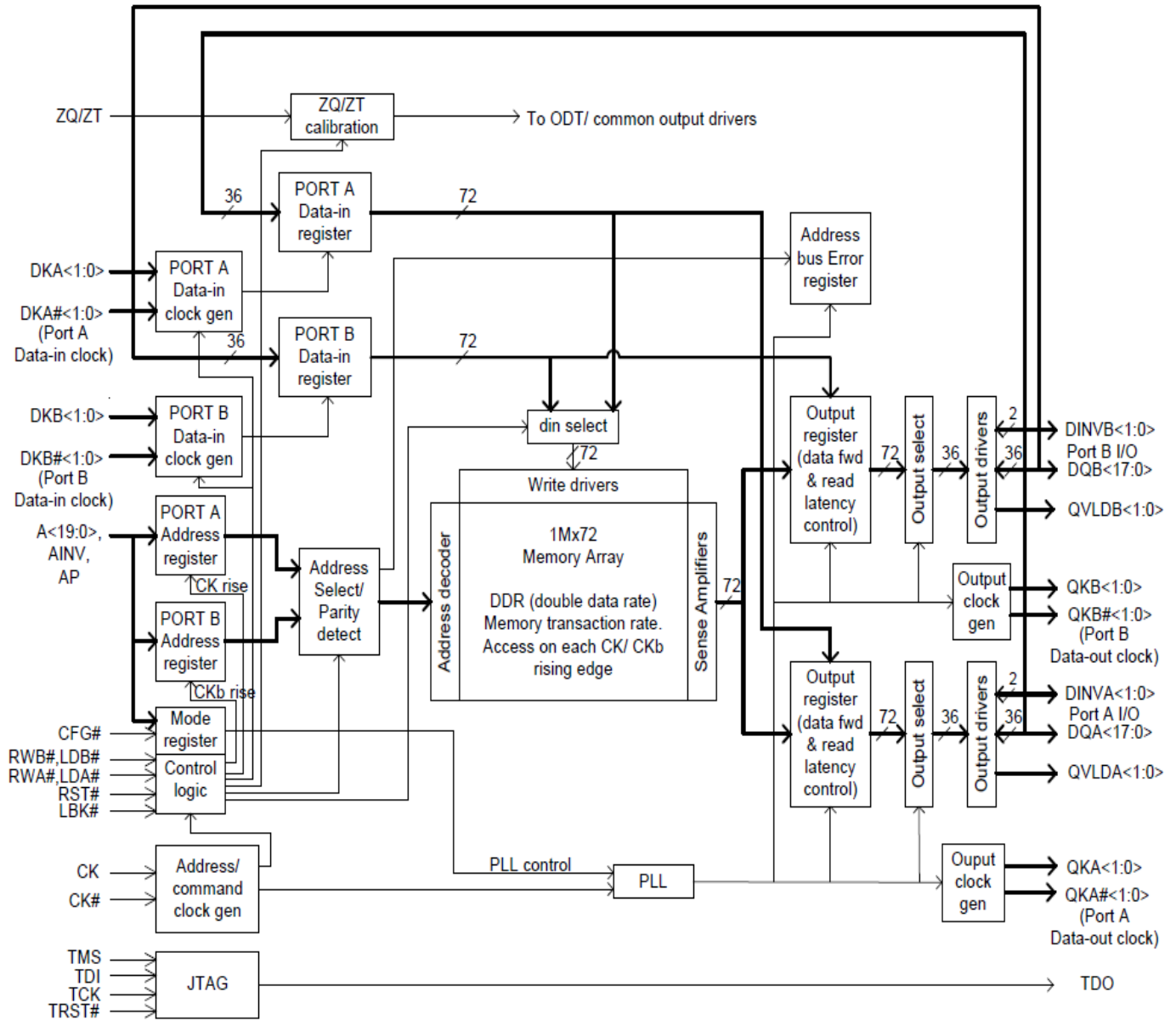
×18 バス幅構成には、22 アドレスビットがあり、×36 バス幅構成では、21 アドレスビットがあります。

内蔵 ECC 回路は、宇宙線やアルファ粒子などソフトエラーイベントに起因したものを含む全ての1ビットメモリエラーを検出して、訂正します。結果として、これらのデバイスの SER は 0.01FIT/Mb より小さくなり、前世代の SRAM より4桁改善されました。

ブロック図 - CY7C4022KV13



ブロック図 - CY7C4042KV13



目次

ピン配置	5	TAP タイミング図	25
ピンの機能	7	ID レジスタの定義	26
機能の概要	9	スキャン レジスタ サイズ	26
クロック	9	命令コード	26
コマンド サイクル	9	バウンダリ スキャン順序	27
読み出しと書き込みデータ サイクル	9	最大定格	30
バンク動作	9	動作範囲	30
アドレスおよびデータ バス反転	9	中性子ソフト エラー耐性	30
アドレスパリティ	10	電気的特性	30
ポート イネーブル	10	静電容量	32
オンダイ終端 (ODT) 動作	10	熱抵抗	32
JTAG 動作	10	AC テストの負荷と波形	32
電源投入とリセット	10	スイッチング特性	33
動作モード	11	スイッチング波形	35
デスクュー トレーニング シーケンス	12	注文情報	42
入出力の信号規格	12	注文コードの定義	42
初期化	13	パッケージの外形図	43
コンフィギュレーション レジスタ	14	略語	44
コンフィギュレーション レジスタの説明	15	本書の表記法	44
コンフィギュレーション レジスタの定義	15	測定単位	44
I/O 形式およびポート イネーブルビットの定義	17	改訂履歴	45
ODT 終端ビットの定義	18	セールス、ソリューションおよび法律情報	46
駆動能力ビットの定義	19	ワールドワイドな販売と設計サポート	46
IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)	20	製品	46
テスト アクセス ポート	20	PSoC [®] ソリューション	46
TAP レジスタ	20	サイプレス開発者コミュニティ	46
TAP 命令セット	20	テクニカル サポート	46
TAP コントローラ状態遷移図	22		
TAP コントローラのブロック図	23		
TAP 電気的特性	24		
TAP AC スwitching特性	24		

ピン配置

図 1. 361 ボール FCBGA ピン配置

CY7C4022KV13 (4M×18)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
A	VSS	VDDQ	VSS	DQA 5	VDDQ	DQA 7	VSS	DQA 8	VSS	LBK0#	VSS	DQA 17	VSS	DQA 16	VDDQ	DQA 14	VSS	VDDQ	VSS
B	VDD	DNU	VDDQ	VSS	DNU	VDDQ	DQA 1	VDDQ	VDD	LBK1#	VDD	VDDQ	DQA 10	VDDQ	DNU	VSS	VDDQ	DNU	VDD
C	VSS	VDDQ	Qvld A0	QKA0	VSS	DQA 2	VDDQ	DQA 0	VSS	VDDQ	VSS	DQA 9	VDDQ	DQA 11	VSS	QKA1	Qvld A1	VDDQ	VSS
D	VDD	VSS	QKA0#	VDDQ	DQA 3	VSS	DQA 4	DINV A0	VDD	CFG#	VDD	DINV A1	DQA 13	VSS	DQA 12	VDDQ	QKA1#	VSS	VDD
E	VSS	DNU	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DNU	VSS
F	VDDQ	VSS	DKA0#	DKA0	DQA 6	VSS	VDDQ	A13	VDD	A0	VDD	A14	VDDQ	VSS	DQA 15	DKA1	DKA1#	VSS	VDDQ
G	VSS	DNU	VSS	DNU	VDDQ	VDD	A3	VSS	A21 144M	A1	A22 288M	VSS	A4	VDD	VDDQ	DNU	VSS	DNU	VSS
H	VDD	VSS	DNU	VSS	DNU	VSS	VSS	LDA#	VDDQ	RWA#	VDDQ	LDB#	VSS	VSS	DNU	VSS	DNU	VSS	VDD
J	VSS	DNU	VDDQ	DNU	VSS	VDD	A5	VSS	A19 36M	CK	A20 72M	VSS	A6	VDD	VSS	DNU	VDDQ	DNU	VSS
K	TDI	TRST#	TCK	VSS	VDD	VSS	VDD	VREF	VDDQ	CK#	VDDQ	VREF	VDD	VSS	VDD	VSS	TMS	RST#	TDO
L	VSS	DNU	VDDQ	DNU	VSS	VDD	A7	VDD	A17	RWB#	A18 18M	VDD	A8	VDD	VSS	DNU	VDDQ	DNU	VSS
M	VDD	VSS	DNU	VSS	DNU	VSS	VSS	A11	VDDQ	AINV	VDDQ	A12	VSS	VSS	DNU	VSS	DNU	VSS	VDD
N	VSS	DNU	VSS	DNU	VDDQ	VDD	A9	VSS	A23 576M	A2	A24 1152M	VSS	A10	VDD	VDDQ	DNU	VSS	DNU	VSS
P	VDDQ	VSS	DKB0#	DKB0	DQB 6	VSS	VDDQ	A15	VDD	AP	VDD	A16	VDDQ	VSS	DQB 15	DKB1	DKB1#	VSS	VDDQ
R	VSS	DNU	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DNU	VSS
T	VDD	VSS	QKB0#	VDDQ	DQB 3	VSS	DQB 4	DINV B0	VDD	DNU	VDD	DINV B1	DQB 13	VSS	DQB 12	VDDQ	QKB1#	VSS	VDD
U	VSS	VDDQ	Qvld B0	QKB0	VSS	DQB 2	VDDQ	DQB 0	VSS	VDDQ	VSS	DQB 9	VDDQ	DQB 11	VSS	QKB1	Qvld B1	VDDQ	VSS
V	VDD	DNU	VDDQ	VSS	DNU	VDDQ	DQB 1	VDDQ	VDD	PE#	VDD	VDDQ	DQB 10	VDDQ	DNU	VSS	VDDQ	DNU	VDD
W	VSS	VDDQ	VSS	DQB 5	VDDQ	DQB 7	VSS	DQB 8	VSS	ZQ/ZT	VSS	DQB 17	VSS	DQB 16	VDDQ	DQB 14	VSS	VDDQ	VSS

ピン配置 (続き)

図 2. 361 ボール FCBGA ピン配置

CY7C4042KV13 (2M×36)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
A	VSS	VDDQ	VSS	DQA 5	VDDQ	DQA 7	VSS	DQA 8	VSS	LBK0#	VSS	DQA 26	VSS	DQA 25	VDDQ	DQA 23	VSS	VDDQ	VSS
B	VDD	DQA 13	VDDQ	VSS	DQA 17	VDDQ	DQA 1	VDDQ	VDD	LBK1#	VDD	VDDQ	DQA 19	VDDQ	DQA 35	VSS	VDDQ	DQA 31	VDD
C	VSS	VDDQ	Qvld A0	QKA0	VSS	DQA 2	VDDQ	DQA 0	VSS	VDDQ	VSS	DQA 18	VDDQ	DQA 20	VSS	QKA1	Qvld A1	VDDQ	VSS
D	VDD	VSS	QKA0#	VDDQ	DQA 3	VSS	DQA 4	DINV A0	VDD	CFG#	VDD	DINV A1	DQA 22	VSS	DQA 21	VDDQ	QKA1#	VSS	VDD
E	VSS	DQA 14	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DQA 32	VSS
F	VDDQ	VSS	DKA0#	DKA0	DQA 6	VSS	VDDQ	A13	VDD	A0	VDD	A14	VDDQ	VSS	DQA 24	DKA1	DKA1#	VSS	VDDQ
G	VSS	DQA 15	VSS	DQA 16	VDDQ	VDD	A3	VSS	A21 288M	A1	A22 576M	VSS	A4	VDD	VDDQ	DQA 34	VSS	DQA 33	VSS
H	VDD	VSS	DQA 9	VSS	DQA 10	VSS	VSS	LDA#	VDDQ	RWA#	VDDQ	LDB#	VSS	VSS	DQA 28	VSS	DQA 27	VSS	VDD
J	VSS	DQA 11	VDDQ	DQA 12	VSS	VDD	A5	VSS	A19 72M	CK	A20 144M	VSS	A6	VDD	VSS	DQA 30	VDDQ	DQA 29	VSS
K	TDI	TRST#	TCK	VSS	VDD	VSS	VDD	VREF	VDDQ	CK#	VDDQ	VREF	VDD	VSS	VDD	VSS	TMS	RST#	TDO
L	VSS	DQB 11	VDDQ	DQB 12	VSS	VDD	A7	VDD	A17	RWB#	A18 36M	VDD	A8	VDD	VSS	DQB 30	VDDQ	DQB 29	VSS
M	VDD	VSS	DQB 9	VSS	DQB 10	VSS	VSS	A11	VDDQ	AINV	VDDQ	A12	VSS	VSS	DQB 28	VSS	DQB 27	VSS	VDD
N	VSS	DQB 15	VSS	DQB 16	VDDQ	VDD	A9	VSS	A23 1152M	A2	A24 2304M	VSS	A10	VDD	VDDQ	DQB 34	VSS	DQB 33	VSS
P	VDDQ	VSS	DKB0#	DKB0	DQB 6	VSS	VDDQ	A15	VDD	AP	VDD	A16	VDDQ	VSS	DQB 24	DKB1	DKB1#	VSS	VDDQ
R	VSS	DQB 14	VDDQ	VREF	VSS	VDDQ	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDQ	VSS	VREF	VDDQ	DQB 32	VSS
T	VDD	VSS	QKB0#	VDDQ	DQB 3	VSS	DQB 4	DINV B0	VDD	DNU	VDD	DINV B1	DQB 22	VSS	DQB 21	VDDQ	QKB1#	VSS	VDD
U	VSS	VDDQ	Qvld B0	QKB0	VSS	DQB 2	VDDQ	DQB 0	VSS	VDDQ	VSS	DQB 18	VDDQ	DQB 20	VSS	QKB1	Qvld B1	VDDQ	VSS
V	VDD	DQB 13	VDDQ	VSS	DQB 17	VDDQ	DQB 1	VDDQ	VDD	PE#	VDD	VDDQ	DQB 19	VDDQ	DQB 35	VSS	VDDQ	DQB 31	VDD
W	VSS	VDDQ	VSS	DQB 5	VDDQ	DQB 7	VSS	DQB 8	VSS	ZQ/ZT	VSS	DQB 26	VSS	DQB 25	VDDQ	DQB 23	VSS	VDDQ	VSS

ピンの機能

名称	I/O	説明
CK、CK#	入力クロック	アドレス/コマンド入力クロック。 CK および CK# は差動クロック入力です。制御およびアドレス入力信号は CK の立ち上がりエッジと立ち下りエッジの両方でサンプリングされます。CK の立ち上がりエッジではポート A 用に制御およびアドレス入力をサンプリングし、CK の立ち下りエッジではポート B 用に制御およびアドレス入力をサンプリングします。CK# は CK と 180 度位相がずれています。
A[x:0]	入力	アドレス入力。 読み出し、書き込み動作中に CK、CK# クロックの立ち上がりエッジでサンプリングされます。このアドレス入力は両ポートの読み出し、書き込み動作に使用されます。3 本の下位アドレスピン (A0、A1、A2) でアクセスするバンクを選択します。このアドレスピンはバンクアドレスピンとしても知られています。 (×36) データ幅の場合、アドレス入力 A[19:0] が使用され、A[24:20] は予備です。 (×18) データ幅の場合、アドレス入力 A[20:0] が使用され、A[24:21] は予備です。 予備のアドレス入力は無接続であり、ハイレベルかローレベルに固定されるかフローティング状態にされます。
AP	入力	アドレスパリティ入力。 偶数パリティをアドレスピンに提供するのに使用されます。 (×36) データ幅の場合、AP は、アドレス入力 A[20:0] に対応します。 (×18) データ幅の場合、AP はアドレス入力 A[21:0] に対応します。
PE#	出力	アドレスパリティエラーフラグ。 アドレスパリティエラーが検出された時に、ローレベルにアサートされます。アサートされると、コンフィギュレーションレジスタのコマンドによりクリアされるまで、PE# がローレベルのままになります。
AINV	入力	アドレスとアドレスパリティ入力用のアドレス反転ピン。 (×36) データ幅の場合、AINV はアドレス入力 A[20:0] とアドレスパリティ入力 (AP) に対応します。 (×18) データ幅の場合、AINV はアドレス入力 A[21:0] とアドレスパリティ入力 (AP) に対応します。
DKA[1:0]、 DKA#[1:0]、 DKB[1:0]、 DKB#[1:0]	入力	データ入力クロック。 DKA[0]/DKA#[0] は、×36 データ幅構成の場合は DQA[17:0] 入力、×18 データ幅構成の場合は QA[8:0] 入力を制御します。 DKA[1]/DKA#[1] は、×36 データ幅構成の場合は DQA[35:18] 入力、×18 データ幅構成の場合は DQA[17:9] 入力を制御します。 DKB[0]/DKB#[0] は、×36 データ幅構成の場合は DQB[17:0] 入力、×18 データ幅構成の場合は DQB[8:0] 入力を制御します。 DKB[1]/DKB#[1] は、×36 データ幅構成の場合は DQB[35:18] 入力、×18 データ幅構成の場合は DQB[17:9] 入力を制御します。
QKA[1:0]、 QKA#[1:0]、 QKB[1:0]、 QKB#[1:0]	出力	データ出力クロック。 QKA[0]/QKA#[0] は、×36 データ幅構成の場合は DQA[17:0] 出力、×18 データ幅構成の場合は DQA[8:0] 出力を制御します。 QKA[1]/QKA#[1] は、×36 データ幅構成の場合は DQA[35:18] 出力、×18 データ幅構成の場合は DQA[17:9] 出力を制御します。 QKB[0]/QKB#[0] は、×36 データ幅構成の場合は DQB[17:0] 出力、×18 データ幅構成の場合は DQB[8:0] 出力を制御します。 QKB[1]/QKB#[1] は、×36 データ幅構成の場合は DQB[35:18] 出力、×18 データ幅構成の場合は DQB[17:9] 出力を制御します。
DQA[x:0]、 DQB[x:0]	入力/出力	データ入出力。 双方向データバス。 (×36) データ幅 —DQA _[35:0] ; DQB _[35:0] (×18) データ幅 —DQA _[17:0] ; DQB _[17:0]

ピンの機能 (続き)

名称	I/O	説明
DINVA[1:0]、 DINVB[1:0]	入力/出力	DQ データバスのデータ反転ピン。 DINVA[0] は、x36 データ幅構成の場合は DQA[17:0] に対応し、x18 データ幅構成の場合は DQA[8:0] に対応します。 DINVA[1] は、x36 データ幅構成の場合は DQA[35:18] に対応し、x18 データ幅構成の場合は DQA[17:9] に対応します。 DINVB[0] は、x36 データ幅構成の場合は DQB[17:0] に対応し、x18 データ幅構成の場合は DQB[8:0] に対応します。 DINVB[1] は、x36 データ幅構成の場合は DQB[35:18] に対応し、x18 データ幅構成の場合は DQB[17:9] に対応します。
LDA#、 LDB#	入力	同期ロード入力。 LDA# は CK クロックの立ち上がりエッジで、LDB# は立ち下がりエッジでサンプリングされます。LDA# はデータポート A 用のコマンド、LDB# はデータポート B 用のコマンドを有効にします。LDx# は、LDx# がローレベルの時にコマンドを有効にし、LDx# がハイレベルの時にコマンドを無効にします。コマンドが無効の時、新たなコマンドは無視されますが内部動作は継続します。
RWA#、 RWB#	入力	同期読み出し/書き込み入力。 RWA# 入力は CK クロックの立ち上がりエッジで、RWB# は立ち下がりエッジでサンプリングされます。RWA# 入力は、読み出しまたは書き込み動作を選択するのに LDA# 入力と共に使用されます。同様に、RWB# 入力は読み出しか書き込み動作を選択するために LDB# 入力と共に使用されます。
QVLDA[1:0] QVLDB[1:0]	出力	出力データ有効インジケータ。 QVLD ピンは出力データが有効であることを示します。QVLD は QKx、QKx# と同時に変化します。
ZQ/ZT	入力	出カインピーダンス マッチング入力。 この入力は、デバイス 出力をシステム データバスのインピーダンスに整合するのに使用されます。
CFG#	入力	コンフィギュレーションビット。 このピンは異なるモードレジスタを設定するのに使用されます。
RST#	入力	ローアクティブ非同期 RST。 このピンは、RST# がローレベルの時にアクティブになり、RST# がハイレベルの時に非アクティブになります。RST# ピンは内部プルダウン抵抗を持ちます。
LBK0#、 LBK1#	入力	制御およびアドレス、コマンド、クロックの信号に対するデスキュー用のループバックモード。
TMS	入力	JTAG 用のテスト モード選択入力ピン。 JTAG 機能が回路で使用されない場合、このピンは未接続でも構いません。
TDI	入力	JTAG 用のテスト データ入力ピン。 JTAG 機能が回路で使用されない場合、このピンは未接続でも構いません。
TCK	入力	JTAG 用のテスト クロック入力ピン。 JTAG 機能が回路で使用されない場合、このピンは VSS に接続しなければなりません。
TDO	出力	JTAG 用のテスト データ出力ピン。 JTAG 機能が回路で使用されない場合、このピンは未接続でも構いません。
TRST#	入力	JTAG 用のテスト リセット入力ピン。 JTAG 機能がシステムで使用されない場合、このピンは VDD に接続しなければなりません。TRST# 入力は JTAG モードにのみ適用可能です。
DNU	該当なし	使用なし。 未使用ピン。
VREF	リファレンス	基準電圧入力。 入力、出力および AC 測定ポイントの参照レベルを設定するのに使用される静的入力です。
VDD	電源	デバイス コアへの電源入力。
VDDQ	電源	デバイス出力回路への電源入力。
VSS	グランド	デバイスのグランド。

機能の概要

QDR-IV XP SRAM は、2 個の独立した双方向データ ポートを備えた 2 ワード バースト同期 SRAM です。以下の節は QDR-IV XP SRAM の動作を説明します。

クロック

クロック信号は CK/CK#, DKx/DKx#, QKx/QKx# の 3 グループに分けられています。ここで、x は A か B であり、対応するポートを示します。

CK/CK# クロックは、アドレスと制御ピン (A[24:0]、LDA#、LDB#、RWA#、RWB#) に対応します。アドレスと制御信号の遷移と遷移の中央で CK/CK# が遷移します。

DKx/DKx# クロックは書き込みデータに対応します。DDR 動作する DQx と DINVx がデータ書き込みの入力として動作する時、DKx/DKx# クロックは DQx と DINVx 信号の遷移と遷移の中央で遷移します。

QKx / QKx# クロックは読み出しデータに対応します。DDR 動作する DQx と DINVx がデータ読み出しの出力として動作する時、QKx/QKx# クロックは DQx と DINVx 信号と同期して遷移します。

コマンド サイクル

QDR-IV XP SRAM 読み出しと書き込みコマンドは、制御入力 (LDA#、LDB#、RWA#、RWB#) およびアドレス バスで駆動されます。

ポート A の制御入力 (LDA# および RWA#) は、入力クロックの立ち上がりエッジでサンプリングされます。ポート B の制御入力 (LDB# および RWB#) は、入力クロックの立ち下がりエッジでサンプリングされます。

ポート A では、

LDA#=0 および RWA#=1 の時、読み出し動作が開始されます。

LDA#=0 および RWA#=0 の時、書き込み動作が開始されます。

アドレスは入力クロックの立ち上がりエッジでサンプリングされます。

ポート B では、

LDB#=0 および RWB#=1 の時、読み出し動作が開始されます。

LDB#=0 および RWB#=0 の時、書き込み動作が開始されます。

アドレスは入力クロックの立ち下がりエッジでサンプリングされます。

読み出しと書き込みデータ サイクル

読み出しデータは、読み出しコマンド開始に対応する CK 信号の立ち上がりエッジの 8 クロック サイクル後に DQA ピンに供給されます。QVLDA は、最初のデータ ワードがバスで駆動される半クロック サイクル前にアサートされます。最後のデータ ワードがバスで駆動される半クロック サイクル前にデアサートされます。データ出力は、最後のデータ ワードの後のクロックでトライステートになります。

読み出しデータは、読み出しコマンドの発行完了時点に対応する CK 信号の立ち下がりエッジから 8 クロック サイクル後に DQB ピンに出力されます。QVLDB は、最初のデータ ワードがバスで駆動される半クロック サイクル前にアサートされます。最後のデータ ワードがバスで駆動される半クロック サイクル前にデアサートされます。データ出力は、最後のデータ ワードの後のクロックでトライステートになります。

書き込みデータは、書き込みコマンド開始に対応する CK 信号の立ち上がりエッジの 5 クロック サイクル後に DQA ピンに供給されます。

書き込みデータは、書き込みコマンド開始に対応する CK 信号の立ち下がりエッジの 5 クロック サイクル後に DQB ピンに供給されます。

バンク動作

QDR-IV XP SRAM には、8 個の内部バンクがあります。3 本の下位アドレス ピン (A0、A1、A2) でアクセスするバンクを選択します。このアドレス ピンはバンク アドレス ピンとしても知られています。

バンク アクセス ルール

- 入力クロックの立ち上がりエッジでは、どのバンク アドレスにもアクセスすることができます。このバンクアドレスはポート A に対応するものです。
- 入力クロックの立ち下がりエッジでは、立ち上がりで指定されたバンク アドレス以外にアクセスすることができます。このバンクアドレスはポート B に対応するものです。
- ポート A が入力クロックの立ち上がりエッジでコマンドを発行しない場合、ポート B は入力クロックの立ち下がりエッジでどのバンク アドレスにもアクセスすることができます。
- 入力クロックサイクルの立ち上がりエッジから次の立ち上がりエッジの間には、アドレス制約はありません。ポート A はいつでも、どのバンクにもアクセスできます。

明確には、バンクの制約は 1 クロック 時間内のみに適用されず、ポート A のアドレスが入力クロックの立ち上がりエッジでサンプリングされるため、ポート A にアクセス制約はありません。ポート B のアドレスが入力クロックの立ち下がりエッジでサンプリングされるため、ポート B は、ポート A とは違うバンクを使用しなければならないという制約があります。

バンク制約違反

- バンク制約違反は、ポート A へのアクセスではなくポート B へのアクセスにより発生します。
- ポート B がポート A と同じバンクにアクセスしようとする時、メモリ アレイへのポート B アクセスは無視されます。ポート A のアクセスは、正常に行われます。
- ポート B で書き込みサイクルが要求される場合、バンク制約違反の発生は外部に通知されません。
- ポート B で読み出しサイクルが要求される場合、QVLDB 信号は生成されません。出力はトライステートのままです。

アドレスおよびデータ バス反転

同期スイッチング ノイズと I/O 電流を減少させることを目的として QDR-IV XP SRAM は、全てのアドレスやデータ ピンを反転することができます。

AINV ピンは、アドレス バス A[24:0] およびアドレス パリティ ビット AP が反転されるかを示します。アドレス バスとアドレス パリティ ビットは 1 つのグループと見なされます。AINV の機能はメモリ コントローラによって制御されます。但し、システム設計では以下のルールに従ってください。

- ×36 構成の製品では、20 アドレスピンと 1 パリティビットの 21 信号が 1 つのアドレス グループとして使用されます。アドレス グループ内の論理 0 のビット数が ≥11 の場合、AINV はコントローラにより 1 にセットされます。結果として、各ビット時間中に同じ方向に切り替わるピン数は 11 以下です。

- ×18 データ幅の製品では、21 アドレスピンと 1 パリティビットの 22 信号が 1 つのアドレスグループに対応します。アドレスグループ内の論理 0 の数が ≥ 12 の場合、AINV はコントローラによって 1 にセットされます。結果として、各ビット時間中に同じ方向に切り替わるピン数は 12 以下です。

DINVA と DINVB ピンは、それぞれ DQA と DQB ピンが反転されるかを示します。

- ×36 データ幅の製品では、各ポート用のデータバスは 18 ピンのグループに分けられています。各 18 ピン データグループに対して、特定のサイクルで 10 ピン以下がローレベルに駆動されることを保証します。データグループ内の論理 0 の数が ≥ 10 の場合、DINV は 1 にセットされます。その結果として、各ビット時間中に同じ方向に切り替わるピン数は 10 以下です。

- ×18 データ幅の製品では、各ポート用のデータバスは 9 ピンのグループに分けられています。各 9 ピン データグループに対して、特定のサイクルで 5 ピン以下がローレベルに駆動されることを保証します。データグループ内の論理 0 の数が ≥ 5 の場合、DINV は 1 にセットされます。その結果として、各ビット時間中に同じ方向に切り替わるピン数は 5 以下です。

AINV、DINVA[1:0]、DINVB[1:0] は全てハイアクティブです。1 にセットされると、対応するバスは反転されます。データ反転機能がオフにプログラムされた場合、DINVA/DINVB 出力ビットは常に 0 に駆動されます。

これらの機能はコンフィギュレーションレジスタを使用してプログラムすることができ、アドレスバスとデータバス用に独立に有効か無効にすることができます。

コンフィギュレーションレジスタの読み出しおよび書き込みサイクル中、レジスタ読み出しデータがデータバスで駆動されている時、アドレス反転入力は無視され、データ反転出力は常に 0 に駆動されます。つまりレジスタ読み出しデータは DQA[7:0] で駆動され、DINVA[0] ビットは 0 に駆動されます。他の全ての DQA/DQB データビットと DINVA/DINVB ビットはトライステートになります。さらにアドレスパリティ入力 (AP) は無視されます。

アドレスパリティ

QDR-IV XP SRAM は、アドレスバスの整合性を保証するためにアドレスパリティ機能を備えています。この機能をサポートするピンは、AP と PE# の 2 本あります。

AP ピンはアドレスピンに偶数パリティを提供するのに使用されます。AP 値は、ビット 1 の総数 (AP を含む) が偶数であるようにセットされます。AP ピンは DDR 入力です。

内部では、アドレスパリティエラーが検出され、メモリレイへのアクセスが書き込みサイクルである場合は無視されます。読み出しアクセスは、アドレスパリティエラーが検出されても正常に続きます。

外部には、PE# ピンがアドレスパリティエラーの発生を示します。このピンはローアクティブであり、パリティエラーが検出されてから RL サイクル以内に 0 にセットされます。エラーがコンフィギュレーションレジスタでクリアされるまで、アサートされたままになります。

アドレスパリティ機能は任意であり、コンフィギュレーションレジスタで有効か無効にすることができます。

コンフィギュレーションレジスタの読み出しおよび書き込みサイクル中に、アドレスパリティ入力は無視されます。パリティはこれらのサイクル中に確認されません。

注 メモリコントローラは、まずアドレスバスに基づいてアドレスパリティを生成する必要があります。アドレス反転はその後で、アドレスバスとアドレスパリティビットで行われます。

ポート イネーブル

QDR-IV XP SRAM は、2 個の独立した双方向データポートを備えています。設計者によって、1 個だけを使用する場合、読み出し専用と書き込み専用をそれぞれ 1 個使用場合があります。

ポートを単向モードで使用する場合、システム内の EMI の影響を減少させるためにデータクロック (DKx/DKx# または QKx/QKx#) を無効にします。さらに対応する制御入力 (RWx#) を無効にします。

ポート B は完全に無効であるようプログラムできます。ポート B を使用しない場合、以下のことを行わなければなりません。

- データクロック (DKB/DKB# と QKB/QKB#) と制御入力 (LDB# と RWB#) を無効にします。
- 全てのデータバス信号をトライステートにします。データバス信号は DQB、DINVB および QVLDDB を含みます。
- ポート B に対応する全ての入力信号をフローティング状態とするか、ポート A の動作に悪影響を与えないよう 1 か 0 に接続します。
- ポート B が使用されない場合、ポート B に対応する全ての出力信号は非アクティブになります。

コンフィギュレーションレジスタに、1 つのポートを使用しないか、単向モードで動作させるかを指定する項目があります。

オンダイ終端 (ODT) 動作

有効な場合、チップの ODT 回路は全ての NOP および書き込みサイクル中に有効になります。読み出しサイクル中にのみ、読み出しデータが駆動されるため、ODT は一時的に無効になります。

つまり ODT はデータ読み出しの最初の段階がデータバスで駆動される半クロックサイクル前に無効になり、読み出し動作が終るまで無効のままです。読み出しデータの最後の段階がデータバスで駆動されてから半クロックサイクル後、ODT は再度有効になります。

JTAG 動作

JTAG インターフェースは 5 つの信号を使用します: TRST#, TCK, TMS, TDI, TDO。通常の JTAG 動作の場合、このデバイスでは、TRST# の使用は任意ではありません。

JTAG モードの時、以下の条件が真です。

- 全てのピンの ODT 機能が無効にされます。

JTAG 機能がシステム内で使用されない場合、TRST# ピンを VDD に接続し、TCK 入力をローレベルに駆動するか VSS に接続する必要があります。TMS、TDI、TDO はどこにも接続しないことがあります。

電源投入とリセット

QDR-IV XP SRAM には、信頼性がある動作を保証するため、電源投入およびリセット要件があります。

電源投入シーケンス

- V_{DD} を V_{DDQ} の前に印加します。
- V_{DDQ} を V_{REF} の前に、または V_{REF} と同時に印加します。

リセット シーケンス

リセット タイミング図 (41 ページの図 16) を参照してください。

1. 電源投入時、 t_{PWR} の間ローレベルである必要がある RST# と TRST# を除き、全ての入力は不定状態であることがあります。
2. デバイスに加える最初の信号は、 t_{PWR} の間に安定していないかも知れませんが入力クロック (CK/CK#) です。
3. 入力クロックが安定した後、全ての制御入力を以下の値に駆動する必要があります。
 - a. RST#=0
 - b. CFG#=1
 - c. LBK0#=1
 - d. LBK1#=1
 - e. LDA#=1
 - f. LDB#=1
4. 他の全ての制御入力がデアサートされている間、少なくとも $200\mu\text{s}$ (t_{RSS}) の間、リセットをアサートしたままにします。
5. リセットの立ち上がりエッジで、アドレスビット A[13:0] が、ODT 値とポート イネーブル値にロードするためにサンプリングされます。リセット後、デバイスの内部動作が開始できます。これらの動作は、PLL の初期化と内部レジスタのリセットを含むことがあります。
6. 但し、全ての外部制御信号は少なくとも 400000 クロック (t_{RSH}) の間、デアサートされたままでなければなりません。この間、他の全ての信号 (データおよびアドレス バス) は有効なレベルに駆動する必要があります。デバイスの入力は有効なレベルに駆動する必要があります。
7. その後、デバイスは通常動作モードに入り、制御入力に応答できるようになります。

通常、リセット シーケンスの後、システムは、次の節で記述される手順に従ってトレーニング シーケンスを実行し始めます。

しかし、RST# はいつでもシステムによってアサートされ、システムはリセット シーケンス後、再びトレーニング シーケンスを経ずに通常の読み出し/書き込み動作を開始したい場合があります。チップは RST# のデアサート後、 t_{RSH} の直後に通常の読み出し/書き込みを受け取れるようになります。

PLL リセット動作

コンフィギュレーション レジスタには、PLL をリセットするビットがあります。PLL が有効でない QDR-IV XP デバイスの動作はサポートされません。タイミング特性は、PLL が無効の時に保証されません。しかしこのビットは、システムが PLL ループ回路をリセットできるように意図されています。

PLL をリセットするには、まず PLL リセットビットを 1 にセットし PLL を無効にし、その後このビットを 0 にクリアして PLL を有効にします。この手順の後に、PLL は入力クロックに再度ロックします。 t_{PLL} の待機時間が必要です。

動作モード

QDR-IV XP には 3 つの動作モードがあります。

1. コンフィギュレーション
2. ループバック
3. メモリ アクセス

このモードは、CFG#、LBK0#、LBK1#、LDA#、LDB# の制御信号レベルにより定義されます。

この動作が相互排他的な関係になるようにしています。それは、ある動作モードが他の動作モードと同時に実行されないということです。

誤った時間で制御信号を不注意にアサートしても、何の影響もありません。内部チップの動作は、誤った制御信号のアサートには定義されません。デバイスの正常な動作のために、システムは以下の節で定義されるように、正常なモード遷移手順を厳守する必要があります。

コンフィギュレーション

CFG# 信号がアサートされると、デバイスは設定動作モードに移行します。メモリ アクセスまたはループバック動作は、このモードに移行する少なくとも 32 クロック前に実行してはいけません。

このモード中に、LDB#、LBK0#、LBK1# 制御信号をアサートしてはいけません。但し、LDA# はレジスタの実際の読み出しと書き込み動作を実行するのに使用されます。

メモリ アクセスまたはループバック動作は、このモードを終了してから少なくとも 32 クロック以内に実行してはいけません。

ループバック

LBK0#、LBK1# の内 1 つでもアサートされると、デバイスはループバック動作モードに移行します。メモリ アクセスまたは設定動作は、このモードに移行するまで少なくとも 32 クロック以内に実行してはいけません。

このモードに入った直後に、製品がトレーニング用の有効な入力をトグルする準備ができるまで、32 クロックが必要です。

このモード中に、LDA# と LDB# はトレーニング用に切り替わることがあります。

メモリ アクセスまたは設定動作は、このモードを終了してから少なくとも 32 クロック以内に実行してはいけません。

ループバック モード中に、データ反転機能は使用されません。この機能はコンフィギュレーション レジスタで有効になっても、ループバック モード中に一時的に無視されます。

メモリ アクセス

CFG#、LBK0#、LBK1# 制御信号がアサートされない場合、デバイスはメモリ アクセス モードになります。このモードは、デバイスの通常の動作モードです。

このモード中に、LDA#、LDB# の内 1 つでもアサートされると、メモリ アクセス サイクルが実行されます。CFG#、LBK0#、LBK1# 制御信号は、メモリ アクセス サイクルを実行する時にアサートしてはいけません。

このモードを終了する少なくとも 32 クロック以内に、メモリ アクセスを実行してはいけません。

デスキュー トレーニング シーケンス

QDR-IV XP SRAM は、メモリ コントローラが高速動作のために信号をデスキューすることに対応しています。デスキューが必要な時、メモリ コントローラはデスキュー機能を提供します。デスキュー動作中に、QDR-IV XP SRAM はループバックモードで動作します。

ループバック タイミング図 (40 ページの図 15) を参照してください。

デスキューは、3つのステップで実行されます。

1. 制御/アドレスのデスキュー
2. 読み出しデータのデスキュー
3. 書き込みデータのデスキュー

制御/アドレスのデスキュー

LBK0、LBK1#の内少なくとも1つを0にアサート

以下の39信号がループバックされます。

- DKA0、DKA0#、DKA1、DKA1#
- DKB0、DKB0#、DKB1、DKB1#
- LDA#、RWA#、LDB#、RWB#
- A[24:0]、AINV、AP

クロック入力 DKA0、DKA0#、DKA1#、DKB0、DKB0#、DKB1、DKB1#はフリーランのクロック入力であり、トレーニングシーケンスの間に継続して動作します。また tPLL の待機時間が必要です。

ループバック信号マッピングについては、ページ 14 の表 1 を参照してください。

ループバックされた各ピンに対しては、入力ピンは入力クロック (CK/CK#) の立ち上がりエッジと立ち下がりエッジの両方でサンプリングされます。

出力クロック (QKA / QKA#) の立ち上がりエッジで出力される値は、入力クロックの立ち上がりエッジでサンプリングされた値となります。

出力クロック (QKA / QKA#) の立ち下がりエッジで出力される値は、入力クロックの立ち下がりエッジでサンプリングされた値を反転したものになります。

入力ピンから DQA 出力までの遅延は t_{LBL} で、16 クロックです。

読み出しデータのデスキュー

この時点で、アドレス、制御およびデータ入力クロックは既にデスキューされています。

読み出しデータ デスキューは、一定の値に保持されたデータを使用してメモリに書き込まれるトレーニング パターンを必要とします。

以下のような複雑なデータ パターンが、デスキューされない DQA、DQB 信号の少なくとも1本と書き込みトレーニング イネーブル ビットを使用してメモリに書き込まれることがあります。

書き込みトレーニング イネーブルを1にセットし：

書き込みデータ サイクル中に：

最初のデータ段階 (最初のデータ バースト) がデータ バス上でサンプリングされます。

2番目のデータ段階 (2番目のデータ バースト) はデータ バスを反転したサンプルです。

書き込みトレーニング イネーブルを0にクリアし：

書き込みデータ サイクル中に：

通常の動作として、1番目と2番目両方のデータ 段階がデータバスからサンプリングされます。

書き込みトレーニング イネーブル ビットは読み出しデータ サイクルに影響を与えません。

データ パターンがメモリに書き込まれた後、標準読み出しコマンドは、QK / QK# データ出力クロックに対してシステムが以下の信号をデスキューすることを許可します。

DQA、DINVA、QVLDA、DQB、DINVB、QVLDB

書き込みデータのデスキュー

書き込みデータ デスキューは、読み出しコマンドに続いてメモリへの書き込みコマンドを使用して実行されます。

デスキュー読み出しデータ バスは、書き込みデータがデバイスによって正常に受信されたかを判定するために使用されます。

これによってシステムがDK/DK#入力データ クロックに対して以下の信号をデスキューすることを許可します。

DQA、DINVA、DQB、DINVB

入出力の信号規格

QDR-IV XP SRAM は、プログラムできる幾つかの入出力信号規格をサポートします。以下の信号です。

- 1.2V と 1.25VHSTL/SSTL

- 1.1V と 1.2VPOD

入出力信号規格は、アドレス バス入力をサンプリングすることでリセットの立ち上がりエッジでプログラムされます。プログラムされた値は変更することができません。リセットの立ち上がりエッジでのみ値を変更できます。

(「LVCMOS 信号方式」節で示された LVCMOS としてリストされている) 6本のピンを除き、全てのアドレス、制御、データ入出力信号は、HSTL/SSTL または POD と互換性があるようにプログラムされます。

HSTL/SSTL 信号方式

HSTL/SSTL は公称電圧 1.2V および 1.25 V の V_{DDQ} 電圧に対応します。

ODT 終端値は以下のように設定されます。

- 220Ω のリファレンス抵抗の場合は、40、60、120Ω

- 180Ω のリファレンス抵抗の場合は、50 または 100Ω
駆動能力は以下のようにプログラムされます。

- 220Ω の基準抵抗の場合は、40Ω または 60Ω

- 180Ω の基準抵抗の場合は 50Ω

180Ω または 220Ω のリファレンス抵抗は HSTL/SSTL 信号でサポートされます。

POD 信号方式

POD は公称電圧 1.1V および 1.2V の V_{DDQ} 電圧に対応します。

ODT 終端値は以下のように設定されます。

- 180Ω のリファレンス抵抗の場合は、50 または 100Ω

- 220Ω のリファレンス抵抗の場合は、60 または 120Ω

駆動能力は以下のようにプログラムされます。

■ 180Ω の基準抵抗の場合は 50Ω

■ 220Ω の基準抵抗の場合は、40Ω または 60Ω

180Ω または 220Ω のリファレンス抵抗は POD 信号でサポートされます。

LVC MOS 信号方式

6 つの入出力信号は、公称電圧 1.3V の LVC MOS 信号方式に固定的に設定されます。これらの信号はコア電圧源 (V_{DD}) を基準とします。以下の信号です。

RST#, TRST#, TCK, TMS, TDI, TDO

5 つの JTAG 信号とメインリセット入力は 1.3V LVC MOS です。

また ODT は LVC MOS 信号上で常に無効状態です。

初期化

QDR-IV XP SRAM は、通常機能モードで動作する前に初期化しなければなりません。初期化には、4 本の特別なピンを使用します：

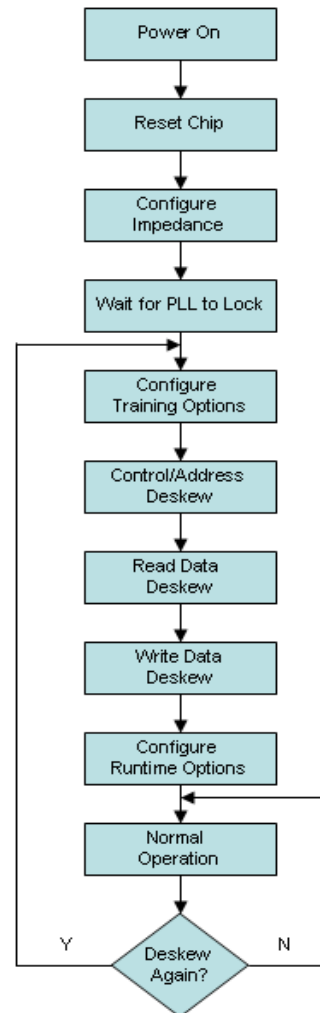
デバイスをリセットする RST# ピン

コンフィギュレーションレジスタをプログラムするための CFG# ピン

ループバック機能のための LBK0# と LBK1# ピン

以下のフローチャートに初期化手順を示します。

図 3. 初期化手順のフローチャート



電源投入

電源投入シーケンスで説明したように、チップに電源を供給します。

チップをリセット

リセット シーケンスで説明したように、QDR-IV XP SRAM をリセットします。

インピーダンスを設定

Config をアサートして (CFG#=0)、インピーダンス制御レジスタをプログラムします。

PLL がロックするまで待機

入カインピーダンスが変更されたため、入力クロックに PLL がロックするまで PLL 時間 (t_{PLL}) 待ちます。

トレーニング オプションの設定

この時点で、アドレスおよびデータ反転オプションをプログラムする必要があります。さらに書き込みトレーニング機能を有効にする必要もあります。

Config をアサートして (CFG#=0)、以下をプログラムします。

- a. 書き込みトレーニング (オンにする)
- b. アドレス反転イネーブル
- c. データ反転イネーブル

制御/アドレスのデスクュー

この時点で、制御とアドレスのデスクューはメモリ コントローラで実行できるようになります。

読み出しデータのデスクュー

制御およびアドレスのデスクュー後、読み出しデータ パスは、デスクュー トレーニング シーケンスで説明されたようにデスクューされます。

書き込みデータのデスクュー

書き込みデータ パスは、読み出しデータ パスの後にデスクューされます。

実行時のオプションの設定

トレーニングが完了した後、書き込みトレーニング機能を無効にします。最後に、アドレス パリティ オプションを有効にします。

Config をアサートして (CFG#=0)、以下をプログラムします。

- a. 書き込みトレーニング (オフにする)
- b. パリティ イネーブル

通常動作

システムが再びデスクューする必要性を検出した場合、プロセスは設定トレーニング オプションのステップから再度開始する必要があります。次にループバックマッピングの表を示します。

表 1. ループバック信号マッピング

入力ピン LBK0#=0 LBK1#=0	入力ピン LBK0#=0 LBK1#=1	入力ピン LBK0#=1 LBK1#=0	出力ピン
A0	A13	DKA0	DQA0
A1	A14	DKA0#	DQA1
A2	A15	DKA1	DQA2
A3	A16	DKA1#	DQA3
A4	A17	LDA#	DQA4
A5	A18	RWA#	DQA5
A6	A19	DKB0	DQA6
A7	A20	DKB0#	DQA7
A8	A21	DKB1	DQA8
A9	A22	DKB1#	DQA9
A10	A23	LDB#	DQA10
A11	A24	RWB#	DQA11
A12	AINV	AP	DQA12

コンフィギュレーション レジスタ

QDR-IV XP SRAM は、特別な設定サイクルでシステムによってプログラムされた内部レジスタがあります。これらのレジスタは本節で説明するように、幾つかのオプションを有効にし、制御するのに使用されます。全てのレジスタは8ビット幅です。書き込み動作は、レジスタ アドレスとレジスタ書き込みデータを定義するために、アドレス ピンのみを使用して実行されます。読み出し動作に対しては、レジスタ読み出しデータがデータポート A 出力ピンに提供されます。プログラミングの詳細については、39 ページの図 14 を参照してください。

RST# の立ち上りエッジでアドレス ピン A[13:0] がサンプリングされます。サンプリングされた値は以下に定義するレジスタの特定のビットのリセット値になります。これはリセットした直後に終端、インピーダンス、ポート構成の値を設定するのに使用されます。これらの値は、レジスタ書き込み動作により後で上書きすることができます。

パリティ エラーが発生した場合、最初のエラーの完全なアドレスが、ポート A/B エラー ビットと共にレジスタ 4、5、6、7 に記録されます。ポート A/B エラー ビットは、アドレス パリティ エラーが発生するポートを示します (0 がポート A、1 がポート B を示します)。この情報は、レジスタ 3 内のアドレス パリティ エラー クリア ビットに 1 を書き込むことでクリアされるまで、ラッチされたままです。

2つのカウンタは、複数のアドレス パリティ エラーが発生したかを示します。ポート A エラー カウントは、ポート A アドレスのパリティ エラー数のランニング カウントです。同様にポート B エラー カウントは、ポート B アドレスのパリティ エラー数のランニング カウントです。それぞれ最大値 3 までカウントして、停止します。両方のカウンタはフリーランであり、レジスタ 3 のアドレス パリティ エラー クリア ビットに 1 を書き込むことでリセットされます。

コンフィギュレーションレジスタの説明

表 2. コンフィギュレーションレジスタの表

レジスタ アドレス	説明
0	終端制御レジスタ
1	インピーダンス制御レジスタ
2	オプション制御レジスタ
3	機能制御レジスタ
4	アドレスパリティステータスレジスタ 0
5	アドレスパリティステータスレジスタ 1
6	アドレスパリティステータスレジスタ 2
7	アドレスパリティステータスレジスタ 3

コンフィギュレーションレジスタの定義

表 3. アドレス 0 : 終端制御レジスタ (読み出し/書き込み)

機能	ODT グローバル イネーブル	ODT/ZQ 自動更新	アドレス/ コマンド入 カグループ IU[2]	アドレス/ コマンド入 カグループ IU[1]	アドレス/ コマンド入 カグループ IU[0]	クロック入 カグループ KU[2]	クロック入 カグループ KU[1]	クロック入 カグループ KU[0]
ビット位置	7	6	5	4	3	2	1	0
リセット値	A7	A6	A5	A4	A3	A2	A1	A0

注: ODT / ZQ コンフィギュレーションを変更する場合、ODT / ZQ 自動更新機能をオンにする必要があります。

表 4. アドレス 1 : インピーダンス制御レジスタ (読み出し/書き込み)

機能	プルダウン グループ PD[1]	プルダウン グループ PD[0]	プルアップ グループ PU[1]	プルアップ グループ PU[0]	未使用	データ入力 グループ QU[2]	データ入力 グループ QU[1]	データ入力 グループ QU[0]
ビット位置	7	6	5	4	3	2	1	0
リセット値	1	0	1	0	0	A10	A9	A8

表 5. アドレス 2 : オプション制御レジスタ (読み出し/書き込みビット 7-3) (読み出し専用ビット 2-0) [2]

機能	書き込みト レーニング イネーブル	データ反転 イネーブル	アドレス反 転イネー ブル	アドレスパ リティイ ネーブル	PLL リセッ ト	I/O 形式	ポートイ ネーブル [1]	ポートイ ネーブル [0]
ビット位置	7	6	5	4	3	2	1	0
リセット値	0	0	0	0	0	A13	A12	A11

表 6. アドレス 3 : 機能制御レジスタ (書き込み専用)

関数	未使用	未使用	未使用	未使用	未使用	未使用	未使用	アドレス パリティ エラー クリア
ビット位置	7	6	5	4	3	2	1	0
リセット値	0	0	0	0	0	0	0	0

注

2. ビット 2-0 は読み出し専用で、リセットの立ち上がりエッジでのみ変更できます。

表 7. アドレス 4 : アドレス パリティ ステータス レジスタ 0 (読み出し専用)

機能	ポート B エラー カウンタ (1:0)	ポート A エラー カウンタ (1:0)	ポート A/B エラー	AINV ビット	未使用	未使用
ビット位置	7:6	5:4	3	2	1	0
リセット値	00	00	0	0	0	0

表 8. アドレス 5 : アドレス パリティ ステータス レジスタ 1 (読み出し専用)

機能	アドレス (23:16)
ビット位置	7:0
リセット値	00000000
注 : 未使用のアドレス位置は 0 として読み込まれます。	

表 9. アドレス 6 : アドレス パリティ ステータス レジスタ 2 (読み出し専用)

機能	アドレス (15:8)
ビット位置	7:0
リセット値	00000000

表 10. アドレス 7 : アドレス パリティ ステータス レジスタ 3 (読み出し専用)

機能	アドレス (7:0)
ビット位置	7:0
リセット値	00000000

I/O 形式およびポート イネーブル ビットの定義

表 11. 「アドレス 2 : オプション制御レジスタ」の I/O 形式ビット定義

I/O 形式	機能
0	HSTL/SSTL
1	POD

表 12. 「アドレス 2 : オプション制御レジスタ」のポート イネーブル ビット定義

ポート イネーブル [1:0]		機能	ポート B モード	ポート A モード	ポート B クロックおよび制御	ポート A クロックおよび制御
0	0	固定ポートモード	書き込み専用	読み出し専用	DKB - オン QKB - オフ LDB# - オン RWB# - オフ	DKA - オフ QKA - オン LDA# - オン RWA# - オフ
0	1	ポート A のみイネーブル	無効	有効	DKB - オフ QKB - オフ LDB# - オフ RWB# - オフ	DKA - オン QKA - オン LDA# - オン RWA# - オン
1	0	非対応	無効	無効	DKB - オフ QKB - オフ LDB# - オフ RWB# - オフ	DKA - オフ QKA - オフ LDA# - オフ RWA# - オフ
1	1	両方のポートが有効	有効	有効	DKB - オン QKB - オン LDB# - オン RWB# - オン	DKA - オン QKA - オン LDA# - オン RWA# - オン

ODT 終端ビットの定義
表 13. 「アドレス 0 : 終端制御レジスタ」のクロック入力グループビット定義

ODT グローバルイネーブル	KU[2:0]			除数値	HSTL/SSTL モードの終端値		POD モードの終端値	
					ZT 180Ω	ZT 220Ω	ZT 180Ω	ZT 220Ω
0	X	X	X	-	オフ	オフ	オフ	オフ
1	0	0	0	-	オフ	オフ	オフ	オフ
1	0	0	1	8.33%	非対応	非対応	非対応	非対応
1	0	1	0	12.50%	非対応	非対応	非対応	非対応
1	0	1	1	16.67%	非対応	40Ω	非対応	非対応
1	1	0	0	25%	50Ω	60Ω	50Ω	60Ω
1	1	0	1	50%	100Ω	120Ω	100Ω	120Ω
1	1	1	0	-	非対応	非対応	非対応	非対応
1	1	1	1	-	非対応	非対応	非対応	非対応

注：終端値の誤差は +/-15%
ZQ の誤差は 1%

表 14. 「アドレス 0 : 終端制御レジスタ」のアドレス/コマンド入力グループビット定義

ODT グローバルイネーブル	IU[2:0]			除数値	HSTL/SSTL モードの終端値		POD モードの終端値	
					ZT180Ω	ZT220Ω	ZT180Ω	ZT220Ω
0	X	X	X	-	オフ	オフ	オフ	オフ
1	0	0	0	-	オフ	オフ	オフ	オフ
1	0	0	1	8.33%	非対応	非対応	非対応	非対応
1	0	1	0	12.50%	非対応	非対応	非対応	非対応
1	0	1	1	16.67%	非対応	40Ω	非対応	非対応
1	1	0	0	25%	50Ω	60Ω	50Ω	60Ω
1	1	0	1	50%	100Ω	120Ω	100Ω	120Ω
1	1	1	0	-	非対応	非対応	非対応	非対応
1	1	1	1	-	非対応	非対応	非対応	非対応

注：終端値の誤差は +/- 15%
ZQ の誤差は 1%

表 15. 「アドレス 1 : インピーダンス制御レジスタ」のデータ入力グループビット定義

ODT グローバルイネーブル	QU[2:0]			除数値	HSTL/SSTL モードの終端値		POD モードの終端値	
					ZT180Ω	ZT220Ω	ZT180Ω	ZT220Ω
0	X	X	X	-	オフ	オフ	オフ	オフ
1	0	0	0	-	オフ	オフ	オフ	オフ
1	0	0	1	8.33%	非対応	非対応	非対応	非対応
1	0	1	0	12.50%	非対応	非対応	非対応	非対応
1	0	1	1	16.67%	非対応	40Ω	非対応	非対応
1	1	0	0	25%	50Ω	60Ω	50Ω	60Ω
1	1	0	1	50%	100Ω	120Ω	100Ω	120Ω
1	1	1	0	-	非対応	非対応	非対応	非対応
1	1	1	1	-	非対応	非対応	非対応	非対応

注：終端値の誤差は +/- 15%
ZQ の誤差は 1%

駆動能力ビットの定義

表 16. 「アドレス 1 : インピーダンス制御レジスタ」のプルアップドライバビット定義

PU[1:0]		除数値	HSTL/ SSTL モードのインピーダンス値		POD モードのインピーダンス値	
			ZT180Ω	ZT220Ω	ZT180Ω	ZT220Ω
0	0	14.17%	非対応	非対応	非対応	非対応
0	1	16.67%	非対応	40Ω	非対応	40Ω
1	0	25%	50Ω	60Ω	50Ω	60Ω
1	1	—	非対応	非対応	非対応	非対応

注 : 終端値の誤差は +/- 15%
ZQ の誤差は 1%

表 17. プルダウンドライバビット定義

PD[1:0]		除数値	HSTL/ SSTL モードのインピーダンス値		POD モードのインピーダンス値	
			ZT180Ω	ZT220Ω	ZT180Ω	ZT220Ω
0	0	14.17%	非対応	非対応	非対応	非対応
0	1	16.67%	非対応	40Ω	非対応	40Ω
1	0	25%	50Ω	60Ω	50Ω	60Ω
1	1	—	非対応	非対応	非対応	非対応

注 : 終端値の誤差は +/-15%
ZQ の誤差は 1%

IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)

QDR-IV XP SRAM は、FCBGA パッケージにシリアル バウンダリ スキャン テスト アクセス ポート (TAP) を内蔵します。これは IEEE 標準 #1149.1-2001 に完全に準拠しています。JTAG モードでは、各ピンの ODT 機能は無効になります。

JTAG 機能を回路で使用しない場合は、TCK 入力をローレベルに駆動するか、VSS に接続しなければいけません。TRST#、TMS、TDI、TDO はどこにも接続しないことがあります。tPWR の間に TRST#、TMS、TDI 入力が高レベルであることを確保するために、内部プルアップ抵抗がこれらの入力に実装されています。

テスト アクセス ポート

テスト クロック (TCK)

テスト クロックは TAP コントローラと共にのみ使用されます。全ての入力を TCK の立ち上がりエッジで取り込みます。全ての出力は TCK の立ち下がりエッジで駆動されます。

テスト モード 選択 (TMS)

TMS 入力は、TAP コントローラにコマンドを送信するのに使用され、TCK の立ち上がりエッジでサンプリングされます。TAP を使用しない場合、このピンはどこにも接続しないことがあります。ピンは内部でプルアップされ、その結果高レベルになります。

TDI (テスト データ入力)

TDI ピンは、レジスタに情報をシリアル入力するのに使用され、どのレジスタの入力にも接続することができます。TDI と TDO の間につながるレジスタは、TAP 命令レジスタにロードされる命令によって選択されます。命令レジスタにロードする方法については、22 ページの図 4 を参照してください。TAP がアプリケーションで使用されていない場合 TDI は内部でプルアップされ、開放することができます。TDI はレジスタの最上位ビット (MSB) に接続されます。

テスト データ出力 (TDO)

TDO 出力ピンは、レジスタからデータをシリアル出力するのに使用されます。TAP ステート マシンの状態に応じて、出力はアクティブです (26 ページの命令コードを参照)。出力は TCK の立ち下がりエッジで変化します。TDO は、レジスタの最下位ビット (LSB) に接続されます。

テスト レジスタ (TRST#)

TRST# 入力ピンは TAP コントローラをリセットするのに使用されます。

リセットは、TCK の立ち上がりエッジ 5 つ分の時間、TMS を高レベル (V_{DD}) にすることで実行されます。

このリセットは、SRAM の動作に影響を与えず、SRAM の動作中に実行できます。電源投入時に、TDO を High Z 状態にするため、TAP は内部でリセットされます。

TAP レジスタ

SRAM テスト回路の入力と出力データをスキャンするために、TDI と TDO の間にレジスタが接続されます。命令レジスタを通

して、一度に 1 つのレジスタのみが選択されます。データは TCK の立ち上がりエッジで TDI ピンにロードされます。データは TCK の立ち下がりエッジで TDO ピンに出力されます。

命令レジスタ

3 ビットの命令を命令レジスタにロードすることができます。このレジスタは 23 ページの図 5 に示すように、TDI と TDO ピン間に配置された時にロードされます。電源投入時に、IDCODE 命令が命令レジスタにロードされます。前述したように、コントローラが RST 状態になる場合にも、IDCODE 命令が命令レジスタにロードされます。

TAP コントローラが Capture-IR 状態になる時、基板レベルのシリアル テスト バスの障害分離を可能にするために、2 進数「01」パターンが最下位 2 ビットにロードされます。

バイパス レジスタ

レジスタを通してデータをシフトする際の時間を節約するために、特定のチップをスキップすることが有利な場合もあります。バイパス レジスタは、TDI と TDO ピン間に配置される 1 ビットのレジスタです。これにより、最短の遅延で SRAM を介してデータをシフトすることができます。BYPASS 命令が実行される時、バイパス レジスタはローレベル (VSS) に設定されます。

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは、SRAM 上の全ての入力と出力ピンに接続されます。また幾つかの接続なし (NC) のピンは、容量の大きいデバイスにピンを予約するために、スキャン レジスタに含まれています。

バウンダリ スキャン レジスタは、TAP コントローラが Capture-DR 状態になる時に RAM 入力と出力リングの内容がロードされ、そしてコントローラが Shift-DR 状態に移る時に TDI と TDO ピン間に配置されます。EXTEST、SAMPLE/PRELOAD、SAMPLE Z 命令は、入力と出力リングの内容を取り込むのに使用されます。

27 ページのバウンダリ スキャン順序はビットが接続されている順序を示します。各ビットは、SRAM パッケージ上の 1 つの端子に対応します。レジスタの MSB は TDI に、LSB は TDO に接続されます。

識別 (ID) レジスタ

IDCODE コマンドが命令レジスタにロードされる時、Capture-DR 状態の間に、ID レジスタにベンダ固有の 32 ビット コードがロードされます。IDCODE は、TAP コントローラが Shift-DR 状態の間に SRAM に接続され、シフトアウトされます。ID レジスタのベンダ コードおよび他の情報は 26 ページの ID レジスタの定義に記載されます。

TAP 命令セット

3 ビットの命令レジスタにより、8 つの異なる命令があります。全ての組み合わせを 26 ページの命令コードに示します。これらの命令の内 3 つが RESERVED であり、使用してはいけません。他の 5 つの命令を本節で詳しく説明します。

命令レジスタが TDI と TDO の間に配置される時、命令は Shift-IR 状態の間に TAP コントローラにロードされます。この状態の間に、命令レジスタを通して命令は TDI から TDO までシフトされます。シフトインされた命令を実行するために、TAP コントローラを Update-IR 状態に移させる必要があります。

IDCODE

IDCODE 命令はベンダ固有の 32 ビット コードを命令レジスタにロードします。また、命令レジスタを TDI と TDO ピンの間に配置して、TAP コントローラが Shift-DR 状態に入る時に IDCODE をデバイスからシフトアウトします。IDCODE 命令は、電源投入時または TAP コントローラが Test-Logic-RST 状態に入るたびに、命令レジスタにロードされます。

SAMPLE Z

TAP コントローラが Shift-DR 状態の時に、SAMPLE Z 命令はバウンダリ スキャンレジスタを TDI と TDO ピンの間に接続します。SAMPLE Z コマンドは Update-IR 状態中に次のコマンドが供給されるまで、出力バスを High Z 状態に移行させます。このコマンドが実行されると、ポート A とポート B の両方が有効になります。

SAMPLE/PRELOAD

SAMPLE/PRELOAD は 1149.1 標準の必須命令です。SAMPLE/PRELOAD 命令が命令レジスタにロードされ、TAP コントローラが Capture-DR 状態になっている場合、入力と出力ピン上のデータのスナップショットは、バウンダリ スキャンレジスタに取り込まれます。

TAP コントローラ クロックは最大 20MHz の周波数で動作するのに対して、SRAM クロックは桁違いに速い周波数で動作することに注意してください。クロック周波数に大きな差があるため、入出力は Capture-DR 状態中に遷移する可能性があります。その後、TAP は遷移中（メタステーブル状態）の信号を取り込もうとするかもしれません。これはデバイスに悪影響を及ぼしませんが、取り込まれた値に対する保証がありません。結果を再現できない場合があります。

バウンダリ スキャン レジスタが信号の正しい値を取り込むために、SRAM 信号は、TAP コントローラのキャプチャ セットアップ + ホールド時間 ($t_{CS} + t_{CH}$) を満たすのに十分な安定時間をとらなければいけません。SAMPLE/PRELOAD 命令の間にクロックを停止する（または遅くする）方法が設計にない場合、SRAM クロック入力は正常に取り込まれない可能性があります。これが問題になっても、他の全ての信号を取り込むことはまだ可能で、単にバウンダリ スキャン レジスタに取り込まれた CK および CK の値を無視してもかまいません。

データが取り込まれた後 TAP を Shift-DR 状態に移行させることで、データをシフトアウトすることができます。これはバウンダリ スキャンレジスタを TDI と TDO ピンの間に配置します。

PRELOAD は、他のバウンダリ スキャン テスト動作の選択の前に、初期データ パターンをバウンダリ スキャン レジスタセルのラッチされたパラレル出力に配置します。

SAMPLE および PRELOAD フェーズ用のデータのシフトは、必要に応じて同時に発生することができます。つまり取り込まれたデータがシフトアウトされている間にプリロードされたデータがシフトインされます。

BYPASS

BYPASS 命令が命令レジスタにロードされ、TAP が Shift-DR 状態になる時、バイパス レジスタは TDI と TDO ピンの間に配置されます。BYPASS 命令の利点は、複数のデバイスが基板上で互いに接続されている時に、バウンダリ スキャン パスを短縮することです。

EXTEST

EXTEST 命令は、システム出力ピンを通してプリロードされたデータを駆動します。また、コントローラの Shift-DR 状態の間に、この命令はシリアル アクセスのためにバウンダリ スキャンレジスタを TDI と TDO の間に接続します。このコマンドが実行された後、ポート A とポート B の両方が有効になります。

EXTEST OUTPUT BUS TRISTATE

IEEE 標準 1149.1 によると、TAP コントローラが出力バスをトライステートにできることが必須です。

バウンダリ スキャン レジスタにはビット #49 とビット #50 という出力イネーブル制御ビットがあります。ビット #49 は DQB の出力ピンを有効にし、ビット #50 は DQA および PE# ピンを有効にします。

「extest 出力バス トライステート」と呼ばれるこれらのスキャンセルは、TAP コントローラで Update-DR 状態中にプリロードレジスタにラッチされた時、EXTEST が現時点の命令として入力されると、出力 (Q バス) ピンの状態を直接制御します。ハイレベルの時、出力バッファが出力バスを駆動します。ローレベルの時、出力バスを High Z 状態に移行させます。

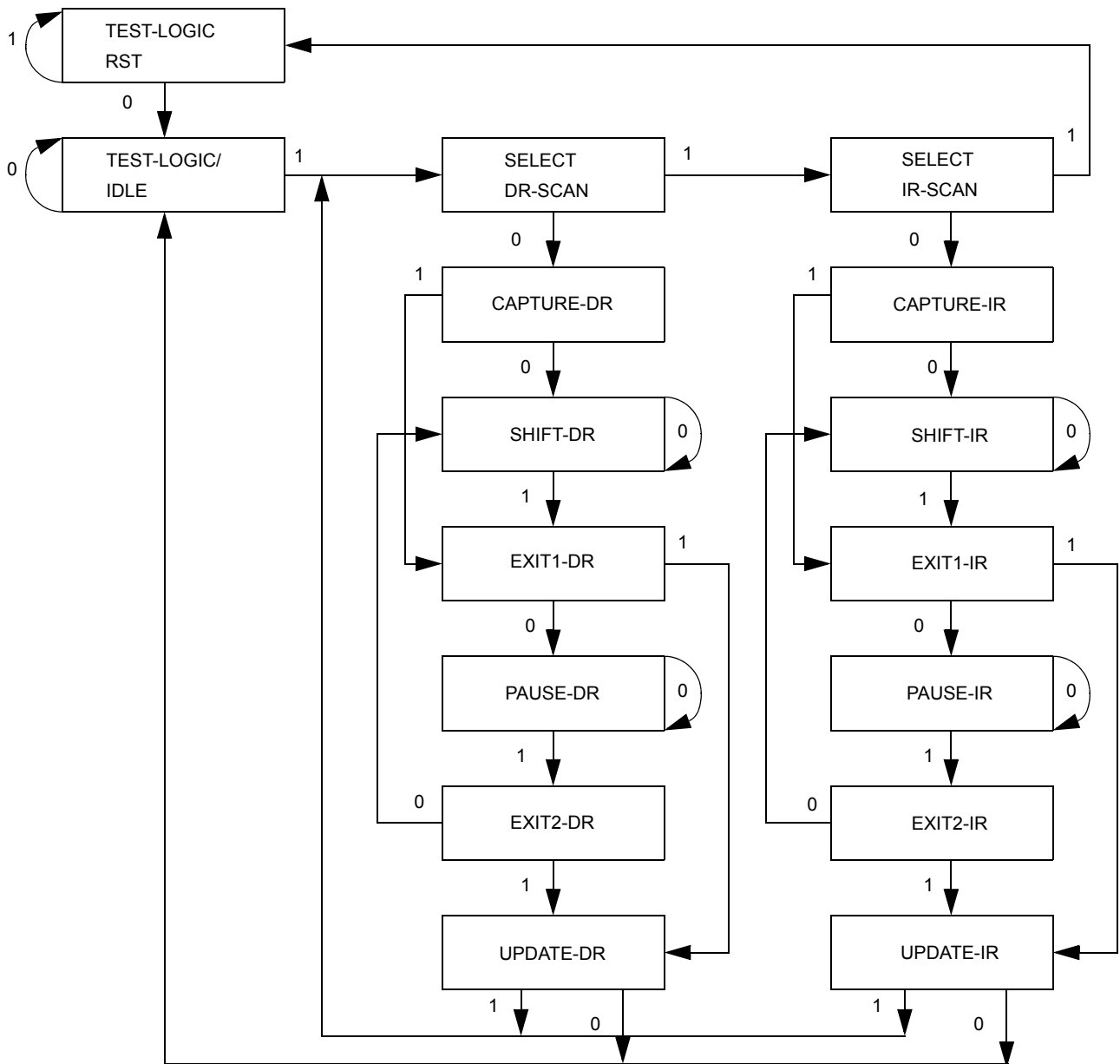
Shift-DR 状態中に、SAMPLE/PRELOAD または EXTEST コマンドを入力して、所望のビットをそのセルにシフトすることで、これらのビットをセットします。Update-DR の間に、そのシフトレジスタセルにロードされた値はプリロードレジスタにラッチします。EXTEST 命令に入った時、これらのビットは出力 Q バス ピンを直接制御します。デバイスの電源投入時および TAP コントローラが Test-Logic-RST 状態になる時に出力を無効にするために、これらのビットはローレベルにあらかじめセットされることに注意してください。

Reserved

命令は実装されていませんが、将来のために予約されました。この命令を使用しないでください。

TAP コントローラ状態遷移図

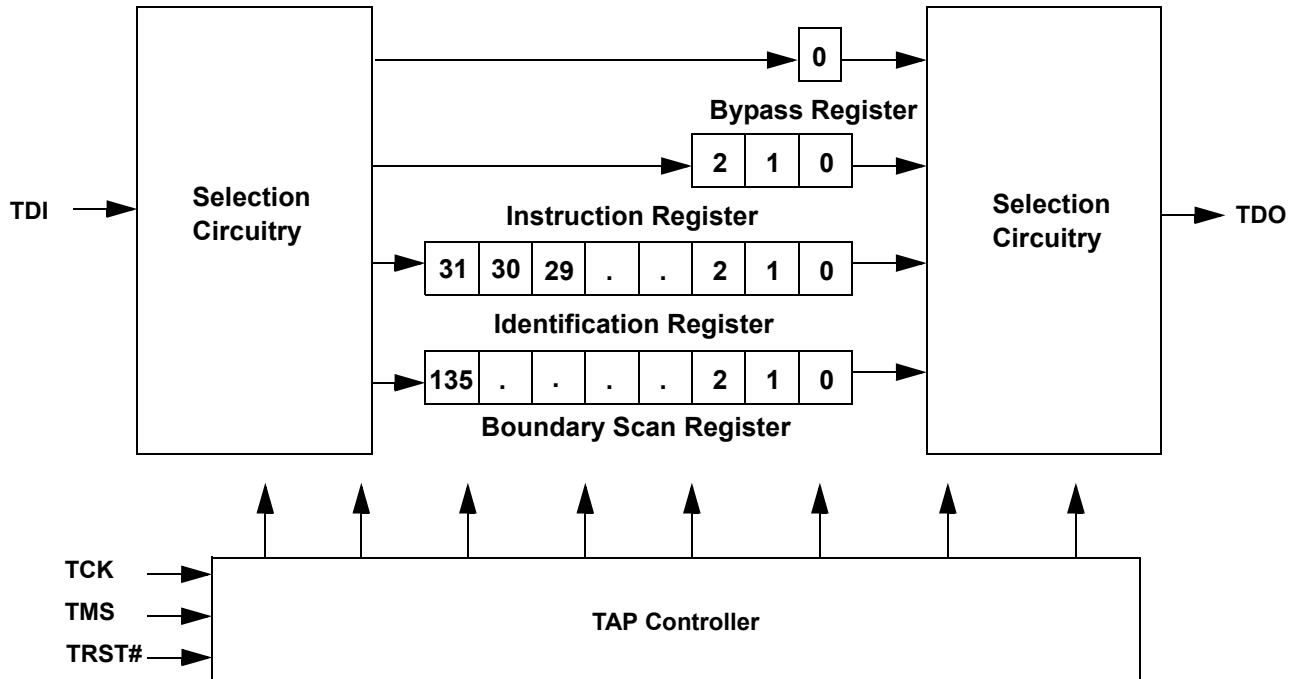
図 4. TAP コントローラ状態遷移図 [2]



注
3. 状態遷移の0/1は、TCKの立ち上がりエッジでのTMSの値を表します。

TAP コントローラのブロック図

図 5. TAP コントローラのブロック図



TAP 電気的特性

動作範囲において

記号	説明	テスト条件	Min	Max	単位
V_{OH}	LVC MOS ハイ レベル出力電圧	$I_{OH}=100\ \mu A$	$V_{DD}\times 0.8$	–	V
V_{OL}	LVC MOS ロー レベル出力電圧	$I_{OL}=100\ \mu A$	–	$V_{DD}\times 0.2$	V
V_{IH}	LVC MOS ハイ レベル入力電圧 (DC)		$V_{DD}\times 0.7$	$V_{DD}+0.2$	V
V_{IL}	LVC MOS ロー レベル入力電圧 (DC)		–0.2	$V_{DD}\times 0.3$	V
I_X	LVC MOS 入力漏れ電流		–	10	μA
I_{OZ}	LVC MOS 出力漏れ電流		–	10	μA

TAP AC スイッチング特性

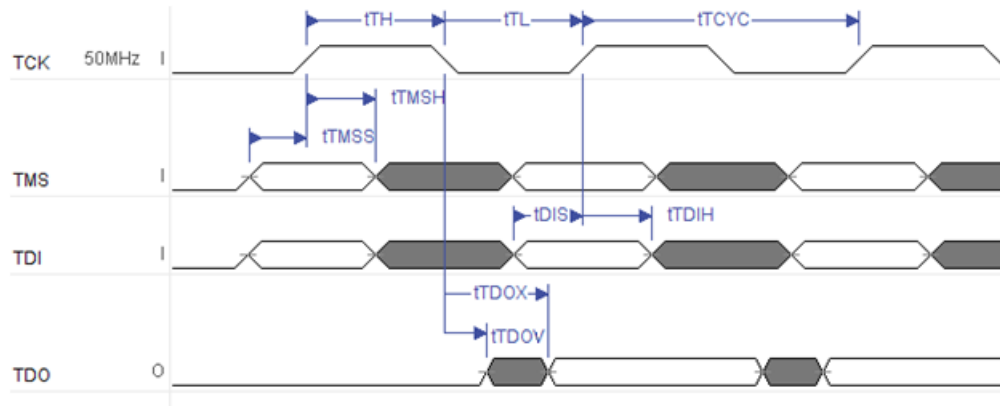
動作範囲において

記号	説明	Min	Max	単位
t_{TCYC}	TCK クロック サイクル時間	50	–	ns
t_{TF}	TCK クロック周波数	–	20	MHz
t_{TH}	TCK クロック ハイ レベル	20	–	ns
t_{TL}	TCK クロック ロー レベル	20	–	ns
セットアップ時間				
t_{TMSS}	TMS セットアップから TCK クロックの立ち上がりまでの時間	5	–	ns
t_{TDIS}	TDI セットアップから TCK クロックの立ち上がりまでの時間	5	–	ns
t_{CS}	キャプチャ セットアップから TCK の立ち上がりまでの時間	5	–	ns
ホールド時間				
t_{TMSH}	TCK クロック立ち上がり後の TMS ホールド時間	5	–	ns
t_{TDIH}	クロック立ち上がり後の TDI ホールド時間	5	–	ns
t_{CH}	クロック立ち上がり後のキャプチャ ホールド時間	5	–	ns
出力時間				
t_{TDOV}	TCK クロックがローレベルになってから TDO が有効になるまでの時間	–	10	ns
t_{TDOX}	TCK クロックがローレベルになってから TDO 無効までの時間	0	–	ns

注: t_{CS} と t_{CH} は、バウンダリ スキャン レジスタからデータをラッチするためのセットアップとホールド時間を示します。

TAP タイミング図

図 6. TAP タイミング図



ID レジスタの定義

命令フィールド	値		説明
	CY7C4022KV13	CY7C4042KV13	
リビジョン番号 (31:29)	000	000	バージョン番号。
サイプレスのデバイス ID (28:12)	110110101010100	11011010101100100	SRAM の種類を定義します。
サイプレスの JEDEC ID (11:1)	00000110100	00000110100	SRAM ベンダーを識別します。
ID レジスタの有無 (0)	1	1	ID レジスタの有無を示します。

スキャン レジスタ サイズ

レジスタ名	ビット サイズ
命令	3
バイパス	1
ID	32
バウンダリ スキャン	136

命令コード

命令	コード	説明
EXTEST	000	入力および出力リングの内容をキャプチャします。
IDCODE	001	ベンダ ID コードを ID レジスタにロードし、レジスタを TDI と TDO の間に配置します。この動作は SRAM 動作に影響を与えません。
SAMPLE Z	010	入力と出力の内容を取り込みます。バウンダリ スキャン レジスタを TDI と TDO の間に配置します。全ての SRAM 出カドライバを High Z 状態に移行させます。
RESERVED	011	未使用：この命令は将来のために予約されます。
SAMPLE/PRELOAD	100	入力と出力の内容を取り込みます。バウンダリ スキャン レジスタを TDI と TDO の間に配置します。SRAM 動作に影響を与えません。
RESERVED	101	未使用：この命令は将来のために予約されます。
RESERVED	110	未使用：この命令は将来のために予約されます。
BYPASS	111	バイパス レジスタを TDI と TDO の間に配置します。この動作は SRAM 動作に影響を与えません。

バウンダリ スキャン順序

ビット	端子	CY7C4042KV13	CY7C4022KV13
		×36 デバイス	×18 デバイス
0	12A	DQA<26>	DQA<17>
1	13B	DQA<19>	DQA<10>
2	14A	DQA<25>	DQA<16>
3	15B	DQA<35>	NC
4	16A	DQA<23>	DQA<14>
5	18B	DQA<31>	NC
6	17C	QVLDA<1>	QVLDA<1>
7	16C	QKA<1>	QKA<1>
8	14C	DQA<20>	DQA<11>
9	12C	DQA<18>	DQA<9>
10	12D	DINVA<1>	DINVA<1>
11	13D	DQA<22>	DQA<13>
12	15D	DQA<21>	DQA<12>
13	17D	QKA#<1>	QKA#<1>
14	18E	DQA<32>	NC
15	15F	DQA<24>	DQA<15>
16	16F	DKA<1>	DKA<1>
17	17F	DKA#<1>	DKA#<1>
18	18G	DQA<33>	NC
19	16G	DQA<34>	NC
20	17H	DQA<27>	NC
21	15H	DQA<28>	NC
22	16J	DQA<30>	NC
23	18J	DQA<29>	NC
24	18K	RST#	RST#
25	18L	DQB<29>	NC
26	16L	DQB<30>	NC
27	15M	DQB<28>	NC
28	17M	DQB<27>	NC
29	18N	DQB<33>	NC
30	16N	DQB<34>	NC
31	15P	DQB<24>	DQB<15>
32	16P	DKB<1>	DKB<1>
33	17P	DKB#<1>	DKB#<1>
34	18R	DQB<32>	NC
35	17T	QKB#<1>	QKB#<1>
36	15T	DQB<21>	DQB<12>
37	13T	DQB<22>	DQB<13>
38	12T	DINVB<1>	DINVB<1>
39	12U	DQB<18>	DQB<9>
40	14U	DQB<20>	DQB<11>
41	16U	QKB<1>	QKB<1>
42	17U	QVLDB<1>	QVLDB<1>
43	18V	DQB<31>	NC
44	15V	DQB<35>	NC
45	13V	DQB<19>	DQB<10>
46	12W	DQB<26>	DQB<17>

バウンダリ スキャン順序 (続き)

ビット	端子	CY7C4042KV13	CY7C4022KV13
		×36 デバイス	×18 デバイス
47	14W	DQB<25>	DQB<16>
48	16W	DQB<23>	DQB<14>
49		Internal_DQB	Internal_DQB
50		Internal_DQA	Internal_DQA
51	10V	PE#	PE#
52	8P	A<15>	A<15>
53	7N	A<9>	A<9>
54	9N	NC/1152M	NC/576M
55	10P	AP	AP
56	10N	A<2>	A<2>
57	11N	NC/2304M	NC/1152M
58	12P	A<16>	A<16>
59	13N	A<10>	A<10>
60	13L	A<8>	A<8>
61	12M	A<12>	A<12>
62	11L	A<18>	A<18>
63	10L	RWB#	RWB#
64	10M	AINV	AINV
65	9L	A<17>	A<17>
66	8M	A<11>	A<11>
67	7L	A<7>	A<7>
68	7J	A<5>	A<5>
69	9J	A<19>	A<19>
70	10K	CK#	CK#
71	10J	CK	CK
72	11J	NC/144M	A<20>
73	13J	A<6>	A<6>
74	12H	LDB#	LDB#
75	10H	RWA#	RWA#
76	8H	LDA#	LDA#
77	7G	A<3>	A<3>
78	9G	NC/288M	NC/144M
79	10G	A<1>	A<1>
80	11G	NC/576M	NC/288M
81	13G	A<4>	A<4>
82	12F	A<14>	A<14>
83	10F	A<0>	A<0>
84	8F	A<13>	A<13>
85	10D	CFG#	CFG#
86	10B	LBK#<1>	LBK#<1>
87	10A	LBK#<0>	LBK#<0>
88	8A	DQA<8>	DQA<8>
89	7B	DQA<1>	DQA<1>
90	6A	DQA<7>	DQA<7>
91	5B	DQA<17>	NC
92	4A	DQA<5>	DQA<5>
93	2B	DQA<13>	NC
94	3C	QVLDA<0>	QVLDA<0>
95	4C	QKA<0>	QKA<0>

バウンダリ スキャン順序 (続き)

ビット	端子	CY7C4042KV13	CY7C4022KV13
		×36 デバイス	×18 デバイス
96	6C	DQA<2>	DQA<2>
97	8C	DQA<0>	DQA<0>
98	8D	DINVA<0>	DINVA<0>
99	7D	DQA<4>	DQA<4>
100	5D	DQA<3>	DQA<3>
101	3D	QKA#<0>	QKA#<0>
102	2E	DQA<14>	NC
103	3F	DKA#<0>	DKA#<0>
104	4F	DKA<0>	DKA<0>
105	5F	DQA<6>	DQA<6>
106	4G	DQA<16>	NC
107	2G	DQA<15>	NC
108	3H	DQA<9>	NC
109	5H	DQA<10>	NC
110	4J	DQA<12>	NC
111	2J	DQA<11>	NC
112	2L	DQB<11>	NC
113	4L	DQB<12>	NC
114	5M	DQB<10>	NC
115	3M	DQB<9>	NC
116	2N	DQB<15>	NC
117	4N	DQB<16>	NC
118	5P	DQB<6>	DQB<6>
119	4P	DKB<0>	DKB<0>
120	3P	DKB#<0>	DKB#<0>
121	2R	DQB<14>	NC
122	3T	QKB#<0>	QKB#<0>
123	5T	DQB<3>	DQB<3>
124	7T	DQB<4>	DQB<4>
125	8T	DINVB<0>	DINVB<0>
126	8U	DQB<0>	DQB<0>
127	6U	DQB<2>	DQB<2>
128	4U	QKB<0>	QKB<0>
129	3U	QVLDB<0>	QVLDB<0>
130	2V	DQB<13>	NC
131	5V	DQB<17>	NC
132	7V	DQB<1>	DQB<1>
133	8W	DQB<8>	DQB<8>
134	6W	DQB<7>	DQB<7>
135	4W	DQB<5>	DQB<5>

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザガイドラインは試験されていません。

保存温度 -65 °C ~ +150 °C

通電時

の周囲温度 -55 °C ~ +125 °C

最大接合部温度 125 °C

GND を基準とした

V_{DD} の電源電圧 -0.3V ~ +1.35V

GND を基準とした

V_{DDQ} の電源電圧 -0.3 V to +1.35 V

DC 入力電圧 -0.3V ~ +1.35V

出力への電流 (ローレベル) 20 mA

静電気放電電圧

(MIL-STD-883, M. 3015) >2001V

ラッチアップ電流 >200mA

動作範囲

範囲	ケース温度 (T _C)	V _{DD}	V _{DDQ}
商用	0 °C ~ +70 °C	1.3V±40mV	1.1V±50mV 1.2V±50mV

中性子ソフト エラー耐性

記号	項目	テスト条件	Typ	Max*	単位
LSBU	単一論理 ビット反転	25 °C	0	0.01	FIT/Mb
LMBU	複数論理 ビット反転	25 °C	0	0.01	FIT/Mb
SEL	シングル イベント ラッチアップ	85 °C	0	0.1	FIT/Dev

* テスト中に LMBU または SEL イベントは発生しない；本項は χ^2 分布の 95% 信頼上限を示します。詳細は、「Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates – AN54908」のアプリケーションノートを参照してください。

電気的特性

動作範囲において

記号	項目	Min	Typ	Max	単位
POD 信号モード					
V _{DD} ^[4]	コア電源電圧 (1.3V±40mV)	1.26	1.3	1.34	V
V _{DDQ} ^[4]	POD I/O 電源電圧 (1.1V±50mV)	1.05	1.1	1.15	V
	POD I/O 電源電圧 (1.2V±50mV)	1.15	1.2	1.25	V
V _{REF} ^[4, 5]	POD 基準電圧	V _{DDQ} ×0.69	V _{DDQ} ×0.7	V _{DDQ} ×0.71	V
V _{OL(DC)} ^[4]	POD ローレベル出力電圧 (DC)	–	–	0.5	V
V _{IH(DC)} ^[4, 6]	POD ハイレベル入力電圧 (DC)	V _{REF} +0.08	–	V _{DDQ} +0.15	V
V _{IL(DC)} ^[4, 6]	POD ローレベル入力電圧	–0.15	–	V _{REF} –0.08	V
V _{IH(AC)} ^[4, 7]	POD ハイレベル入力電圧 (DC)	V _{REF} +0.15	–	–	V
V _{IL(AC)} ^[4, 7]	POD ローレベル入力電圧	–	–	V _{REF} –0.15	V
V _{MP(DC)}	POD 差動入力中点電圧；ピンとピン #	V _{REF} –0.08	–	V _{REF} +0.08	V
V _{ID(DC)}	POD 差動入力差動電圧 (DC)；ピンとピン #	0.16	–	–	V
V _{ID(AC)}	POD 差動入力差動電圧 (AC)；ピンとピン #	0.30	–	–	V
V _{IN}	POD シングルエンド入力電圧；ピンとピン #	0.27	–	V _{DDQ} +0.15	V
V _{INS}	POD シングルエンド入力電圧のスルーレート；ピンとピン #	3	–	–	V/ns
V _{IX(AC)}	POD 差動入力交差点電圧 (AC)；ピンとピン #	V _{REF} –0.08	–	V _{REF} +0.08	V

注

- 全ての電圧は VSS (GND) を基準にしています。
- V_{REF} でのピーク ツー ピーク AC ノイズは、V_{DDQ} (DC) の +/-2% を超えてはいけません。
- V_{IH}/V_{IL} (DC) は、ODT が無効になっている状態で規定されます。
- V_{IH}/V_{IL} (AC) は、ODT が有効になっている状態でレシーバがそのタイミング仕様を満たすように規定されたテスト条件です。

電気的特性 (続き)

動作範囲において

記号	項目	Min	Typ	Max	単位
$I_X^{[8]}$	POD 入力漏れ電流	-	-	200	μA
$I_{OZ}^{[8]}$	POD 出力漏れ電流	-	-	200	μA
$I_{DD}^{[9, 10]}$	V_{DD} 動作電源 (1066MHz、 $\times 18$)	-	2800	4100	mA
	V_{DD} 動作電源 (1066MHz、 $\times 36$)	-	3920	4500	mA
	V_{DD} 動作電源 (933MHz、 $\times 18$)	-	2520	3400	mA
	V_{DD} 動作電源 (933MHz、 $\times 36$)	-	3520	4000	mA
HSTL/SSTL 信号モード					
$V_{DD}^{[11]}$	コア電源電圧 (1.3V \pm 40mV)	1.26	1.3	1.34	V
$V_{DDQ}^{[11]}$	I/O 電源電圧 (1.2V \pm 50mV)	1.15	1.2	1.25	V
	I/O 電源電圧 (1.25V \pm 50mV)	1.2	1.25	1.3	V
$V_{REF(DC)}^{[11]}$	HSTL/SSTL 基準電圧 (DC)	$V_{DDQ} \times 0.48$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.52$	V
$V_{REF(AC)}^{[11]}$	HSTL/SSTL 基準電圧 (AC)	$V_{DDQ} \times 0.47$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.53$	V
$V_{IH(DC)}^{[11, 13]}$	HSTL/SSTL ハイ レベル入力電圧 (DC)	$V_{REF} + 0.8$	-	$V_{DDQ} + 0.15$	V
$V_{IL(DC)}^{[11, 13]}$	HSTL/SSTL ロー レベル入力電圧 (DC)	-0.15	-	$V_{REF} - 0.08$	V
$V_{IH(AC)}^{[11, 14]}$	HSTL/SSTL ハイ レベル入力電圧 (AC)	$V_{REF} + 0.15$	-	$V_{DDQ} + 0.24$	V
$V_{IL(AC)}^{[11, 14]}$	HSTL/SSTL ロー レベル入力電圧 (AC)	-0.24	-	$V_{REF} - 0.15$	V
$V_{OH(DC)}^{[11]}$	HSTL/SSTL ハイ レベル出力電圧 (DC) - $I_{OH} = -0.25 \times V_{DDQ} / R_{OH}$	$V_{DDQ} \times 0.712$	$V_{DDQ} \times 0.75$	-	V
$V_{OL(DC)}^{[11]}$	HSTL/SSTL ロー レベル出力電圧 (DC) - $I_{OL} = 0.25 \times V_{DDQ} / R_{OL}$	-	$V_{DDQ} \times 0.25$	$V_{DDQ} \times 0.288$	V
V_{IX}	HSTL/SSTL 入力交差点電圧	-	$V_{DDQ} \times 0.5$	-	V
$V_{DIF(AC)}$	HSTL/SSTL AC 入力差動電圧	0.30	-	$V_{DDQ} + 0.48$	V
$V_{DIF(DC)}$	HSTL/SSTL DC 入力差動電圧	0.16	-	$V_{DDQ} + 0.30$	V
$V_{DIF(CM)}$	HSTL/SSTL DC コモン モード入力	$V_{DDQ} \times 0.4$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.6$	V
V_{OX}	HSTL/SSTL 出力交差点電圧	-	$V_{DDQ} \times 0.5$	-	V
$V_{OUT(AC)}$	HSTL/SSTL AC 出力電圧	-0.24	-	$V_{DDQ} + 0.24$	V
$V_{OUT(DC)}$	HSTL/SSTL DC 出力電圧	-0.15	-	$V_{DDQ} + 0.15$	V
$I_X^{[8]}$	HSTL/SSTL 入力漏れ電流	-	-	200	μA
$I_{OZ}^{[8]}$	HSTL/SSTL 出力漏れ電流	-	-	200	μA
$I_{DD}^{[9, 10]}$	V_{DD} 動作電源 (1066MHz、 $\times 18$)	-	2800	4100	mA
	V_{DD} 動作電源 (1066MHz、 $\times 36$)	-	3920	4500	mA
	V_{DD} 動作電源 (933MHz、 $\times 18$)	-	2520	3400	mA
	V_{DD} 動作電源 (933MHz、 $\times 36$)	-	3520	4000	mA

注

8. ODT が無効になっている状態で出力ドライバを High Z にする
9. 動作電流は、読み出しサイクル 50%、書き込みサイクル 50% で計算されます。
10. 標準動作電流の仕様は 1.3V の V_{DD} でテストされます。
11. 全ての電圧は VSS (GND) を基準にしています。
12. V_{REF} でのピーク ツー ピーク AC ノイズは、 V_{DDQ} (DC) の +/-2% を超えてはいけません。
13. V_{IH}/V_{IL} (DC) は、ODT が無効になっている状態で規定されます。
14. V_{IH}/V_{IL} (AC) は、ODT が有効になっている状態でレシーバがそのタイミング仕様を満たすように規定されたテスト条件です。

静電容量

表 18. 静電容量

記号 ^[15]	項目	テスト条件	Max	単位
C_{IN}	入力容量	$T_A=25\text{ }^\circ\text{C}$ 、 $f=1\text{MHz}$ 、 $V_{DD}=1.3\text{V}$ 、 $V_{DDQ}=1.25\text{V}$	4	pF
C_O	出力容量		4	pF

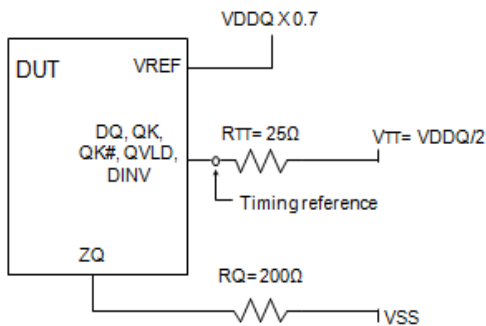
熱抵抗

表 19. 熱抵抗

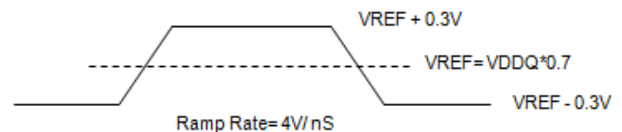
記号 ^[15]	説明	テスト条件	361 ボール FCB-GA パッケージ	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従います。	静止空気の条件 (0m/s)	12.00 $^\circ\text{C/W}$
			気流条件 (1m/s)	10.57 $^\circ\text{C/W}$
			気流条件 (3m/s)	9.09 $^\circ\text{C/W}$
Θ_{JB}	熱抵抗 (接合部からボード)		3.03	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		0.029	$^\circ\text{C/W}$

AC テストの負荷と波形

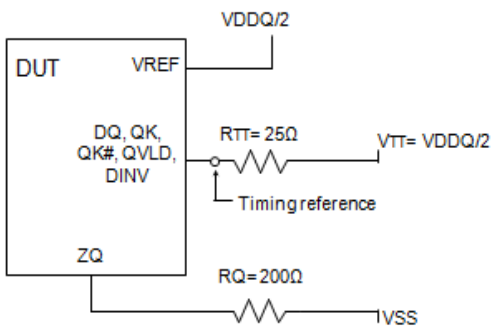
図 7. AC テストの負荷と波形



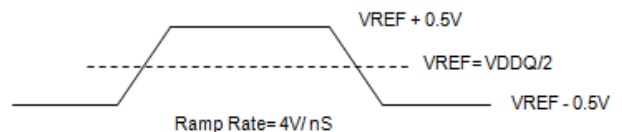
(a). Output AC Test Load (POD I/O)



(b). POD Input Waveforms



(c). Output AC Test Load (HSTL/SSTL I/O)



(d). HSTL/SSTL Input Waveforms

注

15. 開発時とこれらのパラメータが影響を受ける設計またはプロセス変更があった後テストされます。

スイッチング特性

動作範囲において [16、17、18、19、20、21、22、23]

記号	項目	1066MHz 以上		933MHz		単位
		Min	Max	Min	Max	
t _{CK}	CK、DKx、QKx クロック周期	0.938	1.875	1.071	2.143	ns
t _{CKL}	CK、DKx ロー レベル時間	0.45*	–	0.45*	–	t _{CK}
t _{CKH}	CK、DKx ハイ レベル時間	0.45*	–	0.45*	–	t _{CK}
t _{JIT} (per)	クロック周期ジッタ	–0.055	0.055	–0.060	0.060	ns
t _{JIT} (cc)	サイクルツーサイクル ジッタ	–	0.110	–	0.120	ns
t _{AS}	A から CK までのセットアップ時間	0.125	–	0.135	–	ns
t _{AH}	CK から A までのホールド時間	0.125	–	0.135	–	ns
t _{CS}	LDx#、RWx# から CK までのセットアップ時間	0.150	–	0.180	–	ns
t _{CH}	CK から LDx#、RWx# までのホールド時間	0.150	–	0.180	–	ns
t _{CKDK}	CK から DKx までのスキュー時間	–0.15	0.15	–0.172	0.172	ns
t _{IS}	DQx、DINVx から DKx までのセットアップ時間	0.125	–	0.135	–	ns
t _{IH}	DKx から DQx、DINVx までのホールド時間	0.125	–	0.135	–	ns
t _{Rise} (se)	シングルエンド出力信号の立ち上がり時間 (20% ~ 80%)	2	6	2	6	V/ns
t _{Fall} (se)	シングルエンド出力信号の立ち下がり時間 (20% ~ 80%)	2	6	2	6	V/ns
t _{Rise} (diff)	差動出力信号の立ち上がり時間 (20% ~ 80%)	3	10	3	10	V/ns
t _{Fall} (diff)	差動出力信号の立ち下がり時間 (20% ~ 80%)	3	10	3	10	V/ns
t _{QKL}	QKx ロー レベル時間	0.45*	–	0.45*	–	t _{CK}
t _{QKH}	QKx ハイ レベル時間	0.45*	–	0.45*	–	t _{CK}
t _{CKQK}	CK から QKx までのスキュー時間	–0.225	0.225	–0.257	0.257	ns
t _{QKQ0}	QKx[0] から DQx[17:0]、DINVx[0] までの時間 (×36 の場合)、または QKx[0] から DQx[8:0]、DINVx[0] までの時間 (×18 の場合)	–	0.075	–	0.085	ns
t _{QH0}	QKx[0] から DQx[17:0]、DINVx[0] までの時間 (×36 の場合)、または QKx[0] から DQx[8:0]、DINVx[0] までの時間 (×18 の場合)	0.40*	–	0.40*	–	t _{CK}
t _{QKQ1}	QKx[1] から DQx[35:18]、DINVx[1] までの時間 (×36 の場合)、または QKx[1] から DQx[17:9]、DINVx[1] までの時間 (×18 の場合)	–	0.075	–	0.085	ns
t _{QH1}	QKx[1] から DQx[35:18]、DINVx[1] までの時間 (×36 の場合)、または QKx[1] から DQx[17:9]、DINVx[1] までの時間 (×18 の場合)	0.40*	–	0.40*	–	t _{CK}
t _{QKQV0}	QKx[0] から QVLDx までの時間	–	0.112	–	0.128	ns
t _{QVH0}	QKx[0] から QVLDx までの時間	0.85*	–	0.85*	–	t _{CK}
t _{QKQV1}	QKx[1] から QVLDx までの時間	–	0.112	–	0.128	ns
t _{QVH1}	QKx[1] から QVLDx までの時間	0.85*	–	0.85*	–	t _{CK}
t _{PWR}	V _{DD} (Typ) から最初のアクセスまでの時間	200	–	200	–	ms
t _{RSS}	RST# パルス幅	200	–	200	–	μs
t _{RSH}	RST# デアサートから最初のアクティブなコマンドまでの時間	400000*	–	400000*	–	t _{CK}

- 注
- x はポート A とポート B を示します。例えば、DQx は DQA と DQB を示します。
 - 全ての入力ホールド タイミングは、V_{IL}/V_{IH} (DC) から V_{REF} までの立ち上がりエッジのスルーレートが 4V/ns であることを前提にしています。
 - 入力セットアップ タイミングは、V_{REF} から V_{IL}/V_{IH} (AC) までの立ち下がりエッジのスルーレートが 4V/ns であることを前提にしています。
 - 全ての出力タイミングは図 8 に示される負荷を前提にしています。
 - セットアップ/ホールド、t_{ASH}、t_{CSH}、t_{ISH} はスキュー タイミング 計算に使用され、電氣的シミュレーションに基づいています。デスクュー トレーニングを行わないと、これらのパラメータを直接測定することはできません。
 - クロック位相ジッタは、実際のクロック立ち上がりエッジから次の理想的なクロック立ち上がりエッジまでのばらつきです。
 - 周波数変動は許容しません。
 - t_{QKQ}、t_{QKQX} は設計保証です。

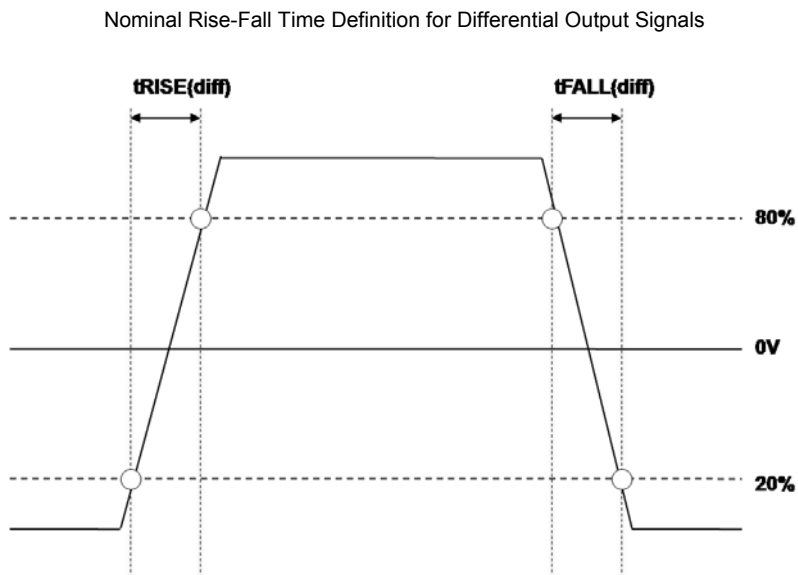
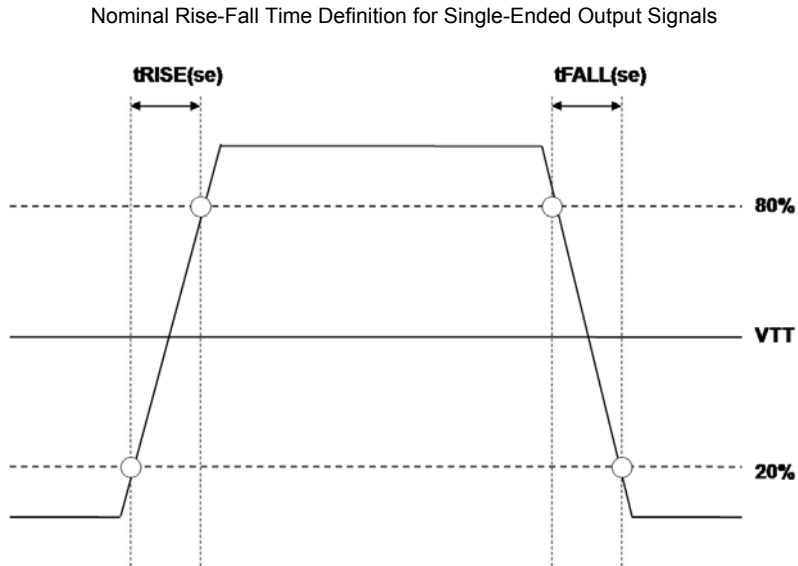
スイッチング特性 (続き)

動作範囲において [16、17、18、19、20、21、22、23]

記号	項目	1066MHz 以上		933MHz		単位
		Min	Max	Min	Max	
t _{RDS}	A から RST# までのセットアップ時間	500*	–	500*	–	t _{CK}
t _{RDH}	A から RST# までのホールド時間	500*	–	500*	–	t _{CK}
t _{TSS}	TRST# パルス幅	200	–	200	–	μs
t _{TSH}	TRST# デアサートから最初の JTAG コマンドまでの時間	200	–	200	–	μs
t _{PLL}	PLL がリセット後に安定するまでの時間	–	100	–	100	μs
t _{LBL}	ループバック レイテンシ	16*	16*	16*	16*	t _{CK}
t _{CD}	ループバック出力遅延	–	5	–	5	ns
t _{CFGS}	アクティブモードからコンフィギュレーション モードへの移行時間	32*	–	32*	–	t _{CK}
t _{CFGH}	コンフィギュレーション モードからアクティブ モード レジスタ アクセスまでの時間 (ODT なしに PLL プログラミングの更新がない時)	32*	–	32*	–	t _{CK}
t _{CFGH}	コンフィギュレーション モードからアクティブ モード レジスタ アクセスまでの時間 (ODT または PLL プログラミングの更新がある時)	4096*	–	4096*	–	t _{CK}
t _{CFGH}	コンフィギュレーション モードからアクティブモード レジスタ アクセスまでの時間 (PLL プログラミングの更新あり)	100	–	100	–	μs
t _{CFGD}	コンフィギュレーション コマンド間の時間	80*	–	80*	–	t _{CK}
t _{CLDS}	CFG# アサートから LDA# アサートまでの時間	32*	–	32*	–	t _{CK}
t _{CLDH}	LDA# デアサートから CFG# デアサートまでの時間	32*	–	32*	–	t _{CK}
t _{CLDW}	コンフィギュレーション コマンド用の LDA# パルス幅	16*	–	16*	–	t _{CK}
t _{CRDL}	LDA# アサートから読み出しデータ レイテンシまでの時間	–	32*	–	32*	t _{CK}
t _{CRDH}	CFG# デアサートから読み出しデータ ホールドまでの時間	0*	32*	0*	32*	t _{CK}
t _{DQVLD}	DQAx から QVLDA<0> まで (コンフィギュレーション モード中) の時間	-2	2	-2	2	t _{CK}

スイッチング波形

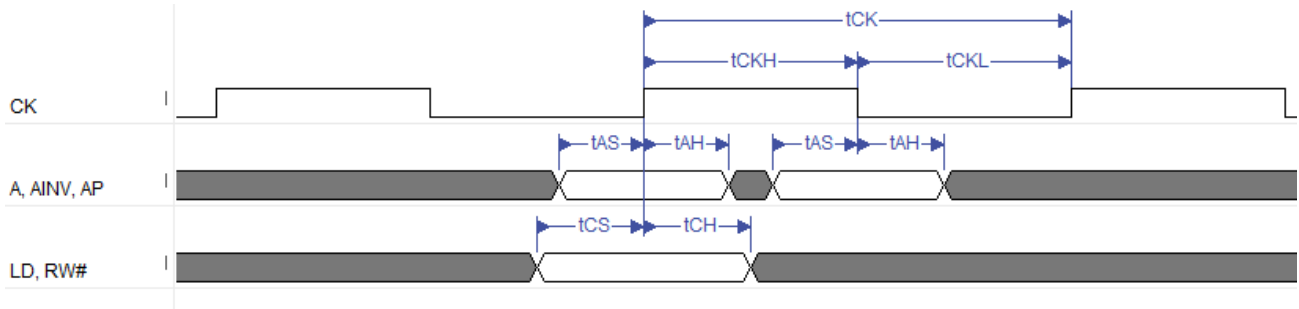
図 8. 出力信号の立ち上がり、立ち下がり時間の定義



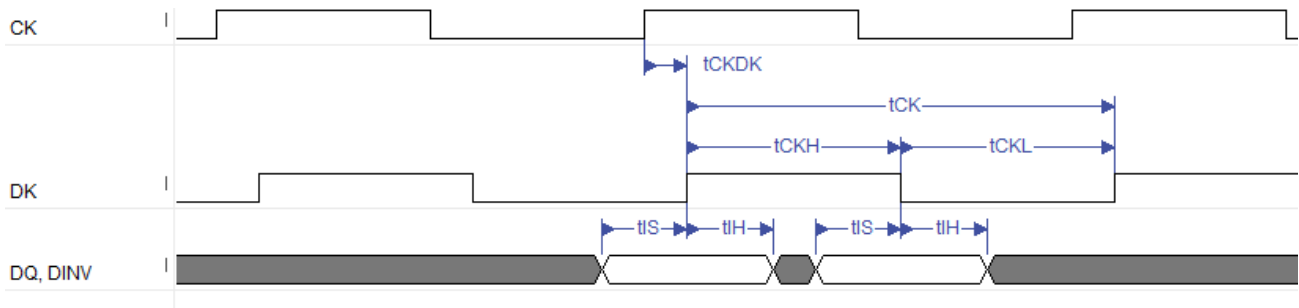
スイッチング波形 (続き)

図 9. 入出力タイミング波形

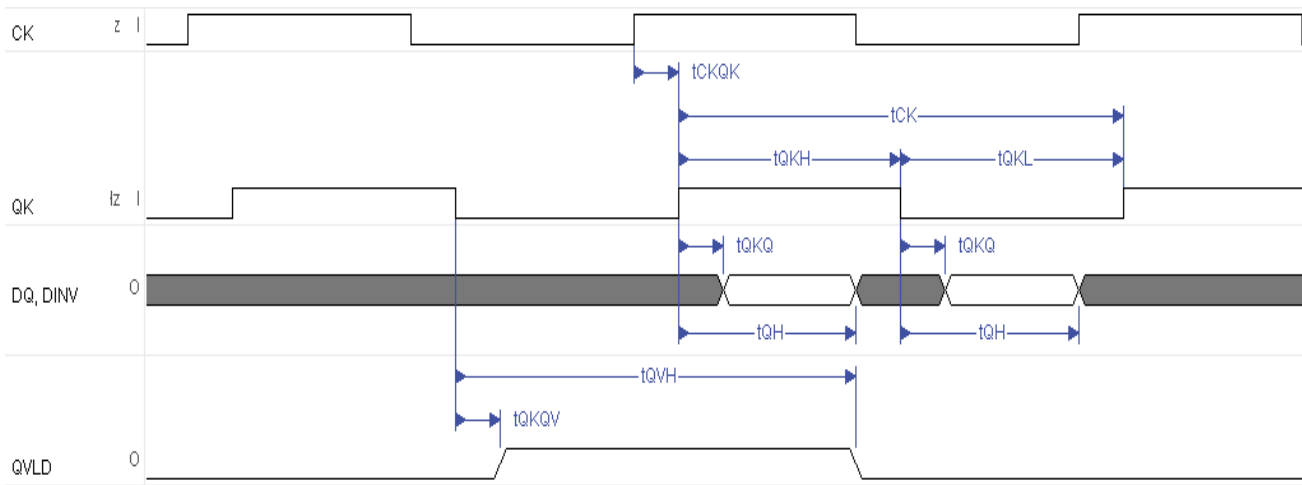
Address and Command Input Timing



Data Input Timing



Data Output Timing



スイッチング波形 (続き)

図 10. 8.0 サイクル読み出しレイテンシの波形 (読み出しタイミングから書き込みタイミングまでの波形)

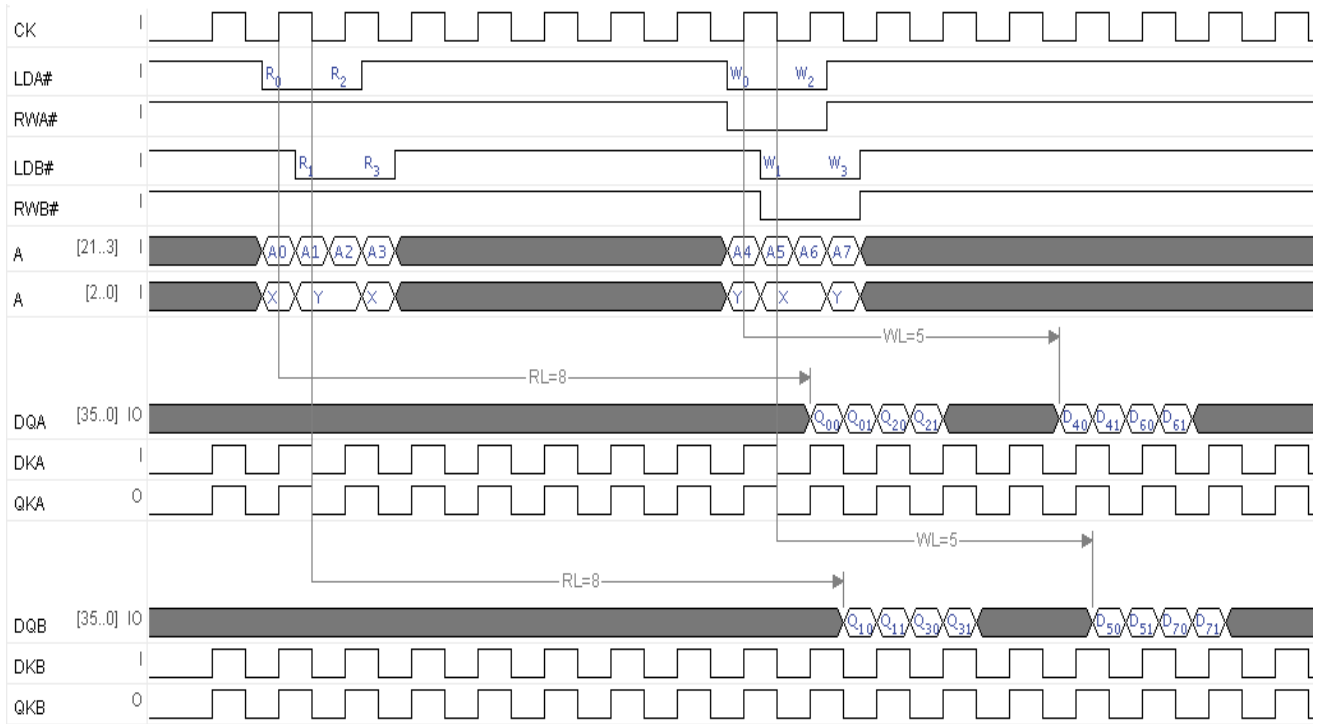
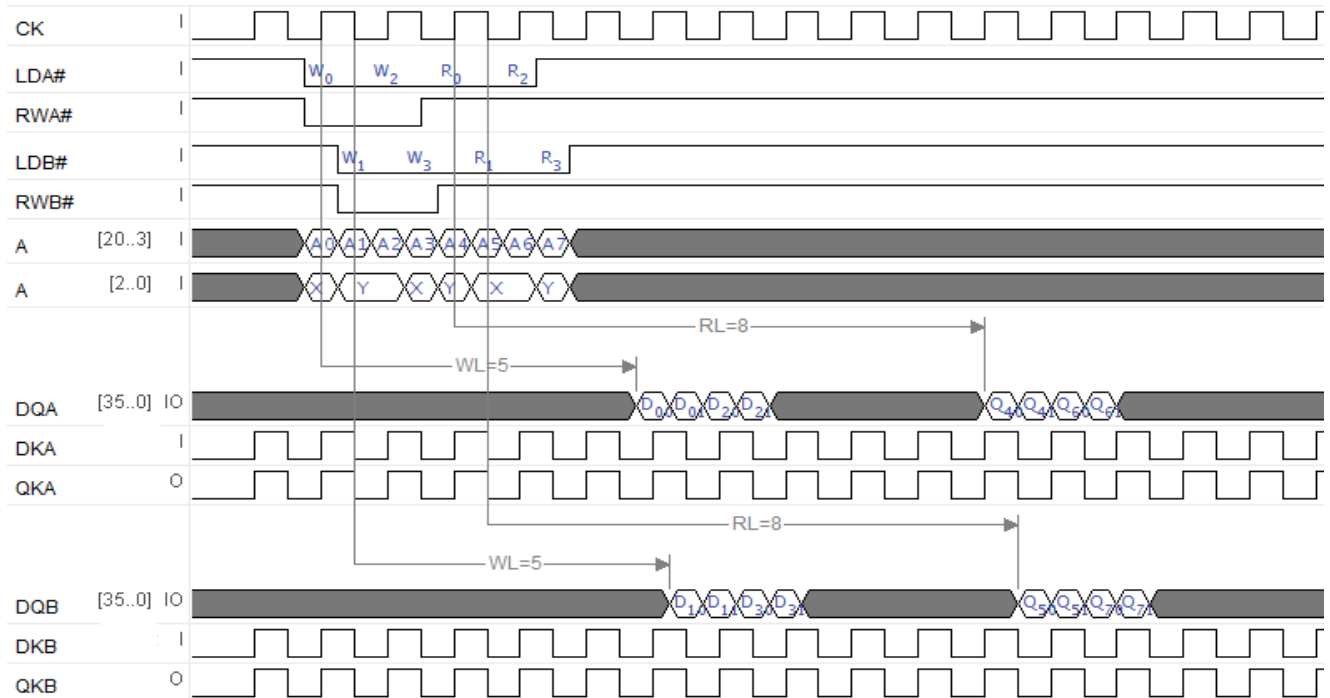


図 11. 8.0 サイクル読み出しレイテンシの波形 (書き込みタイミングから読み出しタイミングまでの波形)



スイッチング波形 (続き)

図 12. コンフィギュレーション書き込みタイミング波形

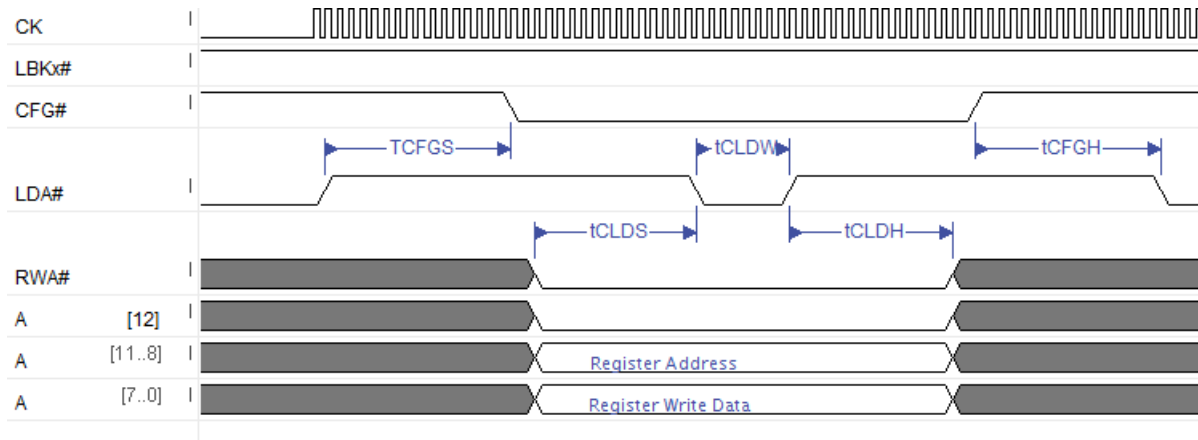
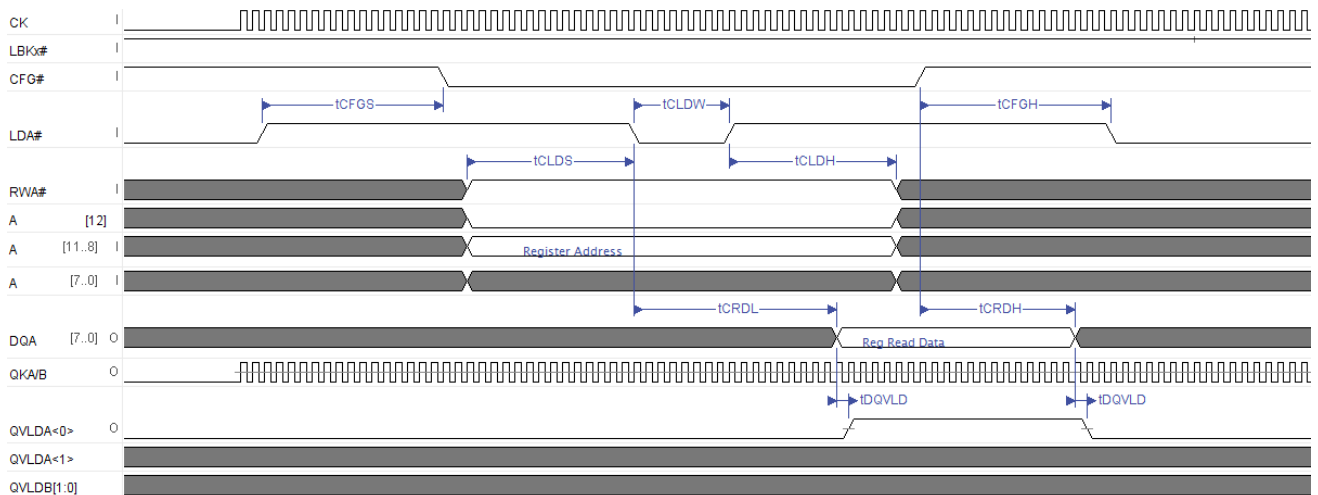


図 13. コンフィギュレーション読み出しタイミング波形

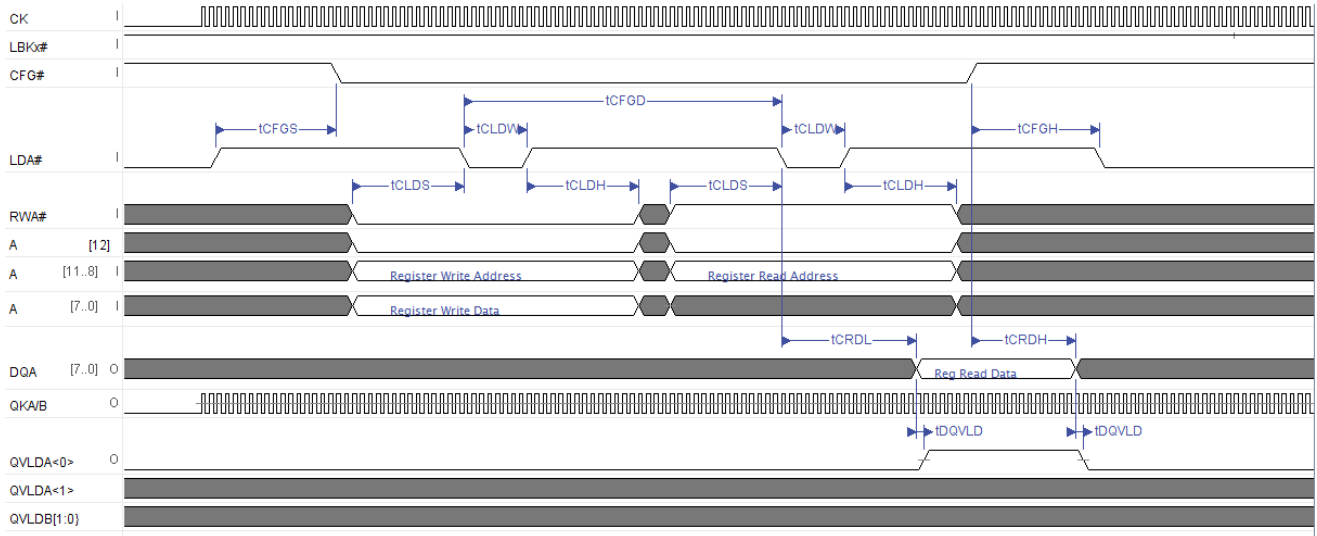


Note: DQA[x:8] and DQB data bus is a don't care in Configuration Mode

スイッチング波形 (続き)

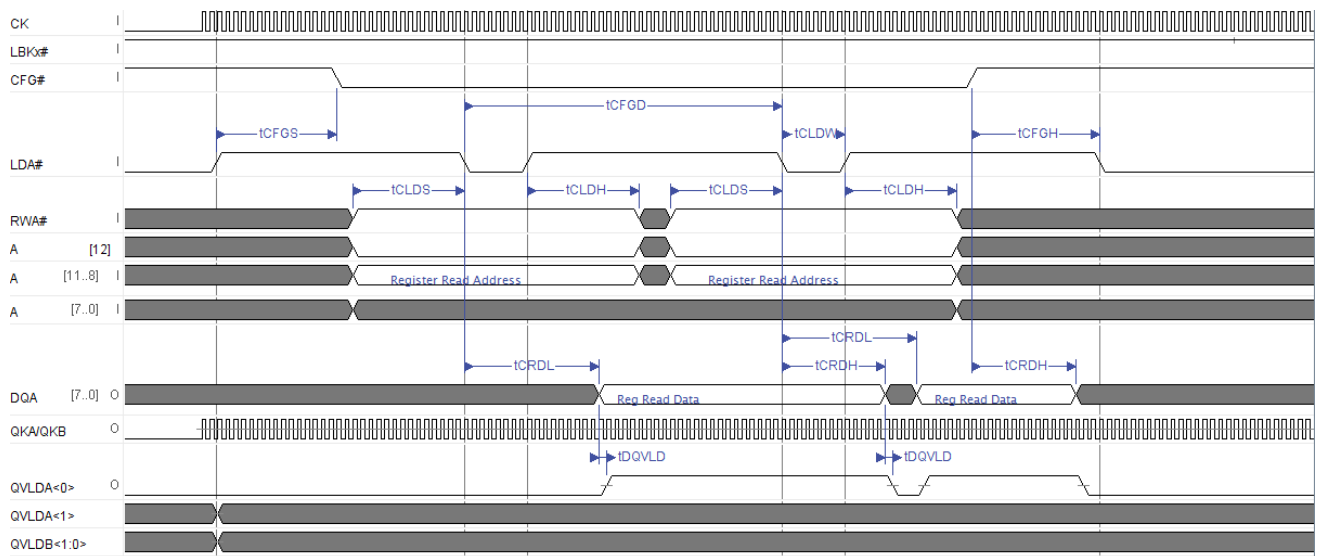
図 14. コンフィギュレーション読み書きタイミング波形

(a) Configuration Multiple Cycle - Write followed by Read Operation



Note: DQA[x:8] and DQB data bus is a don't care in Configuration Mode

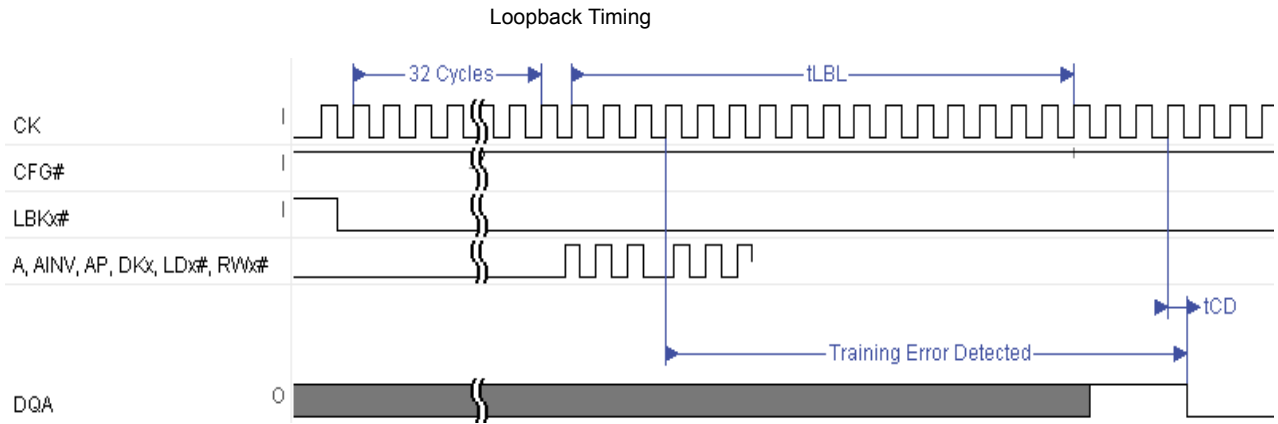
(b) Configuration Multiple Cycle - Back to Back Read Operation



Note: DQA[x:8] and DQB data bus is a don't care in Configuration Mode

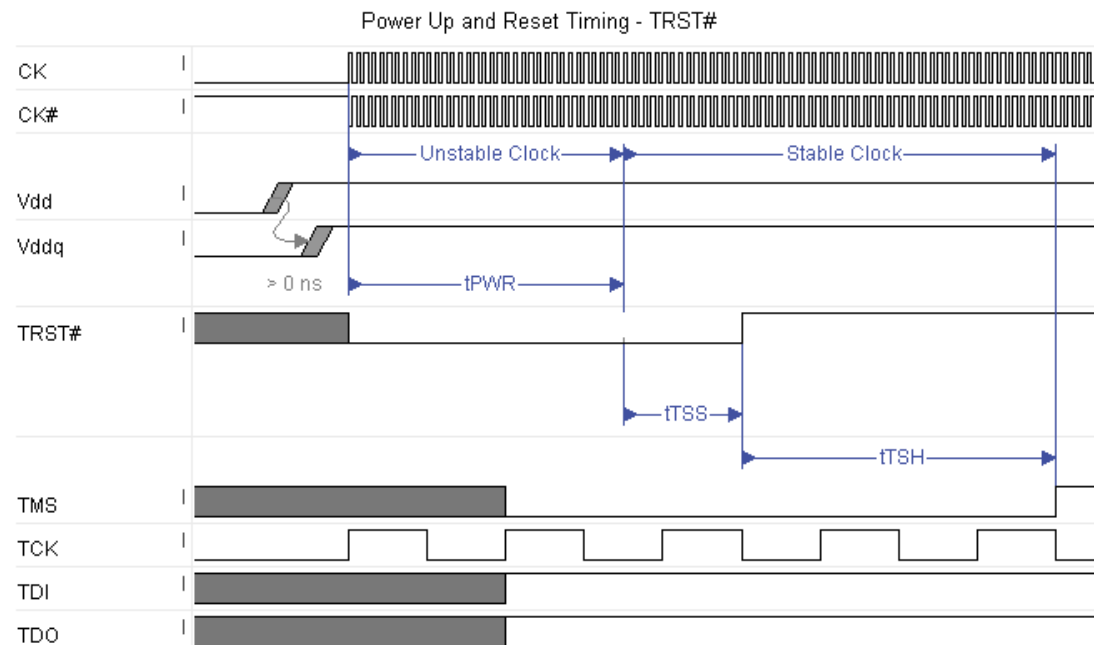
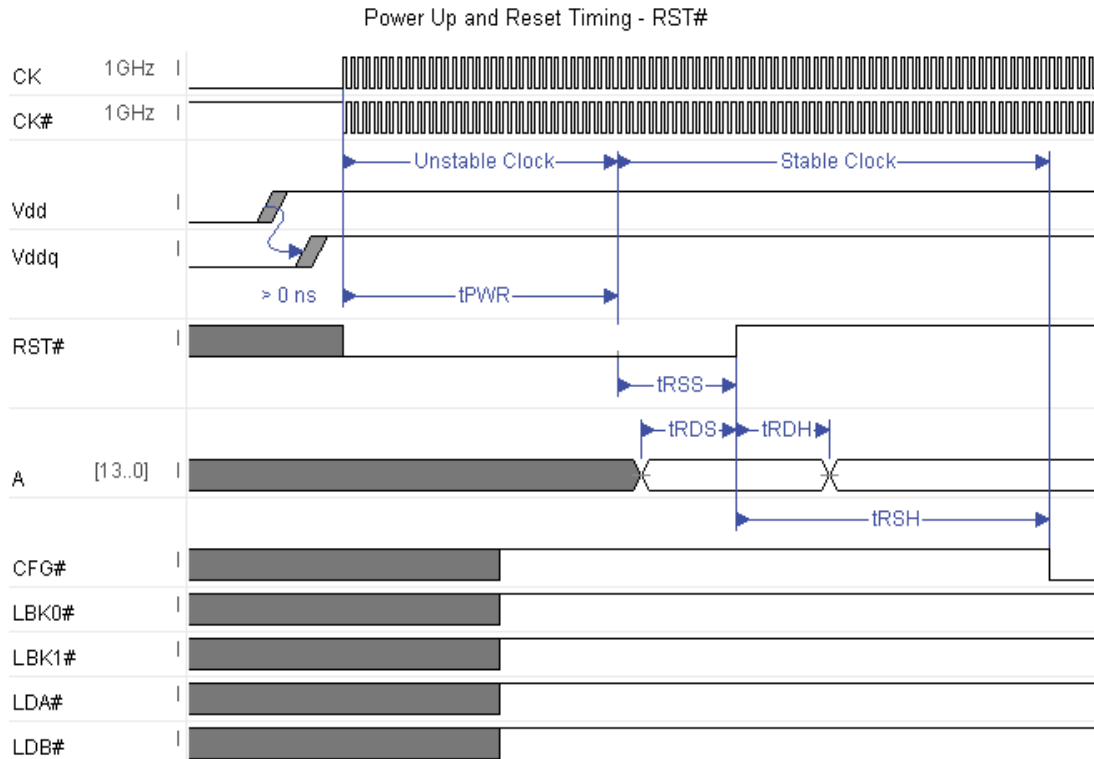
スイッチング波形 (続き)

図 15. ループバック タイミング



スイッチング波形（続き）

図 16. リセット タイミング



注文情報

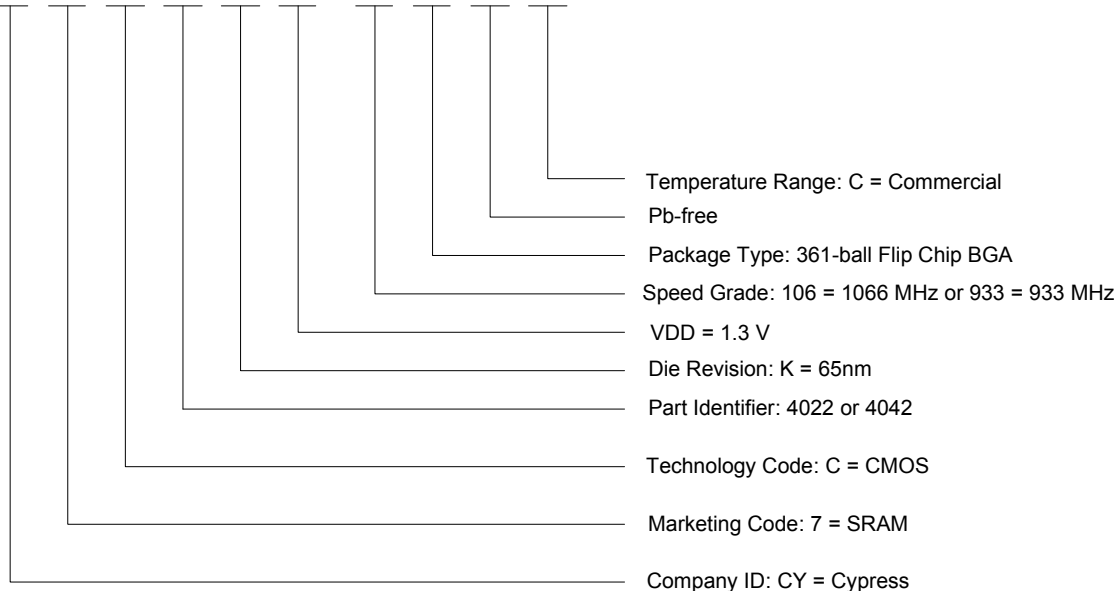
以下の表には、現在在庫としてある部品のみを示します。お探し物が見つからない場合は、最寄りの販売代理店にお問い合わせください。詳細は、サイプレスのウェブサイト www.cypress.com を訪問し、製品概要のページ <http://www.cypress.com/products> を参照して下さい。

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスの <http://www.cypress.com/go/datasheet/offices> をご覧ください。

速度 (MHz)	注文コード	パッケージ図	パッケージタイプ	動作範囲
1066	CY7C4022KV13-106FCXC	001-70319	361 ボール FCBGA (21×21×2.515 mm) 無鉛品	商用
	CY7C4042KV13-106FCXC			
933	CY7C4022KV13-933FCXC	001-70319	361 ボール FCBGA (21×21×2.515 mm) 無鉛品	商用
	CY7C4042KV13-933FCXC			

注文コードの定義

CY 7 C 40x2 K V13 - XXX FC X C



略語

表 20. 本書で使用する略語

略語	説明
DDR	Double Data Rate (ダブル データ レート)
RTR	Random Transaction Rate (ランダム トランザクション レート)
EIA	Electronic Industries Alliance(米国電子工業会)
EMI	Electromagnetic Interference (電磁妨害)
FCBGA	Flip-Chip Ball Grid Array (フリップチップ ボールグリッド アレイ)
I/O	Input/Output (入出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会 (旧電子機器技術評議会))
JTAG	Joint Test Action Group (ジョイント テスト アクション グループ)
LMBU	Logical Multiple Bit Upset (複数論理ビット反転)
LSB	Least Significant Bit (最下位ビット)
LSBU	Logical Single Bit Upset (単一論理ビット反転)
MSB	Most significant bit (最上位ビット)
ODT	On-Die Termination (オンダイ終端)
PLL	Phase Locked Loop (位相ロック ループ)
QDR	Quad Data Rate (クワッド データ レート)
SDR	Single Data Rate (シングル データ レート)
SEL	Single Event Latch-up (シングル イベント ラッチアップ)
SER	Soft Error Rate (ソフト エラー レート)
SRAM	Static Random Access Memory (スタティック RAM)
TAP	Test Access Port (テスト アクセス ポート)
TCK	Test Clock (テスト クロック)
TDI	Test Data-In (テスト データ入力)
TDO	Test Data-Out (テスト データ出力)
TMS	Test Mode Select (テスト モード選択)

本書の表記法

測定単位

表 21. 測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
mV	ミリボルト
ns	ナノ秒
Ω	オーム
%	百分率 (パーセント)
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C4022KV13 / CY7C4042KV13、72M ビット QDR™-IV XP SRAM 文書番号 : 001-91759				
版	ECN	発行日	担当	変更内容
*A	4373024	05/07/2014	HZEN	これは英語版 001-79552 Rev *G を翻訳した日本語版 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック、バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明、電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチセンシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2012-2014. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。