

## プログラマブル システムオンチップ (PSoC)

### 概要

PSoC<sup>®</sup> 4 は、ARM<sup>®</sup> Cortex™-M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリ用の、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。PSoC 4100S 製品ファミリは、PSoC 4 プラットフォーム アーキテクチャのメンバーです。これは、標準的な通信とタイミング ペリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CapSense)、プログラマブルな汎用の連続時間かつスイッチド キャパシタを備えたアナログ ブロック、およびプログラマブルな接続で構成されています。新しいアプリケーションと設計ニーズの面では、PSoC 4100S 製品は PSoC 4 プラットフォームのメンバーとの完全な上位互換性があります。

### 特長

#### 32 ビット MCU サブシステム

- 48MHz ARM Cortex-M0+ CPU
- 64KB のフラッシュ メモリ、リード アクセラレータ付き
- 8KB までの SRAM

#### プログラム可能なアナログ

- 再設定可能な大電流外部ドライブと広帯域内部ドライブ、コンパレータモード、ADC 入力バッファリング能力に対応した 2 個のオペアンプオペアンプはディープスリープ 低電力モードで動作可能
- 差動とシングルエンド モードおよび信号加算平均に対応したチャンネルシーケンサを備えた 12 ビットの 1Msps SAR ADC
- 静電容量センシング ブロックから提供されるシングル スロープ 10 ビット ADC 機能
- 2 個の電流 DAC (IDAC) を備え、任意のピンでの汎用出力または静電容量センシング用途向け
- 2 個の低消費電力コンパレータ (低消費電力のディープスリープ モードで動作)

#### プログラム可能なデジタル

- プログラマブルな論理ブロックがあり、入出力ポートでブール演算の実行を可能にする

#### 低消費電圧 (1.71 ~ 5.5V) 動作

- ディープスリープ モードで動作可能なアナログと 2.5µA のデジタル システム電流

#### 静電容量センシング

- サイプレス CapSense シグマデルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) (>5:1) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントが静電容量センシングの設計を簡易化
- ハードウェア自動チューニング (SmartSense™)

#### LCD 駆動力

- GPIO 上の LCD セグメント駆動能力

#### シリアル通信

- 3 個の独立した再設定可能なシリアル通信ブロック (SCB)、実行時に I<sup>2</sup>C、SPI、または UART 機能に再設定可能

#### タイミングおよびパルス幅の変調

- 5 個の 16 ビット タイマー/カウンタ/パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダム モード
- モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用のキル信号のコンパレータ ベースのトリガー

#### 最大 36 のプログラミング可能な GPIO ピン

- 48 ピン TQFP、40 ピン QFN、32 ピン QFN、および 35 ボール WLCSP パッケージ
- すべての GPIO ピンは CapSense、アナログ、またはデジタルに対応
- 駆動モード、駆動力、およびスルー レートはプログラム可能

#### PSoC Creator 設計環境

- 統合開発環境 (IDE) が回路図設計の入力とビルドを提供 (アナログとデジタル自動配線も備えている)
- すべての固定機能およびプログラミング可能なペリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

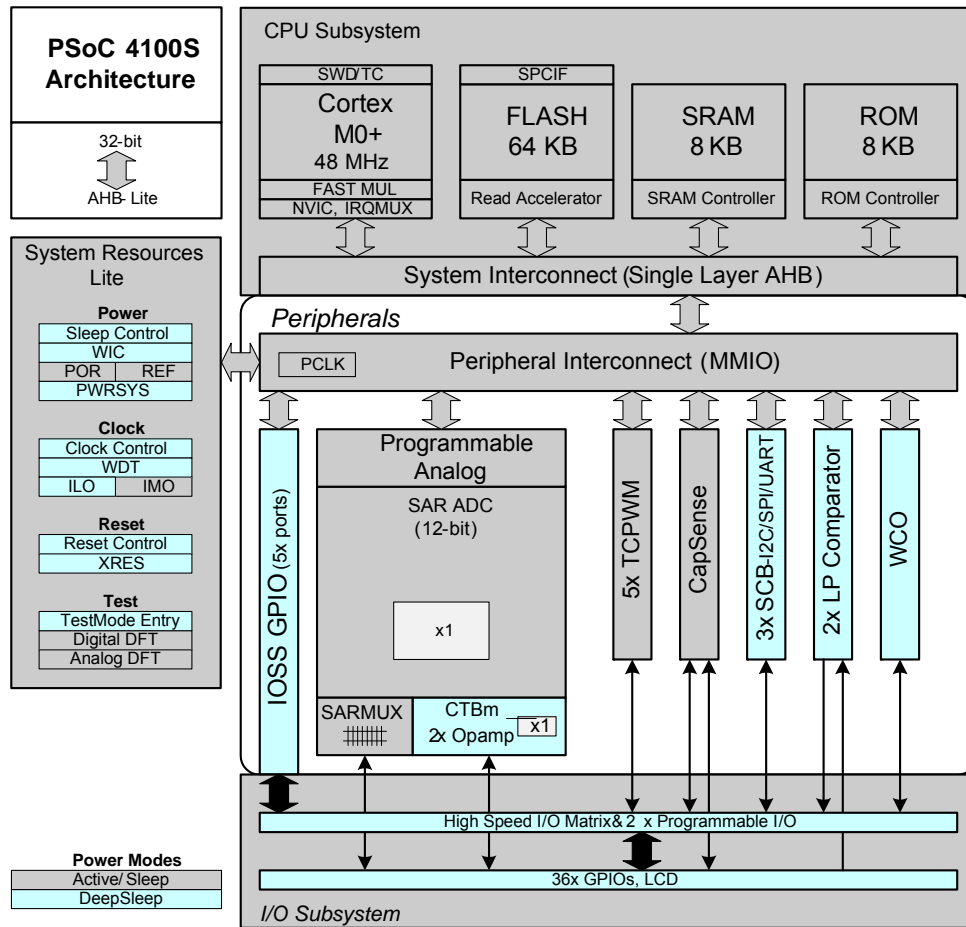
#### 業界標準のツールとの互換性

- 回路図のエントリ後、開発を ARM ベースの業界標準の開発ツールで行うことが可能

## 目次

<b>機能の詳細</b> .....	4	デバイス レベルの仕様 .....	13
CPU およびメモリ サブシステム	4	アナログ ペリフェラル	17
システム リソース	4	デジタル ペリフェラル	25
アナログ ブロック	5	メモリ	28
固定機能デジタル	5	システム リソース	28
GPIO	6	<b>注文情報</b> .....	31
特殊機能ペリフェラル	6	<b>パッケージ</b> .....	33
<b>ピン配置</b> .....	7	外形図	34
ピンの代替機能	9	<b>略語</b> .....	36
<b>電源</b> .....	11	<b>本書の表記法</b> .....	39
モード 1: 1.8V ~ 5.5V の外部電源	11	測定単位	39
モード 2: 1.8V ±5% の外部電源	11	<b>改訂履歴</b> .....	40
<b>開発サポート</b> .....	12	<b>セールス、ソリューションおよび法律情報</b> .....	41
ドキュメント	12	ワールドワイド販売と設計サポート	41
オンライン	12	製品	41
ツール	12	PSoC <sup>®</sup> ソリューション	41
<b>電氣的仕様</b> .....	13	サイプレス開発者コミュニティ	41
絶対最大定格	13		

図 1. テクニカル サポート 41 ブロック図



PSoC 4100S デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線の幅広い範囲に対応しています。

ARM シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートしています。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで完全なデバイスのデバッグ処理が可能になります。専用のインターフェースやデバッグポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は PSoC 4100S デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4100S ファミリは、マルチチップアプリケーション ソリューションまたはマイクロコントローラに適用不可能なセキュリティ レベルを提供します。このファミリは次の利点を持っています。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護

- お客様独自の機能がプログラマブル オンチップ ブロックで実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にすることができます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護もクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。従って、ファームウェアにより制御されるデバッグ処理は、ファームウェアを消去しなければオーバーライドできないため、セキュリティを向上させます。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSoC 4100S は、故障解析に起因して返されないことがあります。これはカスタマが PSoC 4100S でできるトレードオフです。

## 機能の詳細

### CPU およびメモリ サブシステム

#### CPU

PSoC 4100S の Cortex-M0+ CPU は、広範なクロック ゲーティングに対応し低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU が Thumb-2 命令セットのサブセットを実行します。これは、8 つの割り込み入力を備えたネスト型ベクタ割り込みコントローラー (NVIC) ブロックとウェイクアップ割り込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにある時にメインプロセッサへの電源を切ることができます。

その他、JTAG の 2 線式のデバッグ インターフェースであるシリアル ワイヤ デバッグ (SWD) インターフェースもあります。PSoC 4100S に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

#### フラッシュ

PSoC 4100S デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU に緊密に接続された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持っています。低消費電力のフラッシュ ブロックは 48MHz で 2 ウェイト ステート (WS) アクセス時間を達成するように設計されます。フラッシュ アクセラレータはシングル サイクル SRAM のアクセス性能の平均 85% を達成します。

#### SRAM

48MHz で実行可能なゼロ ウェイトステート (待ち状態なし) のアクセスを備えた 8KB SRAM が提供されます。

#### SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる 8KB の監視 ROM が提供されます。

### システム リソース

#### 電源システム

電源システムは 11 ページの電源の節で詳しく説明されます。これは、電圧レベルがそれぞれのモードの必要に応じることを保証し、電圧レベルが適切な機能の必要に応じるまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) 時)、またはリセットを生成します (例えば、電圧低下検出時)。PSoC 4100S S は、1.8V±5% (外部安定化) または 1.8V ~ 5.5V (内部安定化) の外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSoC 4100S はアクティブ モードおよびスリープとディープスリープの低消費電力モードに対応しています。

アクティブ モードでは、すべてのサブシステムは動作できます。スリープ モードでは、CPU サブシステム (CPU、フラッシュ、SRAM) はクロックがゲート オフになりますが、すべてのペリフェラルと割り込みはウェイクアップ イベントの時に瞬時ウェイクアップ機能によりアクティブになります。ディープスリープ モードでは、高速クロックおよび対応する回路がオフにされます。このモードからの復帰は 35µs かかります。オペアンプはこのディープスリープ モードでは依然として動作し続けます。

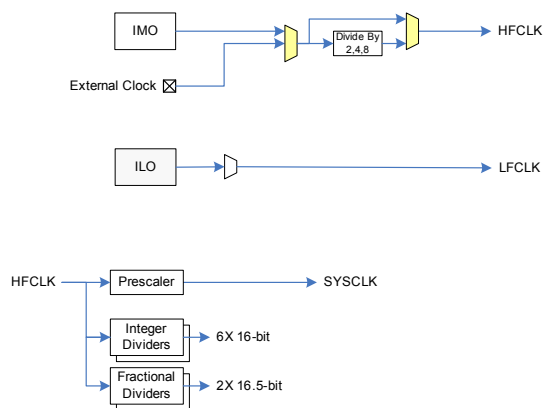
#### クロック システム

PSoC 4100S クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なる

クロック ソース間で切り替えることを担当します。また、クロック システムはメタステーブル状態が発生しないように保証します。

PSoC 4100S のクロック システムは、内蔵主発振器 (IMO)、内蔵低周波数発振回路 (ILO)、32kHz の時計用水晶発振器 (WCO) および外部クロック用の予備ピンから構成されます。クロック分周器は微調整の単位でペリフェラル用のクロックを生成するために提供されます。また、分数分周器は、UART 向けのより高いデータ転送速度でクロックの供給を可能にするためにも提供されます。

図 2. PSoC 4100S MCU のクロッキング アーキテクチャ



HFCLK 信号はアナログとデジタル ペリフェラル用に同期クロックを生成するために分周することができます。PSoC 4100S は 8 個のクロック分周器を備えており、そのうち 2 個は分数分周器です。16 ビット分周器は微周波数値を柔軟に生成可能で、PSoC Creator によって完全にサポートされます。

#### IMO クロック ソース

IMO は PSoC 4100S の内部クロック供給の主なソースです。これはテスト段階中に、指定された精度を得るためにトリムされます。IMO のデフォルト周波数は 24MHz で、4MHz のステップで 24 から 48MHz に調整できます。サイプレスが提供する校正設定では、IMO の許容誤差は ±2% です。

#### ILO クロック ソース

ILO は、超低消費電力の 40kHz 発振器であり、ディープスリープモードでウォッチドッグ タイマー (WDT) とペリフェラルの動作にクロックを生成するために主に使用されます。ILO 制御のカウンターは、精度を改善するために IMO で校正することができます。サイプレスは、校正を実行するソフトウェア コンポーネントを提供しています。

#### 時計用水晶発振器 (WCO)

PSoC 4100S クロック サブシステムは、高精度タイミング アプリケーションに採用できる低周波数 (32kHz ウォッチ水晶) 発振回路を内蔵します。

#### ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO をクロック ソースとして動作するクロック ブロックに実装されます。これにより、ウォッチドッグがディープスリープモードでも動作でき、設定されたタイムアウトが発生する前にウォッチドッグが処理されなかった場合にリセットが生成されます。ウォッチドッグ リセットは、ファームウェアが読み出し可能なリセット原因 (Reset Cause) レジスタに記録されます。

## リセット

PSoC 4100S は、ソフトウェア リセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因は、ソフトウェアがリセットの原因を判断できるようにする、リセット中にスティッキーであるレジスタに記録されます。XRES ピンは、そのアクティブ レベルを LOW にアサートすることで外部リセット用に予約されます。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

## アナログ ブロック

### 12 ビット SAR ADC

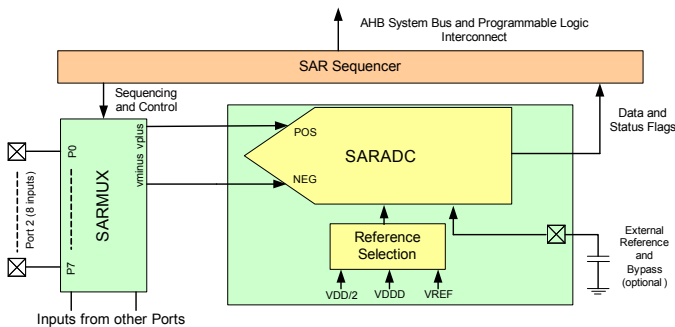
12 ビットの 1Msps SAR ADC は 18MHz の最大クロックレートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とします。

サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの整定時間を規定する利得帯域幅要件を必要に応じて緩和できます。内部リファレンス アンプ用として外部バイパス (固定したピン位置を介して) を提供できます。

SAR は 8 入力シーケンサを介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャンネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルが複数のチャンネルであるかにかかわらず 1Msps です)。シーケンサの切り替えは、ステート マシンまたはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割り込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャンネル毎に異なるサンプリング時間をプログラムすることができます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一对 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサ スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出することができます。

SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープ モードに対応していません。SAR の動作範囲は 1.71V ~ 5.5V です。

図 3. SAR ADC



### 2 個のオペアンプ (連続時間ブロック、CTB)

PSoC 4100S は、コンパレータ モードのある 2 個のオペアンプを持つことにより、外部コンポーネントの必要がなく、ほとんどの一般的なアナログ機能がオンチップで実行できます。

PGA、電圧バッファ、フィルター、トランスインピーダンスアンプ、とその他の機能は外部受動である場合実現できるため、電力、コストおよび容量を削除できます。内蔵オペアンプは、外部バッファリングを必要とせずに ADC のサンプル ホールド回路を駆動するように十分な帯域幅に対応するように設計されています。

### 低消費電力コンパレータ (LPC)

PSoC 4100S は、ディープスリープ モードで動作できる低消費電力コンパレータの一对を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログ システム ブロックを無効にすることができます。コンパレータ出力は、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モードで動作する場合を除き、普通は準安定状態を避けるために同期化されています。LPC の出力はピンに接続できます。

### 電流 DAC

PSoC 4100S は、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えています。これらの IDAC はプログラミング可能な電流範囲を持っています。

### アナログ多重化バス

PSoC 4100S は中央から独立してチップの周辺を回る 2 個のバスを備えています。これらのバス (amux バスと呼ばれる) は、チップの内部リソース (IDAC、コンパレータ) が I/O ポートのいずれかのピンに接続できるようにする、ファームウェアでプログラム可能なアナログ スイッチに接続されています。

### プログラマブル デジタル ブロック

プログラマブルな I/O (PRGIO は法的認可待ち中のスマート I/O の商標になる) ブロックはスイッチと LUT の構造体であり、プル関数が信号で実現され GPIO ポートの各ピンに配線されます。PRGIO は、論理演算をチップの入力ピン、および出力として出る信号で実行できます。

### 固定機能デジタル

#### タイマー/カウンター/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 16 ビット カウンターからなります。キャプチャ レジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止し、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。ブロックは、真出力と相補出力 (それら間のオフセットがプログラミング可能) も提供しており、これらをデッドバンドがプログラミング可能な相補 PWM 出力として使用することができます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要がある時、キル入力を使用されます。PSoC 4100S は 5 個の TCPWM ブロックがあります。

#### シリアル通信ブロック (SCB)

PSoC 4100S は 3 個のシリアル通信ブロックが備え、必要に応じて SPI、I2C または UART 機能にプログラムできます。

**I<sup>2</sup>C モード**: ハードウェア I<sup>2</sup>C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトレーションが可能) を実装します。このブロックは、最大

400kbps (高速モード) で動作可能で、CPU 用の割り込みオーバヘッドとレイテンシを削減するためのフレキシブルなバッファリングオプションがあります。また、PSoC 4100S のメモリでメールボックス アドレス範囲を作って、メモリ アレイに対する読み書きの I<sup>2</sup>C 通信を効果的に削減する EZI<sup>2</sup>C にも対応しています。また、ブロックは送信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出さなければならない規定の時間を増加することで、時間通りに CPU が読み出すデータを取得しないことに起因したクロック ストレッチの必要性を大幅に低減することができます。

I<sup>2</sup>C ペリフェラルは、NXP I<sup>2</sup>C バス仕様とユーザー マニュアル (UM10204) で定義された通りに、I<sup>2</sup>C 標準モードとファストモード デバイスと互換性があります。I<sup>2</sup>C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

PSoC 4100S は、以下の点では I<sup>2</sup>C 仕様と完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I<sup>2</sup>C システムの残りの部分から独立して電源を投入することができません。

**UART モード**：これは 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングルワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の受信と送信ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティエラー、ブレイク検出、フレームエラーなどの一般的な UART 機能がサポートされています。深さ 8 の FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。

**SPI モード**：SPI モードは Motorola SPI、TI SSP (SPI コデックの同期化用の開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用することができます。

## GPIO

PSoC 4100S は最大 36 本の GPIO を整備しています。GPIO ブロックは以下のものを実装します。

- 8 種類の駆動モード
  - アナログ入力モード (入力と出力バッファが無効)
  - 入力のみ
  - 弱プルアップ、強プルダウン
  - 強プルアップ、弱プルダウン
  - オープンドレイン、強プルダウン
  - オープンドレイン、強プルアップ
  - 強プルアップ、強プルダウン
  - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTL)
- 駆動強度モード以外に、入力と出力バッファのイネーブル/ディスエーブルの個別制御
- EMI を改善するために dV/dt 関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットの時、入力への電流を止めない、および/または電源投入時に過電流を発生させないために、ブロックは無効状態に移行させます。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続可能な複数の信号間を多重化するのに使用されます。

データ出力とピンステートレジスタは、それぞれピン上で駆動される値とそれらのピンのステートを格納します。

各 I/O ピンは有効になった場合に割り込みを生成でき、各 I/O ポートはそれに対応する割り込み要求 (IRQ) と割り込みサービスルーチン (ISR) ベクタがあります (PSoC 4100S では、ベクタ数は 5 です)。

## 特殊機能ペリフェラル

### CapSense

CapSense は、(アナログスイッチに接続された) アナログ マルチプレクサバスを介してどのピンにも接続できる CapSense シグマ-デルタ (CSD) ブロックにより、PSoC 4100S でサポートされています。従って、CapSense 機能はソフトウェアで制御されて、システム内のいかなる使用可能なピンかピングループにも提供することができます。ユーザーの便宜のために、PSoC Creator コンポーネントは CapSense ブロックに提供されています。

シールド電圧は、耐水機能を実現するために他の多重化バス上で駆動することができます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド静電容量が検知された入力を減衰させることを防ぐことで、実現されています。近接検知も実装することができます。

CapSense ブロックは、2 個の IDAC を備えています。これらは、CapSense を使用しない (両方の IDAC とも使用可能) 場合、または CapSense が耐水性を備えずに使用する (どちらか一方の IDAC が使用可能) 場合、一般用途に使用することができます。

また、CapSense ブロックは、CapSense 機能と併用できる 10 ビットのスロー ADC 機能も提供しています。

CapSense ブロックは高性能で、低ノイズのプログラマブルなブロック (つまり、感度と柔軟性を向上させるためにリファレンス電圧と電流源の範囲をプログラム可能) です。さらに、外部リファレンス電圧も利用できます。VDDA およびグラウンドのセンシングを代替し、消費電力関連ノイズをゼロにする全波 CSD モードがあります。

### LCD セグメント駆動

PSoC 4100S は最大 4 コモン信号と最大 32 セグメント信号を駆動できる LCD コントローラーを内蔵しています。内部 LCD 電圧を生成する必要なくフル デジタル方法を使用して LCD セグメントを駆動します。2 つの方法は、デジタル相関と PWM と呼ばれています。デジタル相関は、最高 RMS 電圧を生成してセグメントを点灯させる、または RMS 信号を 0 に維持するためにコモンとセグメント信号の周波数と駆動レベルを変調することです。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。PWM は、所望の LCD 電圧を生成するために PWM 信号によりパネルを駆動しパネルの静電容量を効果的に使用して変調されたパルス幅を提供することです。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際には良い結果を出します。LCD 動作はディープスリープ モード中にディスプレイ用の小さいバッファ (4 ビット、ポートごとに 1 つの 32 ビット レジスタ) をリフレッシュすることでサポートされます。

## ピン配置

下表に、PSoC 4100S の 48 ピン TQFP、40 ピン QFN、32 ピン QFN および 36 ボール CSP パッケージ用のピン一覧を示します。すべてのポートピンは GPIO に対応しています。

表 1. ピン一覧

48-TQFP		40-QFN		32-QFN		35-CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
28	P0.0	22	P0.0	17	P0.0	C3	P0.0
29	P0.1	23	P0.1	18	P0.1	A5	P0.1
30	P0.2	24	P0.2	19	P0.2	A4	P0.2
31	P0.3	25	P0.3	20	P0.3	A3	P0.3
32	P0.4	26	P0.4	21	P0.4	B3	P0.4
33	P0.5	27	P0.5	22	P0.5	A6	P0.5
34	P0.6	28	P0.6	23	P0.6	B4	P0.6
35	P0.7	29	P0.7	–	–	B5	P0.7
36	XRES	30	XRES	24	XRES	B6	XRES
37	VCCD	31	VCCD	25	VCCD	A7	VCCD
38	VSSD	DN	VSSD	26	VSSD	B7	VSS
39	VDDD	32	VDDD	–	–	C7	VDD
40	VDDA	33	VDDA	27	VDD	C7	VDD
41	VSSA	34	VSSA	28	VSSA	B7	VSS
42	P1.0	35	P1.0	29	P1.0	C4	P1.0
43	P1.1	36	P1.1	30	P1.1	C5	P1.1
44	P1.2	37	P1.2	31	P1.2	C6	P1.2
45	P1.3	38	P1.3	32	P1.3	D7	P1.3
46	P1.4	39	P1.4	–	–	D4	P1.4
47	P1.5	–	–	–	–	D5	P1.5
48	P1.6	–	–	–	–	D6	P1.6
1	P1.7/REF	40	P1.7/REF	1	P1.7/REF	E7	P1.7/REF
2	P2.0	1	P2.0	2	P2.0	–	–
3	P2.1	2	P2.1	3	P2.1	–	–
4	P2.2	3	P2.2	4	P2.2	D3	P2.2
5	P2.3	4	P2.3	5	P2.3	E4	P2.3
6	P2.4	5	P2.4	–	–	E5	P2.4
7	P2.5	6	P2.5	6	P2.5	E6	P2.5
8	P2.6	7	P2.6	7	P2.6	E3	P2.6
9	P2.7	8	P2.7	8	P2.7	E2	P2.7
10	VSSD	9	VSSD	–	–	–	–
12	P3.0	10	P3.0	9	P3.0	E1	P3.0
13	P3.1	11	P3.1	10	P3.1	D2	P3.1
14	P3.2	12	P3.2	11	P3.2	D1	P3.2
16	P3.3	13	P3.3	12	P3.3	C1	P3.3
17	P3.4	14	P3.4	–	–	C2	P3.4
18	P3.5	15	P3.5	–	–	–	–
19	P3.6	16	P3.6	–	–	–	–

表 1. ピン一覧 (続き)

48-TQFP		40-QFN		32-QFN		35-CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
20	P3.7	17	P3.7	–	–	–	–
21	VDDD	–	–	–	–	–	–
22	P4.0	18	P4.0	13	P4.0	B1	P4.0
23	P4.1	19	P4.1	14	P4.1	B2	P4.1
24	P4.2	20	P4.2	15	P4.2	A2	P4.2
25	P4.3	21	P4.3	16	P4.3	A1	P4.3

注: 48ピン TQFP で、ピン 11、15、26 および 27 は未接続 (NC) です。

電源ピンの説明は以下の通りです。

VDD: デジタル セクション用の電源。

VDDA: アナログ セクション用の電源。

VSSD、VSSA: それぞれデジタルとアナログ セクション用のグランド ピン。

VCCD: 安定化デジタル電源 (1.8V±5%)



ピンの代替機能

それぞれのポート ピンは多機能の 1 つに割り当てられます。それはアナログ I/O、デジタル ペリフェラル機能、LCD ピン、或いは CapSense ピンなどになり得ます。ピンの割り当てを下表に示します。PRGIO は法的認可待ち中のブランドのスマート I/O になる

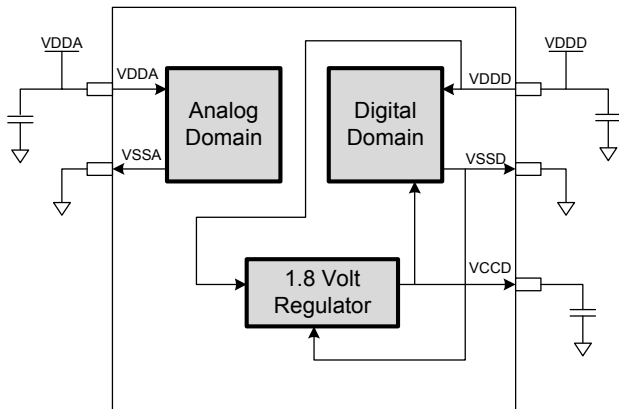
ポート/ ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P0.0	lpcomp.in_p[0]	-	-	scb[2].uart_cts:0	tcpwm.tr_in[0]	scb[2].i2c_scl:0	scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]	-	-	scb[2].uart_rts:0	tcpwm.tr_in[1]	scb[2].i2c_sda:0	scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]	-	-	-	-	-	scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]	-	-	-	-	-	scb[2].spi_select0
P0.4	wco.wco_in	-	-	scb[1].uart_rx:0	scb[2].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out	-	-	scb[1].uart_tx:0	scb[2].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6	-	-	srss.ext_clk	scb[1].uart_cts:0	scb[2].uart_tx:1	-	scb[1].spi_clk:1
P0.7	-	-	tcpwm.line[0]:2	scb[1].uart_rts:0	-	-	scb[1].spi_select0:1
P1.0	ctb0_oa0+	-	tcpwm.line[2]:1	scb[0].uart_rx:1	-	scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0_oa0-	-	tcpwm.line_compl[2]:1	scb[0].uart_tx:1	-	scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0_oa0_out	-	tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]	scb[2].i2c_scl:1	scb[0].spi_clk:1
P1.3	ctb0_oa1_out	-	tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]	scb[2].i2c_sda:1	scb[0].spi_select0:1
P1.4	ctb0_oa1-	-	-	-	-	-	scb[0].spi_select1:1
P1.5	ctb0_oa1+	-	-	-	-	-	scb[0].spi_select2:1
P1.6	ctb0_oa0+	-	-	-	-	-	scb[0].spi_select3:1
P1.7	ctb0_oa1+ sar_ext_vref0 sar_ext_vref1	-	-	-	-	-	scb[2].spi_clk
P2.0	sarmux[0]	prgio[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux[1]	prgio[0].io[1]	tcpwm.line_compl[4]:0	-	tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2

ポート/ ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P2.2	sarmux[2]	prgio[0].io[2]	-	-	-	-	scb[1].spi_clk:2
P2.3	sarmux[3]	prgio[0].io[3]	-	-	-	-	scb[1].spi_select0:2
P2.4	sarmux[4]	prgio[0].io[4]	tcpwm.line[0]:1	-	-	-	scb[1].spi_select1:1
P2.5	sarmux[5]	prgio[0].io[5]	tcpwm.line_comp[0]:1	-	-	-	scb[1].spi_select2:1
P2.6	sarmux[6]	prgio[0].io[6]	tcpwm.line[1]:1	-	-	-	scb[1].spi_select3:1
P2.7	sarmux[7]	prgio[0].io[7]	tcpwm.line_comp[1]:1	-	-	lpcomp.comp[0]:1	scb[2].spi_mosi
P3.0	-	prgio[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1	-	scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1	-	prgio[1].io[1]	tcpwm.line_comp[0]:0	scb[1].uart_tx:1	-	scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2	-	prgio[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1	-	cpuss.swd_data	scb[1].spi_clk:0
P3.3	-	prgio[1].io[3]	tcpwm.line_comp[1]:0	scb[1].uart_rts:1	-	cpuss.swd_clk	scb[1].spi_select0:0
P3.4	-	prgio[1].io[4]	tcpwm.line[2]:0	-	tcpwm.tr_in[6]	-	scb[1].spi_select1:0
P3.5	-	prgio[1].io[5]	tcpwm.line_comp[2]:0	-	-	-	scb[1].spi_select2:0
P3.6	-	prgio[1].io[6]	tcpwm.line[3]:0	-	-	-	scb[1].spi_select3:0
P3.7	-	prgio[1].io[7]	tcpwm.line_comp[3]:0	-	-	lpcomp.comp[1]:1	scb[2].spi_miso
P4.0	csd.vref_ext	-	-	scb[0].uart_rx:0	-	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshieldpads	-	-	scb[0].uart_tx:0	-	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmodpad	-	-	scb[0].uart_cts:0	-	lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd.csh_tank	-	-	scb[0].uart_rts:0	-	lpcomp.comp[1]:0	scb[0].spi_select0:0

## 電源

以下の電源システム図は、PSoC 4100S 用に実装された電源ピン セットを示します。システムは、アクティブ モードで動作するデジタル回路用レギュレータがあります。アナログレギュレータはありません。アナログ回路は V<sub>DD</sub> 入力から直接電源供給されます。

図 4. 電源接続



次の 2 つの異なる動作モードがあります。モード 1 では、供給電圧範囲は 1.8V ~ 5.5V (非安定化外部電源; 内部レギュレータが動作可能) です。モード 2 では、供給電圧範囲は 1.8V ±5% (安定化外部電源; 1.71 ~ 1.89、内部レギュレータがバイパスされる) です。

### モード 1: 1.8V ~ 5.5V の外部電源

このモードでは、PSoC 4100S は 1.8V ~ 5.5V の任意の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも設計されます。例えば、チップは、3.5V から始まってから 1.8V に低減するバッテリーシステムから電源供給されます。このモードでは、PSoC 4100S の内部レギュレータは内部ロジックに電源を供給し、その出力は V<sub>CCD</sub> ピンに接続されます。V<sub>CCD</sub> ピンは外部コンデンサ (0.1µF; X5R セラミックかそれより良い) によりグラウンドにバイパスされ、他のどれにも接続してはいけません。

### モード 2: 1.8V ±5% の外部電源

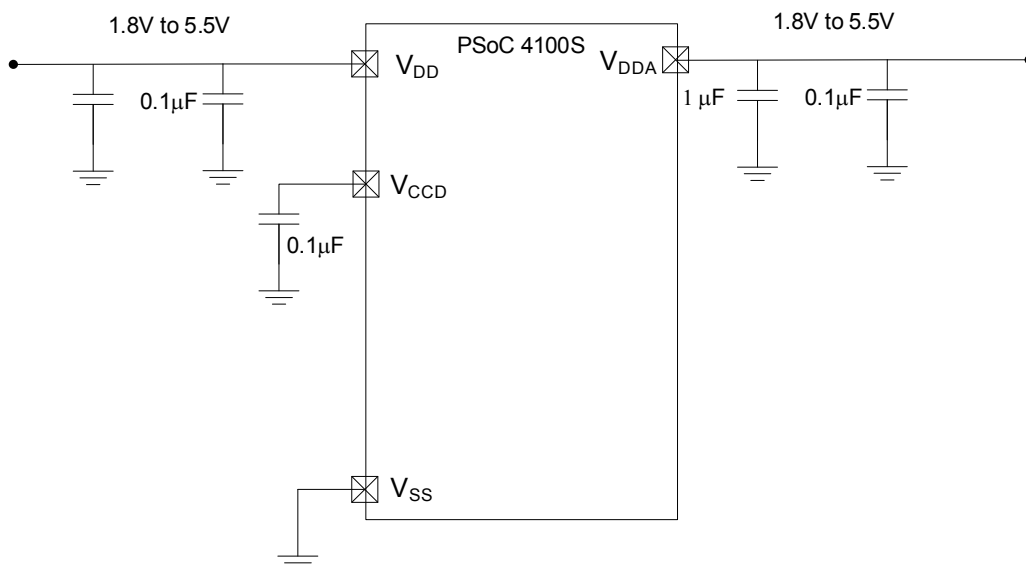
このモードでは、PSoC 4100S は 1.71V ~ 1.89V の外部電源から電源供給されます。この範囲は電源リップルを含む必要があることにご注意ください。このモードで、V<sub>DD</sub> と V<sub>CCD</sub> ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効にされます。

バイパスコンデンサは、V<sub>DD</sub> とグラウンド間に接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、1µF レンジのコンデンサとより小さいコンデンサ (例えば、0.1µF) を平行に配置し使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために、設計の際には PCB レイアウト、リードインダクタンス、寄生バイパスコンデンサをシミュレートする必要があります。

バイパススキームの例を下図に示します。

図 5. 内部レギュレータが有効でありながら 1.8V ~ 5.5V の外部電源

Power supply bypass connections example



## 開発サポート

PSoC 4100S ファミリには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンラインリソースが用意されています。詳細については、[www.cypress.com/go/psoc4](http://www.cypress.com/go/psoc4) をご覧ください。

### ドキュメント

ドキュメント一式が PSoC 4100S ファミリをサポートし、ユーザーは、疑問点に対する答えを素早く見つけることができます。重要な資料の幾つかは、本節にリストアップされています。

**ソフトウェア ユーザー ガイド** : PSoC Creator の操作方法の手引書。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方、その他が記載されています。

**コンポーネント データシート** : PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成することができます。コンポーネント データシートには、ある特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、サンプルコード、AC/DC 仕様を含んですべて記載されています。

**アプリケーション ノート** : PSoC アプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプルプロジェクトが含まれています。

**テクニカル リファレンス マニュアル** : テクニカル リファレンス マニュアル (TRM) には、すべての PSoC レジスタの詳細な説明など、PSoC デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は、[www.cypress.com/psoc4](http://www.cypress.com/psoc4) の「ドキュメント」セクションにあります。

### オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

### ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PSoC 4100S ファミリは開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサードパーティのコンパイラ、プログラマ、デバッグおよび開発キットの最新情報については、サイプレスのウェブサイト [www.cypress.com/go/psoccreator](http://www.cypress.com/go/psoccreator) をご覧ください。

## 電氣的仕様

### 絶対最大定格

表 2. 絶対最大定格<sup>[1]</sup>

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V <sub>DDD_ABS</sub>	V <sub>SS</sub> を基準としたデジタル電源	-0.5	-	6	V	-
SID2	V <sub>CCD_ABS</sub>	V <sub>SS</sub> を基準とした直接デジタル コア電圧入力	-0.5	-	1.95		-
SID3	V <sub>GPIO_ABS</sub>	GPIO 電圧	-0.5	-	V <sub>DD</sub> +0.5		-
SID4	I <sub>GPIO_ABS</sub>	GPIO 当たりの最大電流	-25	-	25	mA	-
SID5	I <sub>GPIO_injection</sub>	GPIO 注入電流、V <sub>IH</sub> > V <sub>DDD</sub> の場合は Max、V <sub>IL</sub> < V <sub>SS</sub> の場合は Min	-0.5	-	0.5		ピン毎の注入された電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-		-
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	-

### デバイス レベルの仕様

すべての仕様は、特に注記した場合を除いて、-40°C ≤ T<sub>A</sub> ≤ 85°C および T<sub>J</sub> ≤ 100°C の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

表 3. DC 仕様

標準値は 25°C で、V<sub>DD</sub> = 3.3V 時に測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V <sub>DD</sub>	電源供給入力電圧	1.8	-	5.5	V	内部的に安定化された電源
SID255	V <sub>DD</sub>	電源供給入力電圧 (V <sub>CCD</sub> = V <sub>DDD</sub> = V <sub>DDA</sub> )	1.71	-	1.89		内部的に安定化されない電源
SID54	V <sub>CCD</sub>	出力電圧 (コア ロジック用)	-	1.8	-		-
SID55	C <sub>EFC</sub>	外部レギュレータ電圧バイパス	-	0.1	-	μF	X5R セラミックまたはこれより良質のもの
SID56	C <sub>EXC</sub>	電源供給バイパス コンデンサ	-	1	-		X5R セラミックまたはこれより良質のもの

アクティブ モード、V<sub>DD</sub> = 1.8V ~ 5.5V。標準値は 25°C、V<sub>DD</sub> = 3.3V で測定

SID10	I <sub>DD5</sub>	フラッシュから実行 ; CPU 速度が 6MHz	-	2	-	mA	-
SID16	I <sub>DD8</sub>	フラッシュから実行 ; CPU 速度が 24MHz	-	5.6	-		-
SID19	I <sub>DD11</sub>	フラッシュから実行 ; CPU 速度が 48MHz	-	10.4	-		-

スリープ モード、V<sub>DDD</sub> = 1.8V ~ 5.5V (レギュレータが有効)

SID22	IDD17	I <sup>2</sup> C ウェイクアップ WDT、およびコンパレータが有効	-	1.1	-	mA	6MHz
SID25	IDD20	I <sup>2</sup> C ウェイクアップ ; WDT およびコンパレータが有効	-	3.1	-		12MHz

#### 注:

- 表 2 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様通りに動作しない可能性があります。

表 3. DC 仕様 (続き)

標準値は 25°C で、 $V_{DD} = 3.3V$  時に測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
<b>スリープモード、<math>V_{DD} = 1.71V \sim 1.89V</math> (レギュレータバイパス)</b>							
SID28	ID23	I <sup>2</sup> C ウェイクアップ、WDT、およびコンパレータが有効	-	1.1	-	mA	6MHz
SID28A	ID23A	I <sup>2</sup> C ウェイクアップ、WDT、およびコンパレータが有効	-	3.1	-	mA	12MHz
<b>ディープスリープモード、<math>V_{DD} = 1.8V \sim 3.6V</math> (レギュレータが有効)</b>							
SID31	ID26	I <sup>2</sup> C ウェイクアップと WDT が有効	-	2.5	-	μA	-
<b>ディープスリープモード、<math>V_{DD} = 3.6V \sim 5.5V</math> (レギュレータが有効)</b>							
SID34	ID29	I <sup>2</sup> C ウェイクアップと WDT が有効	-	2.5	-	μA	-
<b>ディープスリープモード、<math>V_{DD} = V_{CCD} = 1.71V \sim 1.89V</math> (レギュレータが有効)</b>							
SID37	ID32	I <sup>2</sup> C ウェイクアップと WDT が有効	-	2.5	-	μA	-
<b>XRES 電流</b>							
SID307	ID_XR	XRES がアサートされている時の供給電流	-	2	5	mA	-

表 4. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F <sub>CPU</sub>	CPU 周波数	DC	-	48	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 <sup>[3]</sup>	T <sub>SLEEP</sub>	スリープモードからの復帰時間	-	0	-	μs	
SID50 <sup>[3]</sup>	T <sub>DEEPSLEEP</sub>	ディープスリープモードからの復帰時間	-	35	-		

注:

2. 特性評価で保証されています。

GPIO

表 5. GPIO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	$V_{IH}^{[3]}$	入力電圧の HIGH 閾値	$0.7 \times V_{DDD}$	-	-	V	CMOS 入力
SID58	$V_{IL}$	入力電圧の LOW 閾値	-	-	$0.3 \times V_{DDD}$		CMOS 入力
SID241	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	-	-		-
SID242	$V_{IL}$	LVTTL 入力、 $V_{DDD} < 2.7V$	-	-	$0.3 \times V_{DDD}$		-
SID243	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	2.0	-	-		-
SID244	$V_{IL}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	-	-	0.8		-
SID59	$V_{OH}$	出力 HIGH 電圧	$V_{DDD}-0.6$	-	-		$V_{DDD} = 3V$ の時、 $I_{OH} = 4mA$
SID60	$V_{OH}$	出力 HIGH 電圧	$V_{DDD}-0.5$	-	-		$V_{DDD} = 1.8V$ の時、 $I_{OH} = 1mA$
SID61	$V_{OL}$	出力 LOW 電圧	-	-	0.6		$V_{DDD} = 1.8V$ の時、 $I_{OL} = 4mA$
SID62	$V_{OL}$	出力 LOW 電圧	-	-	0.6		$V_{DDD} = 3V$ の時、 $I_{OL} = 10mA$
SID62A	$V_{OL}$	出力 LOW 電圧	-	-	0.4	$V_{DDD} = 3V$ の時、 $I_{OL} = 3mA$	
SID63	$R_{PULLUP}$	プルアップ抵抗	3.5	5.6	8.5	k $\Omega$	-
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5		-
SID65	$I_{IL}$	入力リーク電流 (絶対値)	-	-	2	nA	25°C、 $V_{DDD} = 3.0V$
SID66	$C_{IN}$	入力寄生容量	-	-	7	pF	-
SID67 <sup>[4]</sup>	$V_{HYSTTL}$	入力ヒステリシス LVTTL	25	40	-	mV	$V_{DDD} \geq 2.7V$
SID68 <sup>[4]</sup>	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	-	-		$V_{DD} < 4.5V$
SID68A <sup>[4]</sup>	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	-	-		$V_{DD} > 4.5V$
SID69 <sup>[4]</sup>	$I_{DIODE}$	保護ダイオードを通過して $V_{DD} / V_{SS}$ に流れる電流	-	-	100	$\mu A$	-
SID69A <sup>[4]</sup>	$I_{TOT\_GPIO}$	チップのソースまたはシンク電流の合計最大値	-	-	200	mA	-

表 6. GPIO の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	$T_{RISEF}$	高速ストロングモードでの立ち上がり時間	2	-	12	ns	3.3V $V_{DDD}$ 、Load = 25pF
SID71	$T_{FALLF}$	高速ストロングモードでの立ち下がり時間	2	-	12		3.3V $V_{DDD}$ 、Load = 25pF
SID72	$T_{RISES}$	低速ストロングモードでの立ち上がり時間	10	-	60	-	3.3V $V_{DDD}$ 、Load = 25pF

注:

- $V_{IH}$  は  $V_{DDD} + 0.2V$  を超えてはいけません。
- 特性評価で保証されています。

表 6. GPIO の AC 仕様  
(特性評価で保証)(続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID73	T <sub>FALLS</sub>	低速ストロングモードでの立ち下がり時間	10	-	60	-	3.3V V <sub>DDD</sub> 、Clod = 25pF
SID74	F <sub>GPIOUT1</sub>	GPIO F <sub>OUT</sub> ; 3.3V ≤ V <sub>DDD</sub> ≤ 5.5V 高速ストロングモード	-	-	33	MHz	90/10%、負荷 25pF、 デューティ比 60/40
SID75	F <sub>GPIOUT2</sub>	GPIO F <sub>OUT</sub> ; 1.71V ≤ V <sub>DDD</sub> ≤ 3.3V 高速ストロングモード	-	-	16.7		90/10%、負荷 25pF、 デューティ比 60/40
SID76	F <sub>GPIOUT3</sub>	GPIO F <sub>OUT</sub> ; 3.3V ≤ V <sub>DDD</sub> ≤ 5.5V 低速ストロングモード	-	-	7		90/10%、負荷 25pF、 デューティ比 60/40
SID245	F <sub>GPIOUT4</sub>	GPIO F <sub>OUT</sub> ; 1.71V ≤ V <sub>DDD</sub> ≤ 3.3V 低速ストロングモード	-	-	3.5		90/10%、負荷 25pF、 デューティ比 60/40
SID246	F <sub>GPIOIN</sub>	GPIO の入力動作の周波数 ; 1.71V ≤ V <sub>DDD</sub> ≤ 5.5V	-	-	48		90/10% V <sub>IO</sub>

XRES

表 7. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V <sub>IH</sub>	入力電圧の HIGH 閾値	0.7 × V <sub>DDD</sub>	-	-	V	CMOS 入力
SID78	V <sub>IL</sub>	入力電圧の LOW 閾値	-	-	0.3 × V <sub>DDD</sub>		
SID79	R <sub>PULLUP</sub>	プルアップ抵抗	3.5	5.6	8.5	kΩ	-
SID80	C <sub>IN</sub>	入力寄生容量	-	-	7	pF	-
SID81 <sup>[5]</sup>	V <sub>HYSXRES</sub>	入力ヒステリシス電圧	-	100	-	mV	V <sub>DD</sub> > 4.5V 時の標準ヒステリシス電圧が 200mV
SID82	I <sub>DIODE</sub>	保護ダイオードを通して V <sub>DD</sub> / V <sub>SS</sub> に流れる電流	-	-	100	μA	

表 8. XRES の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 <sup>[5]</sup>	T <sub>RESETWIDTH</sub>	リセットパルス幅	1	-	-	μs	-
BID194 <sup>[5]</sup>	T <sub>RESETWAKE</sub>	リセット解除時からのウェイクアップ時間	-	-	2.2	ms	-

注:  
5. 特性評価で保証されています。



アナログ ペリフェラル

表 9. CTBm のオペアンプ仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
	I <sub>DD</sub>	オペアンプ ブロック電流、 外部負荷					
SID269	I <sub>DD_HI</sub>	電力 = 高	–	1100	1850	μA	–
SID270	I <sub>DD_MED</sub>	電力 = 中	–	550	950		–
SID271	I <sub>DD_LOW</sub>	電力 = 低	–	150	350		–
	G <sub>BW</sub>	負荷 = 20pF、0.1mA V <sub>DDA</sub> = 2.7V					
SID272	G <sub>BW_HI</sub>	電力 = 高	6	–	–	MHz	入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID273	G <sub>BW_MED</sub>	電力 = 中	3	–	–		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID274	G <sub>BW_LO</sub>	電力 = 低	–	1	–		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
	I <sub>OUT_MAX</sub>	V <sub>DDA</sub> = 2.7V、500mV の電源 レール					
SID275	I <sub>OUT_MAX_HI</sub>	電力 = 高	10	–	–	mA	出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID276	I <sub>OUT_MAX_MID</sub>	電力 = 中	10	–	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID277	I <sub>OUT_MAX_LO</sub>	電力 = 低	–	5	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
	I <sub>OUT</sub>	V <sub>DDA</sub> = 1.71V、500mV の電源 レール					
SID278	I <sub>OUT_MAX_HI</sub>	電力 = 高	4	–	–	mA	出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID279	I <sub>OUT_MAX_MID</sub>	電力 = 中	4	–	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID280	I <sub>OUT_MAX_LO</sub>	電力 = 低	–	2	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
	I <sub>DD_Int</sub>	オペアンプ ブロック電流、 外部負荷					
SID269_I	I <sub>DD_HI_Int</sub>	電力 = 高	–	1500	1700	μA	–
SID270_I	I <sub>DD_MED_Int</sub>	電力 = 中	–	700	900		–
SID271_I	I <sub>DD_LOW_Int</sub>	電力 = 低	–	–	–		–
	G <sub>BW</sub>	V <sub>DDA</sub> = 2.7V	–	–	–	–	
SID272_I	G <sub>BW_HI_Int</sub>	電力 = 高	8	–	–	MHz	出力は 0.25V ~ V <sub>DDA</sub> -0.25V
		内部と外部モードの両方の一 般的なオペアンプの仕様					

表 9. CTBm のオペアンプ仕様 ( 続き )

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID281	V <sub>IN</sub>	チャージ ポンプがオン、 V <sub>DDA</sub> = 2.7V	-0.05	-	V <sub>DDA</sub> -0.2	V	-
SID282	V <sub>CM</sub>	チャージ ポンプがオン、 V <sub>DDA</sub> = 2.7V	-0.05	-	V <sub>DDA</sub> -0.2		-
	V <sub>OUT</sub>	V <sub>DDA</sub> = 2.7V					
SID283	V <sub>OUT_1</sub>	電力 = 高、I <sub>load</sub> =10mA	0.5	-	V <sub>DDA</sub> -0.5	V	-
SID284	V <sub>OUT_2</sub>	電力 = 高、I <sub>load</sub> =1mA	0.2	-	V <sub>DDA</sub> -0.2		-
SID285	V <sub>OUT_3</sub>	電力 = 中、I <sub>load</sub> =1mA	0.2	-	V <sub>DDA</sub> -0.2		-
SID286	V <sub>OUT_4</sub>	電力 = 低、I <sub>load</sub> =0.1mA	0.2	-	V <sub>DDA</sub> -0.2		-
SID288	V <sub>OS_TR</sub>	オフセット 電圧 ( 調整後 )	-1.0	±0.5	1.0	mV	大消費電力モード、入力は 0V ~ V <sub>DDA</sub> -0.2V
SID288A	V <sub>OS_TR</sub>	オフセット 電圧 ( 調整後 )	-	±1	-		中消費電力モード、入力は 0V ~ V <sub>DDA</sub> -0.2V
SID288B	V <sub>OS_TR</sub>	オフセット 電圧 ( 調整後 )	-	±2	-		小消費電力モード、入力は 0V ~ V <sub>DDA</sub> -0.2V
SID290	V <sub>OS_DR_TR</sub>	オフセット 電圧ドリフト ( 調整後 )	-10	±3	10	μV/C	大消費電力モード
SID290A	V <sub>OS_DR_TR</sub>	オフセット 電圧ドリフト ( 調整後 )	-	±10	-	μV/C	中消費電力モード
SID290B	V <sub>OS_DR_TR</sub>	オフセット 電圧ドリフト ( 調整後 )	-	±10	-		小消費電力モード
SID291	CMRR	DC	70	80	-	dB	入力は 0V ~ V <sub>DDA</sub> -0.2V、 出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID292	PSRR	周波数 = 1kHz、 リップル = 10mV	70	85	-		V <sub>DDD</sub> = 3.6V、大消費電力 モード、入力は 0.2V ~ V <sub>DDA</sub> -0.2V
	ノイズ						
SID294	VN2	基準入力、1kHz、電力 = 高	-	72	-	nV/rtHz	3
SID295	VN3	基準入力、10kHz、電力 = 高	-	28	-		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID296	VN4	基準入力、100kHz、電力 = 高	-	15	-		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID297	C <sub>LOAD</sub>	最大負荷まで安定。50pF で性能仕様を満たす	-	-	125	pF	-
SID298	SLEW_RATE	C <sub>load</sub> = 50pF、消費電力 = 大、 V <sub>DDA</sub> = 2.7V	6	-	-	V/μs	-
SID299	T <sub>OP_WAKE</sub>	無効から有効まで、外付け RC 無し	-	-	25	μs	-
SID299A	OL_GAIN	オープン ループ ゲイン	-	90	-	dB	-

表 9. CTBm のオペアンプ仕様 ( 続き )

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
	COMP_MODE	コンパレータ モード ; 50mV 駆動、 $T_{rise} = T_{fall}$ ( おおよそ )					
SID300	TPD1	応答時間 ; 電力 = 高	-	150	-	ns	入力は 0.2V ~ $V_{DDA}-0.2V$
SID301	TPD2	応答時間 ; 電力 = 中	-	500	-		入力は 0.2V ~ $V_{DDA}-0.2V$
SID302	TPD3	応答時間 ; 電力 = 低	-	2500	-		入力は 0.2V ~ $V_{DDA}-0.2V$
SID303	VHYST_OP	ヒステリシス	-	10	-	mV	-
SID304	WUP_CTB	イネーブルから使用可能までのウェイクアップ時間	-	-	25	$\mu s$	-
	ディープスリープモード	モード 2 は最小の電流範囲。モード 1 はより高い GBW を持つ					
SID_DS_1	$I_{DD\_HI\_M1}$	モード 1、高電流	-	1400	-	$\mu A$	25°C
SID_DS_2	$I_{DD\_MED\_M1}$	モード 1、中電流	-	700	-		25°C
SID_DS_3	$I_{DD\_LOW\_M1}$	モード 1、低電流	-	200	-		25°C
SID_DS_4	$I_{DD\_HI\_M2}$	モード 2、高電流	-	120	-		25°C
SID_DS_5	$I_{DD\_MED\_M2}$	モード 2、中電流	-	60	-		25°C
SID_DS_6	$I_{DD\_LOW\_M2}$	モード 2、低電流	-	15	-		25°C
SID_DS_7	$G_{BW\_HI\_M1}$	モード 1、高電流	-	4	-	MHz	20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA}-0.2V$
SID_DS_8	$G_{BW\_MED\_M1}$	モード 1、中電流	-	2	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA}-0.2V$
SID_DS_9	$G_{BW\_LOW\_M1}$	モード 1、低電流	-	0.5	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA}-0.2V$
SID_DS_10	$G_{BW\_HI\_M2}$	モード 2、高電流	-	0.5	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA}-0.2V$
SID_DS_11	$G_{BW\_MED\_M2}$	モード 2、中電流	-	0.2	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA}-0.2V$
SID_DS_12	$G_{BW\_Low\_M2}$	モード 2、低電流	-	0.1	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA}-0.2V$

表 9. CTBm のオペアンプ仕様 ( 続き )

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID_DS_13	V <sub>OS_HI_M1</sub>	モード 1、高電流	-	5	-	mV	トリム 25°C あり、 0.2V ~ V <sub>DDA</sub> -0.2V
SID_DS_14	V <sub>OS_MED_M1</sub>	モード 1、中電流	-	5	-		トリム 25°C あり、 0.2V ~ V <sub>DDA</sub> -0.2V
SID_DS_15	V <sub>OS_LOW_M2</sub>	モード 1、低電流	-	5	-		トリム 25°C あり、 0.2V ~ V <sub>DDA</sub> -0.2V
SID_DS_16	V <sub>OS_HI_M2</sub>	モード 2、高電流	-	5	-		トリム 25°C あり、 0.2V ~ V <sub>DDA</sub> -0.2V
SID_DS_17	V <sub>OS_MED_M2</sub>	モード 2、中電流	-	5	-		トリム 25°C あり、 0.2V ~ V <sub>DDA</sub> -0.2V
SID_DS_18	V <sub>OS_LOW_M2</sub>	モード 2、低電流	-	5	-		トリム 25°C あり、 0.2V ~ V <sub>DDA</sub> -0.2V
SID_DS_19	I <sub>OUT_HI_M1</sub>	モード 1、高電流	-	10	-	mA	出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID_DS_20	I <sub>OUT_MED_M1</sub>	モード 1、中電流	-	10	-		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID_DS_21	I <sub>OUT_LOW_M1</sub>	モード 1、低電流	-	4	-		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID_DS_22	I <sub>OUT_HI_M2</sub>	モード 2、高電流	-	1	-		
SID_DS_23	I <sub>OU_MED_M2</sub>	モード 2、中電流	-	1	-		
SID_DS_24	I <sub>OU_LOW_M2</sub>	モード 2、低電流	-	0.5	-		

表 10. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID84	V <sub>OFFSET1</sub>	入力オフセット電圧 (工場出荷時調整)	-	-	±10	mV	
SID85	V <sub>OFFSET2</sub>	入力オフセット電圧 (合わせ込み調整)	-	-	±4		
SID86	V <sub>HYST</sub>	有効時のヒステリシス	-	10	35		
SID87	V <sub>ICM1</sub>	通常モード入力同相電圧	0	-	V <sub>DDD</sub> -0.1	V	モード 1 および モード 2
SID247	V <sub>ICM2</sub>	低消費電力モード入力同相電圧	0	-	V <sub>DDD</sub>		
SID247A	V <sub>ICM3</sub>	超低消費電力モード入力同相電圧	0	-	V <sub>DDD</sub> -1.15		-40°C で V <sub>DDD</sub> ≥ 2.2V
SID88	C <sub>MRR</sub>	同相信号除去比	50	-	-	dB	V <sub>DDD</sub> ≥ 2.7V
SID88A	C <sub>MRR</sub>	同相信号除去比	42	-	-		V <sub>DDD</sub> ≤ 2.7V

注:  
6. 特性評価で保証されています。

表 10. コンパレータの DC 仕様 ( 続き )

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID89	I <sub>CMP1</sub>	ブロック電流、通常モード	-	-	400	μA	
SID248	I <sub>CMP2</sub>	ブロック電流、低消費電力モード	-	-	100		
SID259	I <sub>CMP3</sub>	ブロック電流、超低消費電力モード	-	-	6		-40°C で V <sub>DD</sub> ≥ 2.2V
SID90	Z <sub>CMP</sub>	コンパレータの DC 入力インピーダンス	35	-	-	MΩ	

表 11. コンパレータの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID91	TRESP1	応答時間、通常モード、50mV オーバードライブ	-	38	110	ns	
SID258	TRESP2	応答時間、低消費電力モード、50mV オーバードライブ	-	70	200		
SID92	TRESP3	応答時間、超低消費電力モード、200mV オーバードライブ	-	2.3	15	μs	-40°C で V <sub>DD</sub> ≥ 2.2V

表 12. 温度センサー仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID93	TSSENSACC	温度センサー精度	-5	±1	5	°C	-40°C ~ +85°C

表 13. SAR 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
<b>SAR ADC の DC 仕様</b>							
SID94	A_RES	分解能	-	-	12	ビット	
SID95	A_CHNLS_S	チャンネル数-シングル エンド	-	-	8		8 個のフルスピードチャンネル
SID96	A-CHNKS_D	チャンネル数-差動	-	-	4		差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調増加性	-	-	-		有
SID98	A_GAINERR	ゲイン誤差	-	-	±0.1	%	外部リファレンス有り
SID99	A_OFFSET	入力オフセット電圧	-	-	2	mV	1V リファレンス電圧で測定
SID100	A_ISAR	消費電流	-	-	1	mA	
SID101	A_VINS	入力電圧範囲 - シングル エンド	V <sub>SS</sub>	-	V <sub>DDA</sub>	V	
SID102	A_VIND	入力電圧範囲 - 差動	V <sub>SS</sub>	-	V <sub>DDA</sub>	V	
SID103	A_INRES	入力抵抗	-	-	2.2	kΩ	
SID104	A_INCAP	入力寄生容量	-	-	10	pF	
SID260	VREFSAR	SAR 用の調整された内部リファレンス電圧	-	-	未定	V	
<b>SAR ADC の AC 仕様</b>							
SID106	A_PSRR	電源電圧変動除去比	70	-	-	dB	
SID107	A_CMRR	同相信号除去比	66	-	-	dB	1V で測定
SID108	A_SAMP	サンプリング速度	-	-	1	MSPS	

表 13. SAR 仕様 ( 続き )

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID109	A_SNR	信号対ノイズおよび歪み比 (SINAD)	65	-	-	dB	$F_{IN} = 10\text{kHz}$
SID110	A_BW	エイリアシング無しの入力帯域幅	-	-	$A_{\text{samp}}/2$	kHz	
SID111	A_INL	積分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、 $1\text{Msps}$	-1.7	-	2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID111A	A_INL	積分非直線性 $V_{DD} = 1.71\text{V} \sim 3.6\text{V}$ 、 $1\text{Msps}$	-1.5	-	1.7	LSB	$V_{REF} = 1.71 \sim V_{DD}$
SID111B	A_INL	積分非直線性 $V_{DD} = 1.71\text{V} \sim 5.5\text{V}$ 、 $500\text{Ksps}$	-1.5	-	1.7	LSB	$V_{REF} = 1 \sim V_{DD}$
SID112	A_DNL	微分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、 $1\text{Msps}$	-1	-	2.2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID112A	A_DNL	微分非直線性 $V_{DD} = 1.71\text{V} \sim 3.6\text{V}$ 、 $1\text{Msps}$	-1	-	2	LSB	$V_{REF} = 1.71 \sim V_{DD}$
SID112B	A_DNL	微分非直線性 $V_{DD} = 1.71\text{V} \sim 5.5\text{V}$ 、 $500\text{Ksps}$	-1	-	2.2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID113	A_THD	全高調波歪み	-	-	-65	dB	$F_{in} = 10\text{kHz}$
SID261	FSARINTREF	外部リファレンス バイパス電圧無しの SAR 動作速度	-	-	100	ksps	12 ビット分解能

表 14. CSD および IDAC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	詳細/条件
SYS.PER#3	VDD_RIPPLE	10MHz での DC 電源の最大許容リップル	-	-	±50	$V_{DD} > 2V$ (リップルあり)、 $T_A = 25^\circ C$ 、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	10MHz での DC 電源の最大許容リップル	-	-	±25	$V_{DD} > 1.75V$ (リップルあり)、 $T_A = 25^\circ C$ 、寄生容量 ( $C_p$ ) < 20pF、感度 $\geq 0.4pF$
SID.CSD.BLK	ICSD	最大ブロック電流	-	-	1700	コンパレータと基準電圧付き IDAC 毎のブロック電流
SID.CSD#15	VREF	CSD およびコンパレータ用の基準電圧	0.6	1.2	$V_{DDA} - 0.6$	$V_{DDA} - 0.06$ または 4.4 (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSD およびコンパレータ用の外部基準電圧	0.6		$V_{DDA} - 0.6$	$V_{DDA} - 0.06$ または 4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7 ビット) ブロック電流	-	-	1500	
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	-	-	1500	
SID308	VCSD	動作電圧の範囲	1.71	-	5.5	1.8V ±5% または 1.8V ~ 5.5V
SID308A	VCOMPIDAC	IDAC の準拠の電圧範囲	0.6	-	$V_{DDA} - 0.6$	$V_{DDA} - 0.06$ または 4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	-	1	
SID310	IDAC1INL	INL	-3	-	3	
SID311	IDAC2DNL	DNL	-1	-	1	
SID312	IDAC2INL	INL	-3	-	3	
SID313	SNR	信号対ノイズ比 (特性評価上保証)	5	-	-	静電容量範囲が 5 ~ 200pF で、感度 = 0.1pF。すべてのユースケース。 $V_{DDA} > 2V$
SID314	IDAC1CRT1	低域での IDAC1 (7 ビット) の出力電圧	4.2	-	5.2	LSB = 37.5nA typ.
SID314A	IDAC1CRT2	中域での IDAC1 (7 ビット) の出力電圧	34	-	41	LSB = 300nA typ.
SID314B	IDAC1CRT3	高域での IDAC1 (7 ビット) の出力電圧	275	-	330	LSB = 2.4µA typ.
SID314C	IDAC1CRT12	低域での IDAC1 (7 ビット) の出力電圧、2X モード	8	-	10.5	LSB = 37.5nA typ、2X モード時の出力
SID314D	IDAC1CRT22	中域での IDAC1 (7 ビット) の出力電圧、2X モード	69	-	82	LSB = 300nA typ、2X モード時の出力
SID314E	IDAC1CRT32	高域での IDAC1 (7 ビット) の出力電圧、2X モード	540	-	660	LSB = 2.4µA typ、2X モード時の出力
SID315	IDAC2CRT1	低域での IDAC2 (7 ビット) の出力電流	4.2	-	5.2	LSB = 37.5nA typ.
SID315A	IDAC2CRT2	中域での IDAC2 (7 ビット) の出力電流	34	-	41	LSB = 300nA typ.
SID315B	IDAC2CRT3	高域での IDAC2 (7 ビット) の出力電流	275	-	330	LSB = 2.4µA typ.
SID315C	IDAC2CRT12	低域での IDAC2 (7 ビット) の出力電流、2X モード	8	-	10.5	LSB = 37.5nA typ、2X モード時の出力
SID315D	IDAC2CRT22	中域での IDAC2 (7 ビット) の出力電流、2X モード	69	-	82	LSB = 300nA typ、2X モード時の出力
SID315E	IDAC2CRT32	高域での IDAC2 (7 ビット) の出力電流、2X モード	540	-	660	LSB = 2.4µA typ、2X モード時の出力
SID315F	IDAC3CRT13	低域での 8 ビット モード IDAC の出力電流	8	-	10.5	LSB = 37.5nA typ.
SID315G	IDAC3CRT23	中域での 8 ビット モード IDAC の出力電流	69	-	82	LSB = 300nA typ.

表 14. CSD および IDAC 仕様 ( 続き )

仕様 ID#	パラメーター	説明	Min	Typ	Max	詳細/条件
SID315H	IDAC3CRT33	高域での 8 ビット モード IDAC の出力電流	540	-	660	LSB = 2.4µA typ.
SID320	IDACOFFSET	すべてのゼロ入力	-	-	1	極性はソースまたはシンク電流により設定
SID321	IDACGAIN	フルスケール エラーからオフセットエラーを差し引いた後の値	-	-	±10	
SID322	IDACMISMATCH1	低モードでのIDAC1とIDAC2の不一致	-	-	9.2	LSB = 37.5nA typ.
SID322A	IDACMISMATCH2	中モードでのIDAC1とIDAC2の不一致	-	-	4.6	LSB = 300nA typ.
SID322B	IDACMISMATCH3	高モードでのIDAC1とIDAC2の不一致	-	-	2.3	LSB = 2.4µA typ.
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの整定時間	-	-	10	フルスケール遷移。外部負荷なし
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの整定時間	-	-	10	フルスケール遷移。外部負荷なし
SID325	CMOD	モジュレータの外部コンデンサ	-	2.2	-	5V 定格、X7R または NP0 コンデンサ

表 15. 10 ビット CapSense ADC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA94	A_RES	分解能	-	-	10	ビット	ミリ秒毎に論理レベルを自動的にゼロ化される必要がある
SIDA95	A_CHNLS_S	チャンネル数-シングル エンド	-	-	16		AMUX バスにより定義される
SIDA97	A-MONO	単調増加性	-	-	-	有	
SIDA98	A_GAINERR	ゲイン誤差	-	-	未定	%	
SIDA99	A_OFFSET	入力オフセット 電圧	-	-	未定	mV	
SIDA100	A_ISAR	消費電流	-	-	未定	mA	
SIDA101	A_VINS	入力電圧範囲 - シングル エンド	VSSA	-	VDDA	V	
SIDA103	A_INRES	入力抵抗	-	2.2	-	kΩ	
SIDA104	A_INCAP	入力寄生容量	-	20	-	pF	
SIDA106	A_PSRR	電源電圧変動除去比	未定	-	-	dB	
SIDA107	A_TACQ	サンプル取得時間	-	1	-	µs	
SIDA108	A_CONV8	変換速度 = Fhclk/(2^(N+2)) での 8 ビット分解能の変換時間。クロック周波数 = 48MHz	-	-	21.3	µs	取得時間を含まない。取得時間含むと 44.8ksps に相当
SIDA108A	A_CONV10	変換速度 = Fhclk/(2^(N+2)) での 10 ビット分解能の変換時間。クロック周波数 = 48MHz	-	-	85.3	µs	取得時間を含まない。取得時間含むと 11.6ksps に相当
SIDA109	A_SND	信号対ノイズおよび歪み比 (SINAD)	未定	-	-	dB	
SIDA110	A_BW	エイリアシング無しの入力帯域幅	-	-	22.4	kHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。1ksps	-	-	2	LSB	VREF = 2.4V 以上
SIDA112	A_DNL	微分非直線性。1ksps	-	-	1	LSB	



デジタル ペリフェラル

タイマー/カウンタ/パルス幅変調器 (TCPWM)

表 16. TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	-	-	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	-	-	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	-	-	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM <sub>FREQ</sub>	動作周波数	-	-	Fc	MHz	Fc max = CLK_SYS 最大値 = 48MHz
SID.TCPWM.4	TPWM <sub>ENEXT</sub>	入力トリガーのパルス幅	2/Fc	-	-	ns	すべてのトリガー イベント [7]
SID.TCPWM.5	TPWM <sub>EXT</sub>	出力トリガーのパルス幅	2/Fc	-	-		オーバーフロー、アンダーフローおよび CC (カウンタ=比較値) 出力の最小幅
SID.TCPWM.5A	TC <sub>RES</sub>	カウンターの分解能	1/Fc	-	-		逐次カウント間の最小時間
SID.TCPWM.5B	PWM <sub>RES</sub>	PWM 分解能	1/Fc	-	-		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q <sub>RES</sub>	直交位相入力分解能	1/Fc	-	-		直交位相入力同士間の最小パルス幅

I<sup>2</sup>C

表 17. 固定 I<sup>2</sup>C の DC 仕様 [8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I <sub>I2C1</sub>	100kHz でのブロック消費電流	-	-	50	μA	-
SID150	I <sub>I2C2</sub>	400kHz でのブロック消費電流	-	-	135		-
SID151	I <sub>I2C3</sub>	1Mbps でのブロック消費電流	-	-	310		-
SID152	I <sub>I2C4</sub>	I <sup>2</sup> C がディープスリープ モードで有効の場合	-	-	1.4		

表 18. 固定 I<sup>2</sup>C の AC 仕様 [8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F <sub>I2C1</sub>	ビットレート	-	-	1	Msp/s	-

注:

7. 選択した動作モードによって、トリガー イベントはストップ、スタート、リロード、カウント、キャプチャ、またはキルのいずれかです。
8. 特性評価で保証されています。

表 19. SPI の DC 仕様<sup>[9]</sup>

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	ISPI1	1Mビット/秒時のブロック消費電流	-	-	360	μA	-
SID164	ISPI2	4Mビット/秒時のブロック消費電流	-	-	560		-
SID165	ISPI3	8Mビット/秒時のブロック消費電流	-	-	600		-

表 20. SPI の AC 仕様<sup>[9]</sup>

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	FSPI	SPI 動作周波数 ( マスター ; 6X オーバーサンプリング )	-	-	8	MHz	SID166
<b>固定 SPI マスター モードの AC 仕様</b>							
SID167	TDMO	SClock 駆動エッジからの MOSI 有効期間	-	-	15	ns	-
SID168	TDSI	SClock キャプチャ エッジまでの MISO 有効期間	20	-	-		フル クロック、MISO の遅いサンプリング
SID169	THMO	前の MOSI データ ホールド時間	0	-	-		スレーブ キャプチャ エッジを参照
<b>固定 SPI スレーブモードの AC 仕様</b>							
SID170	TDMI	Sclock キャプチャ エッジまでの MOSI 有効期間	40	-	-	ns	-
SID171	TDSO	Sclock 駆動エッジからの MISO 有効期間	-	-	42 + 3*Tcpu		T <sub>CPU</sub> = 1/F <sub>CPU</sub>
SID171A	TDSO_EXT	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間 Ck モード	-	-	48		-
SID172	THSO	前の MISO データ ホールド時間	0	-	-		-
SID172A	TSELSSCK	SSEL 有効から最初の SCK 有効エッジまでの時間	-	-	100	ns	-

表 21. UART の DC 仕様<sup>[9]</sup>

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I <sub>UART1</sub>	100K ビット / 秒でのブロック消費電流	-	-	55	μA	-
SID161	I <sub>UART2</sub>	1000K ビット / 秒でのブロック消費電流	-	-	312	μA	-

表 22. UART の AC 仕様<sup>[9]</sup>

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F <sub>UART</sub>	ビット レート	-	-	1	Mbps	-

表 23. LCD 直接駆動の DC 仕様<sup>[9]</sup>

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I <sub>LCLOW</sub>	低電力モードでの動作電流	–	5	–	μA	Hz での 16×4 の小さいセグメントディスプレイ
SID155	C <sub>LCDCAP</sub>	セグメント/コモン ドライバーあたりの LCD 静電容量	–	500	5000	pF	–
SID156	LCD <sub>OFFSET</sub>	長時間セグメント オフセット	–	20	–	mV	–
SID157	I <sub>LCOP1</sub>	LCD システム動作電流 V <sub>bias</sub> = 5V	–	2	–	mA	32 × 4 セグメント、50Hz、25°C
SID158	I <sub>LCOP2</sub>	LCD システム動作電流 V <sub>bias</sub> = 3.3V	–	2	–		32 × 4 セグメント、50Hz、25°C 4 セグメント、50Hz、25°C

表 24. LCD 直接駆動の AC 仕様<sup>[9]</sup>

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F <sub>LCD</sub>	LCD フレーム レート	10	50	150	Hz	–

注：  
9. 特性評価で保証されています。

メモリ

表 25. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V <sub>PE</sub>	消去およびプログラム電圧	1.71	-	5.5	V	-

表 26. フラッシュ AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T <sub>ROWWRITE</sub> <sup>[10]</sup>	Row (ブロック) 書き込み時間 (消去+書き込み)	-	-	20	ms	Row (ブロック) = 128 バイト
SID175	T <sub>ROWERASE</sub> <sup>[10]</sup>	Row 消去時間	-	-	13		-
SID176	T <sub>ROWPROGRAM</sub> <sup>[10]</sup>	消去後の Row プログラム時間	-	-	7		-
SID178	T <sub>BULKERASE</sub> <sup>[10]</sup>	バルク消去時間 (64KB)	-	-	35		-
SID180 <sup>[11]</sup>	T <sub>DEVPROG</sub> <sup>[10]</sup>	デバイス プログラム合計時間	-	-	7	秒	-
SID181 <sup>[11]</sup>	F <sub>END</sub>	フラッシュ書き替え耐性	100K	-	-	サイクル	-
SID182 <sup>[11]</sup>	F <sub>RET</sub>	フラッシュのデータ保持期間。 T <sub>A</sub> ≤ 55°C、プログラム/消去 サイクル = 10 万回	20	-	-	年	-
SID182A <sup>[11]</sup>	-	フラッシュのデータ保持期間。 T <sub>A</sub> ≤ 85°C、プログラム/消去 サイクル = 1 万回	10	-	-		-
SID256	TWS48	48MHz でのウェイト ステートの数	2	-	-		フラッシュからの CPU 実行
SID257	TWS24	24MHz でのウェイト ステートの数	1	-	-		フラッシュからの CPU 実行

システム リソース

パワーオン リセット (POR)

表 27. パワーオン リセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	-	67	V/ms	電源投入時
SID185 <sup>[11]</sup>	V <sub>RISEIPOR</sub>	立ち上がりトリップ電圧	0.80	-	1.5	V	-
SID186 <sup>[11]</sup>	V <sub>FALLIPOR</sub>	立ち下がりトリップ電圧	0.70	-	1.4		-

表 28. V<sub>CCD</sub> の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190 <sup>[11]</sup>	V <sub>FALLPPOR</sub>	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.48	-	1.62	V	-
SID192 <sup>[11]</sup>	V <sub>FALLDPSLP</sub>	ディープスリープ モードでの BOD トリップ電圧	1.11	-	1.5		-

注:

- フラッシュ メモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュ メモリの動作は中断され、正常に完了したことを保証されません。リセット ソースは XRES ピン、ソフトウェア リセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。
- 特性評価で保証されています。

SWD インターフェース

表 29. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCCLK1	$3.3V \leq V_{DD} \leq 5.5V$	-	-	14	MHz	SWDCCLKはCPUクロック周波数の 1/3 以下
SID214	F_SWDCCLK2	$1.71V \leq V_{DD} \leq 3.3V$	-	-	7		SWDCCLKはCPUクロック周波数の 1/3 以下
SID215 <sup>[12]</sup>	T_SWDI_SETUP	$T = 1/f \text{ SWDCCLK}$	$0.25 \cdot T$	-	-	ns	-
SID216 <sup>[12]</sup>	T_SWDI_HOLD	$T = 1/f \text{ SWDCCLK}$	$0.25 \cdot T$	-	-		-
SID217 <sup>[12]</sup>	T_SWDO_VALID	$T = 1/f \text{ SWDCCLK}$	-	-	$0.5 \cdot T$		-
SID217A <sup>[12]</sup>	T_SWDO_HOLD	$T = 1/f \text{ SWDCCLK}$	1	-	-		-

内部主発振器

表 30. IMO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I <sub>IMO1</sub>	48MHz での IMO 動作電流	-	-	250	μA	-
SID219	I <sub>IMO2</sub>	24MHz での IMO 動作電流	-	-	180	μA	-

表 31. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID223	F <sub>IMOTOL1</sub>	24MHz、32MHz および 48MHz での周波数誤差 (トリム済み)	-	-	±2	%	
SID226	T <sub>STARTIMO</sub>	IMO 起動時間	-	-	7	μs	-
SID228	T <sub>JITRMSIMO2</sub>	24MHz での RMS ジッタ	-	145	-	ps	-

内部低速発振器

表 32. ILO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231 <sup>[12]</sup>	I <sub>ILO1</sub>	ILO 動作電流	-	0.3	1.05	μA	-

表 33. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234 <sup>[12]</sup>	T <sub>STARTILO1</sub>	ILO 起動時間	-	-	2	ms	-
SID236 <sup>[12]</sup>	T <sub>ILODUTY</sub>	ILO のデューティ比	40	50	60	%	-
SID237	F <sub>ILOTRIM1</sub>	ILO 周波数範囲	20	40	80	kHz	-

注:

12. 特性評価で保証されています。

表 34. 時計用水晶発振器 (WCO) 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID398	FWCO	水晶発振器周波数	–	32.768	–	kHz	
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20ppm の水晶発振器
SID400	ESR	等価直列抵抗	–	50	–	k $\Omega$	
SID401	PD	駆動レベル	–	–	1	$\mu$ W	
SID402	TSTART	起動時間	–	–	500	ms	
SID403	CL	水晶の負荷容量	6	–	12.5	pF	
SID404	C0	水晶の並列容量	–	1.35	–	pF	
SID405	IWCO1	動作電流 (大消費電力モード)	–	–	8	$\mu$ A	
SID406	IWCO2	動作電流 (低消費電力モード)	–	–	1	$\mu$ A	

表 35. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305 <sup>[13]</sup>	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 <sup>[13]</sup>	ExtClkDuty	デューティ比 ; $V_{DD/2}$ で測定	45	–	55	%	–

表 36. ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID262 <sup>[13]</sup>	T <sub>CLKSWITCH</sub>	システム クロック ソースの切り替え時間	3	–	4	周期	–

表 37. PRGIO パススルー時間 (バイパス モードでの遅延)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID252	PRG_BYPASS	バイパス モードでの PRGIO による最大遅延時間	–	–	1.6	ns	PRGIO は法的認可待ち中のブランドのスマート I/O になる

注:  
13. 特性評価で保証されています。

注文情報

PSoC 4100S ファミリのマーケティング製品番号は下表の通りです。

カテゴリ	MPN	特長											パッケージ				
		CPUの最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	12ビットのSAR ADC	ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	SMART I/O ピン (スマート I/O)	GPIO	35-WLCSP	32-QFN	40-QFN	48-TQFP
4124	CY8C4124FNI-S403	24	16	4	2	0	0	-	2	5	2	8	31	X	-	-	-
	CY8C4124FNI-S413	24	16	4	2	1	0	-	2	5	2	16	31	X	-	-	-
	CY8C4124LQI-S412	24	16	4	2	1	0	-	2	5	2	16	27	-	X	-	-
	CY8C4124LQI-S413	24	16	4	2	1	0	-	2	5	2	16	34	-	-	X	-
	CY8C4124AZI-S413	24	16	4	2	1	0	-	2	5	2	16	36	-	-	-	X
	CY8C4124FNI-S433	24	16	4	2	1	1	806ksps	2	5	2	16	31	X	-	-	-
	CY8C4124LQI-S432	24	16	4	2	1	1	806ksps	2	5	2	16	27	-	X	-	-
	CY8C4124LQI-S433	24	16	4	2	1	1	806ksps	2	5	2	16	34	-	-	X	-
	CY8C4124AZI-S433	24	16	4	2	1	1	806ksps	2	5	2	16	36	-	-	-	X
4125	CY8C4125FNI-S423	24	32	4	2	0	1	806ksps	2	5	2	16	31	X	-	-	-
	CY8C4125LQI-S422	24	32	4	2	0	1	806ksps	2	5	2	16	27	-	X	-	-
	CY8C4125LQI-S423	24	32	4	2	0	1	806ksps	2	5	2	16	34	-	-	X	-
	CY8C4125AZI-S423	24	32	4	2	0	1	806ksps	2	5	2	16	36	-	-	-	X
	CY8C4125FNI-S413	24	32	4	2	1	0	-	2	5	2	16	31	X	-	-	-
	CY8C4125LQI-S412	24	32	4	2	1	0	-	2	5	2	16	27	-	X	-	-
	CY8C4125LQI-S413	24	32	4	2	1	0	-	2	5	2	16	34	-	-	X	-
	CY8C4125AZI-S413	24	32	4	2	1	0	-	2	5	2	16	36	-	-	-	X
	CY8C4125FNI-S433	24	32	4	2	1	1	806ksps	2	5	2	16	31	X	-	-	-
	CY8C4125LQI-S432	24	32	4	2	1	1	806ksps	2	5	2	16	27	-	X	-	-
	CY8C4125LQI-S433	24	32	4	2	1	1	806ksps	2	5	2	16	34	-	-	X	-
CY8C4125AZI-S433	24	32	4	2	1	1	806ksps	2	5	2	16	36	-	-	-	X	
4146	CY8C4146FNI-S423	48	64	8	2	0	1	1Msps	2	5	3	16	31	X	-	-	-
	CY8C4146LQI-S422	48	64	8	2	0	1	1Msps	2	5	3	16	27	-	X	-	-
	CY8C4146LQI-S423	48	64	8	2	0	1	1Msps	2	5	3	16	34	-	-	X	-
	CY8C4146AZI-S423	48	64	8	2	0	1	1Msps	2	5	3	16	36	-	-	-	X
	CY8C4146FNI-S433	48	64	8	2	1	1	1Msps	2	5	3	16	31	X	-	-	-
	CY8C4146LQI-S432	48	64	8	2	1	1	1Msps	2	5	3	16	27	-	X	-	-
	CY8C4146LQI-S433	48	64	8	2	1	1	1Msps	2	5	3	16	34	-	-	X	-
CY8C4146AZI-S433	48	64	8	2	1	1	1Msps	2	5	3	16	36	-	-	-	X	

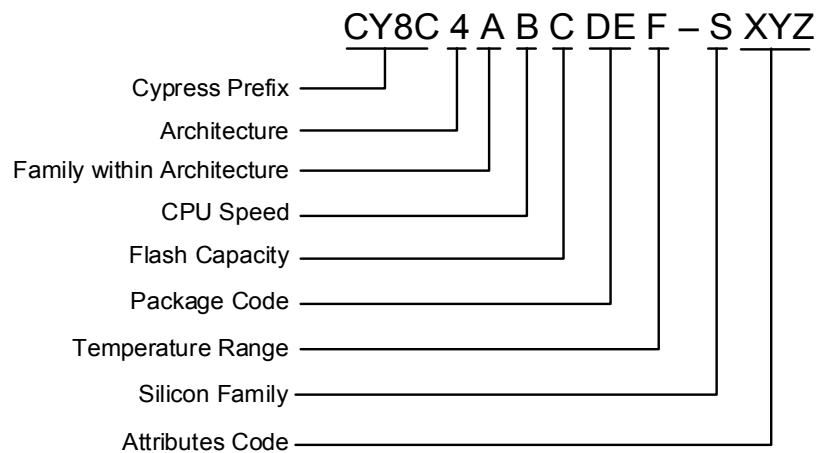
上記の表に使用される命名法は次の製品番号の命名規則に基づいています。

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	ファミリ	0	4000 ファミリ
B	CPU 速度	2	24MHz
		4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
		6	64KB
		7	128KB
DE	パッケージコード	Ax	TQFP (0.8mm ピッチ)
		Arizona	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度範囲	I	産業用
S	シリコン ファミリ	該当しない	PSoC 4A、PSoC 4A-S2
		M	PSoC 4A-M
		L	PSoC 4A-L
		BL	PSoC 4A-BLE
XYZ	属性コード	000 ~ 999	特定のファミリ内の機能セットのコード

製品番号の例は次の通りです。

### Example

4: PSoC 4  
1: 4100 Family  
4: 48 MHz  
5: 32 KB  
AZ: TQFP  
I: Industrial





## パッケージ

PSoC 4100S は 48 ピン TQFP、40 ピン QFN、32 ピン QFN、および 35 ボール WLCSP パッケージで提供されます。パッケージの寸法とサイプレスの図面番号は次の表にあります。

表 38. パッケージの一覧

仕様 ID#	パッケージ	説明	パッケージ図面番号
BID20	48 ピン TQFP	寸法は 7 × 7 × 1.4mm で、ピッチが 0.5mm	51-85135
BID27	40 ピン QFN	寸法は 6 × 6 × 0.6mm で、ピッチが 0.4mm	001-80659 **
BID34A	32 ピン QFN	寸法は 5 × 5 × 0.6mm で、ピッチが 0.45mm	001-42168
BID34D	35 ボール WLCSP	未定	未定

表 39. パッケージの熱特性

パラメーター	説明	パッケージ	Min	Typ	Max	単位
TA	動作周囲温度		-40	25	85	°C
TJ	動作接合部温度		-40	-	100	°C
TJA	パッケージ $\theta_{JA}$	48 ピン TQFP	-	未定	-	°C/W
TJC	パッケージ $\theta_{JC}$	48 ピン TQFP	-	未定	-	°C/W
TJA	パッケージ $\theta_{JA}$	40 ピン QFN	-	未定	-	°C/W
TJC	パッケージ $\theta_{JC}$	40 ピン QFN	-	未定	-	°C/W
TJA	パッケージ $\theta_{JA}$	32 ピン QFN	-	未定	-	°C/W
TJC	パッケージ $\theta_{JC}$	32 ピン QFN	-	未定	-	°C/W
TJA	パッケージ $\theta_{JA}$	35 ボール WLCSP	-	未定	-	°C/W
TJC	パッケージ $\theta_{JC}$	35 ボール WLCSP	-	未定	-	°C/W

表 40. ハンダリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 41. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

パッケージ	MSL
すべて	MSL 3

外形図

図 6. 48 ピン TQFP パッケージの外形

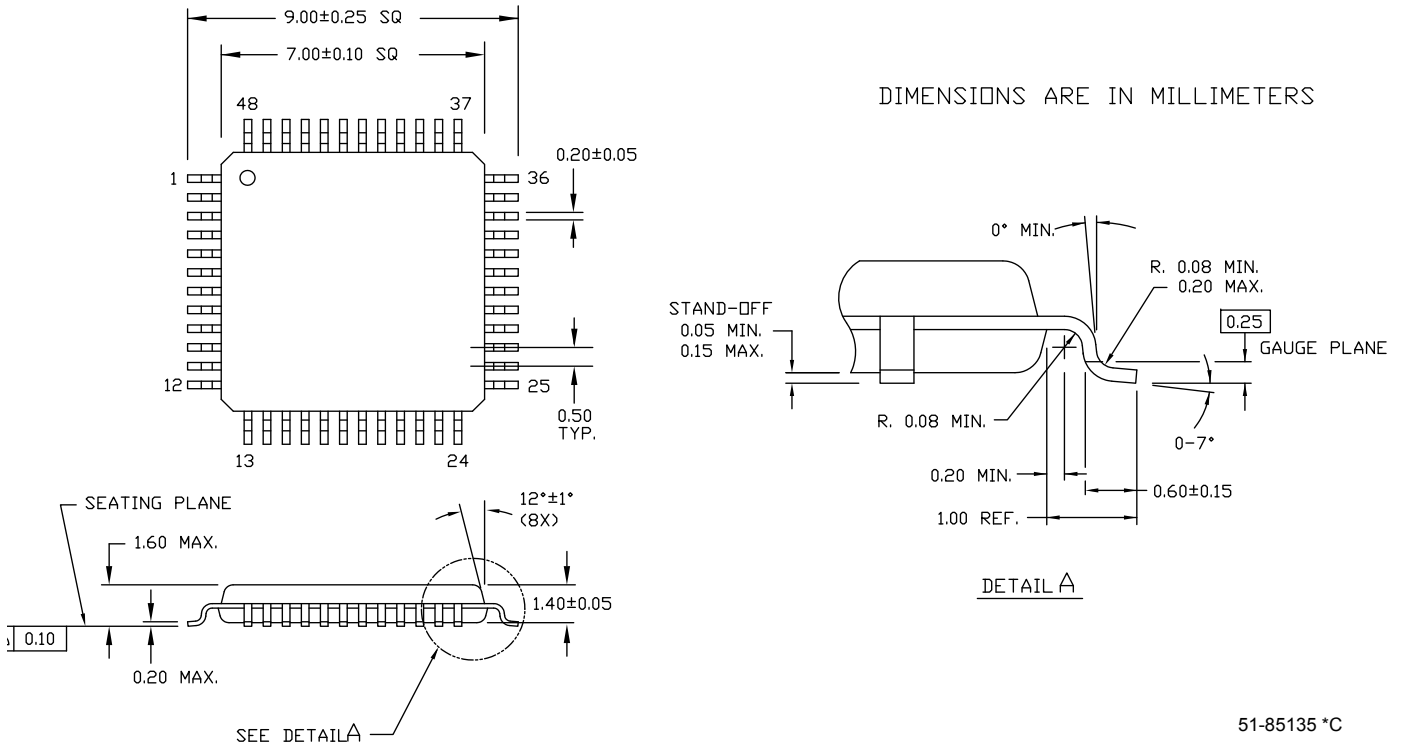
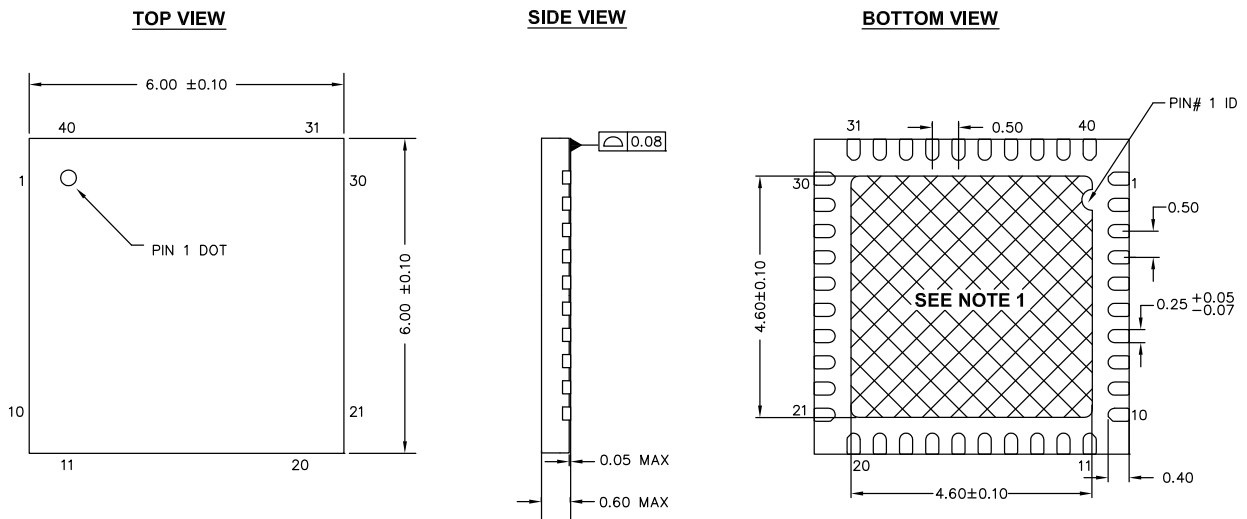



図 7. 40 ピン QFN パッケージの外形

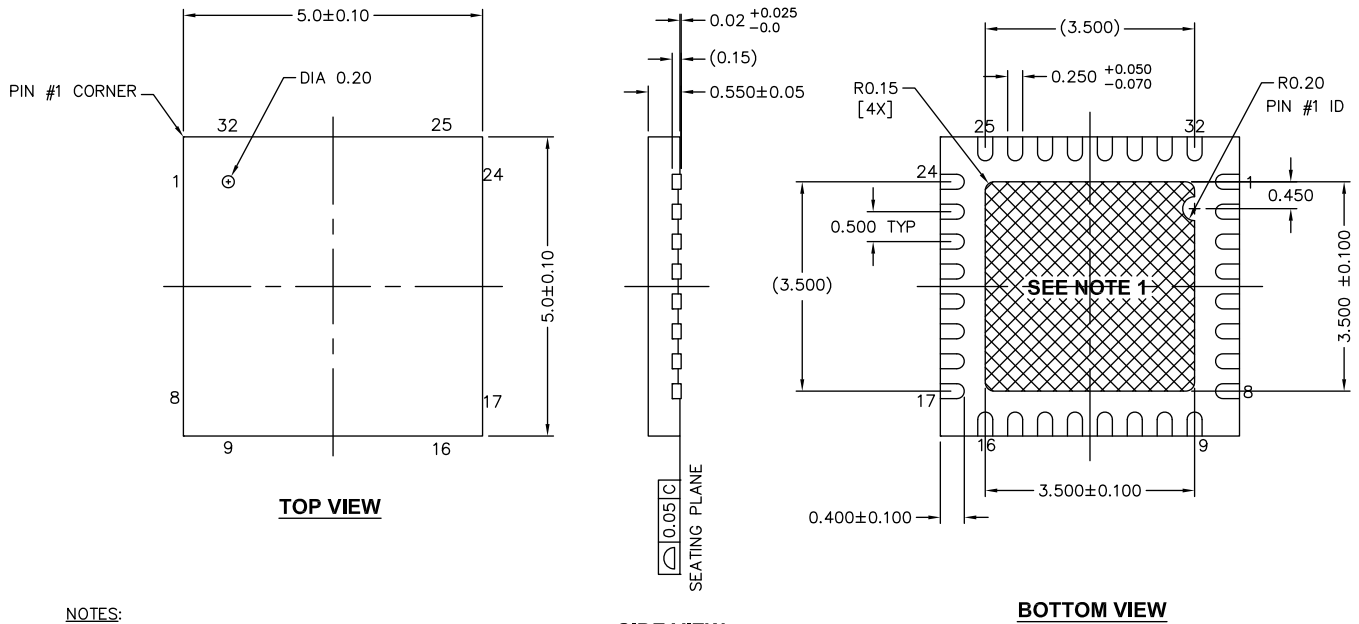


NOTES:


1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ±2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 \*A

図 8. 32 ピン QFN パッケージの外形



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

001-42168 \*E

図 9. 36 ボール WLCSP 寸法

未定

略語

表 42. 本書で使用される略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラ バス アーキテクチャ) 高性能バス)、ARM データ転送バスの一種
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
ARM <sup>®</sup>	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラ エリア ネットワーク)、通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラーチェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ変換器)。IDAC、VDAC をご参照ください。
DFB	digital filter block (デジタル フィルタ ブロック)
DIO	digital input/output (デジタル入出力)、アナログなし、デジタル機能のみを持つ GPIO。GPIO をご参照ください。
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD をご参照ください。
DNL	differential nonlinearity (微分非直線性)。INL をご参照ください。
DNU	do not use (使用しないでください)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インタコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)

表 42. 本書で使用される略語 (続き)

略語	説明
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。IIR をご参照ください。
FPB	flash patch and breakpoint (フラッシュパッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割り込み)。LVI、LVD をご参照ください。
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC をご参照ください。
IDE	integrated development environment (統合開発環境)
I <sup>2</sup> C (別名: IIC)	Inter-Integrated Circuit (インタ インテグレートド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。FIR をご参照ください。
ILO	internal low-speed oscillator (内部低速発振器)。IMO をご参照ください。
IMO	internal main oscillator (内部主発振器)。ILO をご参照ください。
INL	integral nonlinearity (積分非直線性)。DNL をご参照ください。
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO をご参照ください。
IPOR	initial power-on reset (初期パワーオン リセット)

表 42. 本書で使用する略語 (続き)

略語	説明
IPSR	interrupt program status register (割り込みプログラム ステータス レジスタ)
IRQ	interrupt request (割り込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インタコネクト ネットワーク)、通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVI をご参照ください。
LVI	low-voltage interrupt (低電圧割り込み)。HVI をご参照ください。
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ-トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラ ユニット)
MISO	master-in slave-out (マスタ入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラ)
NVL	nonvolatile latch (不揮発性ラッチ)。WOL をご参照ください。
opamp	operational amplifier (オペアンプ)
PAL	programmable array logic (プログラマブル アレイ ロジック)。PLD をご参照ください。
PC	program counter (プログラム カウンタ)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割り込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロジック デバイス)。PAL をご参照ください。
PLL	phase-locked loop (位相同期回路)

表 42. 本書で使用する略語 (続き)

略語	説明
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSoC <sup>®</sup>	Programmable System-on-Chip <sup>™</sup> (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチド キャパシタ/連続時間)
SCL	I <sup>2</sup> C serial clock (I <sup>2</sup> C シリアル クロック)
SDA	I <sup>2</sup> C serial data (I <sup>2</sup> C シリアル データ)
S/H	sample and hold (サンプル/ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力)、高度機能GPIO。GPIO をご参照ください。
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアルペリフェラル インターフェース)、通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアルワイヤ デバッグ)、テスト プロトコルの一種

表 42. 本書で使用する略語 ( 続き )

略語	説明
SWV	single-wire viewer ( シングル ワイヤ ビューアー )
TD	transaction descriptor ( トランザクション ディスクリプタ )。DMA をご参照ください。
THD	total harmonic distortion ( 全高調波歪み )
TIA	transimpedance amplifier ( トランスインピーダンス アンプ )
TRM	technical reference manual ( テクニカル リファレンス マニュアル )
TTL	transistor-transistor logic ( トランジスタ - トランジスタ ロジック )
TX	transmit ( 送信 )
UART	universal asynchronous transmitter receiver ( 汎用非同期トランスミッタ レシーバ )、 通信プロトコルの一種
UDB	universal digital block ( ユニバーサル デジタル ブロック )
USB	universal serial bus ( ユニバーサル シリアル バス )
USBIO	USB input/output ( USB 入出力 )、USB ポートへの 接続に使用される PSoC ピン
VDAC	voltage DAC ( 電圧 DAC )。DAC、IDAC をご参照 ください。
WDT	watchdog timer ( ウォッチドッグ タイマ )
WOL	write once latch ( 一度しか書き込めないラッチ )。 NVL をご参照ください。
WRES	watchdog timer reset ( ウォッチドッグ タイマ リセット )
XRES	external reset I/O pin ( 外部リセット I/O ピン )
XTAL	crystal ( 水晶 )

## 本書の表記法

### 測定単位

表 43. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

## 改訂履歴

文書名 : PSoC <sup>®</sup> 4: PSoC 4100S ファミリ データシート プログラマブル システムオンチップ (PSoC)				
文書番号 :002-00122				
版	ECN	変更者	発行日	変更内容
**	5108904	YOHK	02/02/2016	これは英語版 001-00122 Rev. *C を翻訳した日本語版 002-10663 Rev. ** です。



## セールス、ソリューションおよび法律情報

### ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

### 製品

車載用	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
クロック & バッファ	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
インターフェース	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明 & 電力制御	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>
メモリ	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
タッチ センシング	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB コントローラー	<a href="http://cypress.com/go/USB">cypress.com/go/USB</a>
ワイヤレス / RF	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC<sup>®</sup> ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

### サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

© Cypress Semiconductor Corporation, 2015-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。