

PowerSnooze™ および誤り訂正符号 (ECC) 内蔵の 4M ビット (512K ワード × 8 ビット) スタティック RAM

特長

- 高速
 - アクセス時間 (t_{AA}) = 10ns / 15ns
- 超低消費電力ディープスリープ (DS) 電流
 - I_{DS} = 15 μ A
- 低いアクティブおよびスタンバイ電流
 - アクティブ電流 I_{CC} = 38mA (Typ)
 - スタンバイ電流 I_{SB2} = 6mA (Typ)
- 広い動作電圧範囲: 1.65V ~ 2.2V, 2.2V ~ 3.6V, 4.5V ~ 5.5V
- シングルビット エラー訂正用の内蔵 ECC
- 1ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 1.0V データ保持
- TTL 互換の入出力
- 鉛フリーの44ピン TSOP II, 36ピン (400mil) の molded SOJ で入手可

機能の詳細説明

CY7S1049G/CY7S1049GE は、512K ワード × 8 ビットで構成される、高性能 PowerSnooze™ 搭載のスタティック RAM です。このデバイスは高速アクセス時間 (10ns) および独自の超低消費電力ディープスリープ モードを備えています。ディープスリープ モード時の電流を 15 μ A にまで低くして、CY7S1049G/CY7S1049GE デバイスは高速かつ低消費電力 SRAM の最高性能を兼ね備え業界標準のパッケージオプションに実現しています。また、デバイスはアクセスした位置でシングルビット エラーを検出して訂正する内蔵 ECC ロジックを備えています。

通常動作モードのために、ディープスリープ入力 (\overline{DS}) を HIGH にしてアサート停止する必要があります。

データ書き込みを実行するには、チップ イネーブル (\overline{CE}) と書き込みイネーブル (\overline{WE}) 入力を LOW にアサートし、データとアドレスをそれぞれデバイスのデータ ピン ($I/O_0 \sim I/O_7$) とアドレスピン ($A_0 \sim A_{18}$) に入力します。

データ読み出しを実行するには、チップ イネーブル (\overline{CE}) と出力イネーブル (\overline{OE}) 入力を LOW にアサートし、必要なアドレスをアドレス ラインに入力します。読み出しデータは、 I/O ライン ($I/O_0 \sim I/O_7$) 上でアクセス可能です。

ディープスリープ入力 (\overline{DS}) が LOW にアサートされると、デバイスは低消費電力ディープスリープ モードに入ります。この状態では、デバイスは通常動作が無効にされ、低消費電力のデータ保持モードに移行します。デバイスは、ディープスリープ入力 (\overline{DS}) を HIGH にしてアサート停止することでアクティブになります。

CY7S1049G は、44 ピン TSOP II と 36 ピン Molded SOJ (400Mil) で入手可能です。

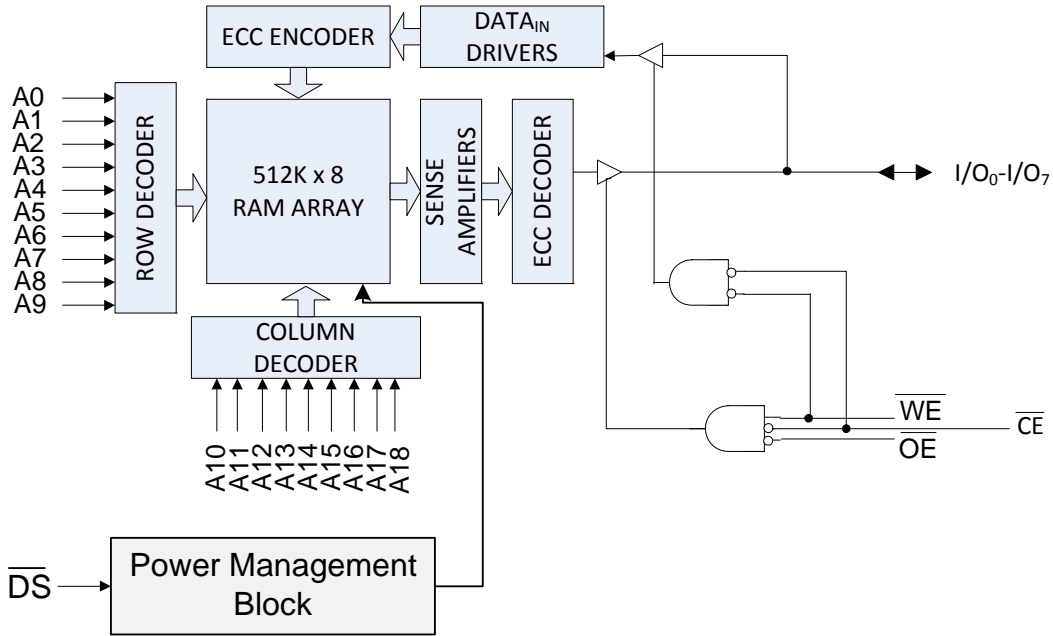
製品ポートフォリオ

製品 ^[2]	範囲	V_{CC} の範囲 (V)	速度 (ns)	電力損失					
				動作時の I_{CC} (mA)		スタンバイ時の I_{SB2} (mA)		ディープスリープ電流 (μ A)	
				$f = f_{max}$					
				Typ ^[3]	Max	Typ ^[3]	Max	Typ ^[3]	Max
CY7S1049G(E)18	産業用	1.65V ~ 2.2V	15	–	40	6	8	–	15
CY7S1049G(E)30		2.2V ~ 3.6V	10	38	45				
CY7S1049G(E)		4.5V ~ 5.5V	10	38	45				

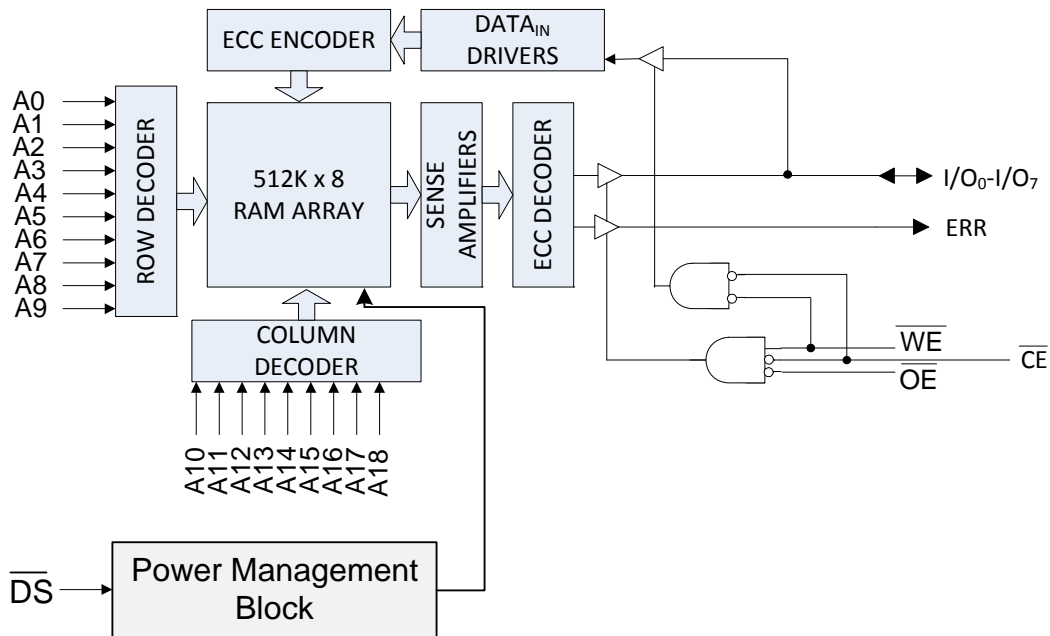
注:

1. このデバイスは、エラー検出機能の自動再書き込みに対応していません。
2. ERR ピンは、注文コードに ERR オプション「E」があるデバイスにのみ備えられています。詳細は、[注文情報](#)をご参照ください。
3. 標準値は単なる参照値であり、保証または試験されていません。標準値は、 $V_{CC} = 1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3V$ (V_{CC} が 2.2V ~ 3.6V の場合)、 $V_{CC} = 5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ C$ で測定しています。

ロジックブロック図— CY7S1049G



論理ブロック図— CY7S1049GE



目次

ピン配置	4	ERR 出力 – CY7S1049GE	16
最大定格	6	注文情報	17
動作範囲	6	注文コードの定義	17
DC 特性	6	パッケージ図	18
容量	7	略語	19
熱抵抗	7	本書の表記法	19
AC テストの負荷および波形	8	測定単位	19
データ保持特性	9	改訂履歴	20
データ保持波形	9	セールス、ソリューションおよび法律情報	21
ディープスリープ モード特性	10	ワールドワイド販売と設計サポート	21
AC スイッチング特性	11	製品	21
スイッチング波形	12	PSoC® ソリューション	21
真理値表	16	サイプレス開発者コミュニティ	21
		テクニカル サポート	21

ピン配置

図 1. ERR ピン無し 44 ピン TSOP II ピン配置 [4]

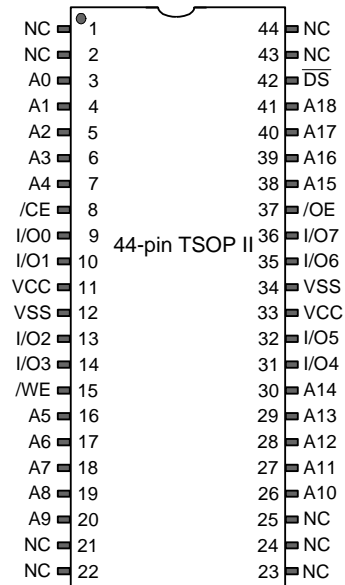
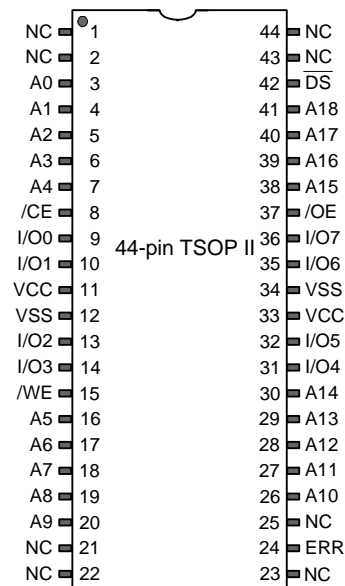


図 2. ERR ピン有り 44 ピン TSOP II ピン配置 [4, 5]



注:

- 4. NC ピンは内部でダイに接続されていません。
- 5. ERR は出力ピンです。

ピン配置 (続き)

図 3. ERR ピン無し 36 ピン SOJ ピン配置 [6]

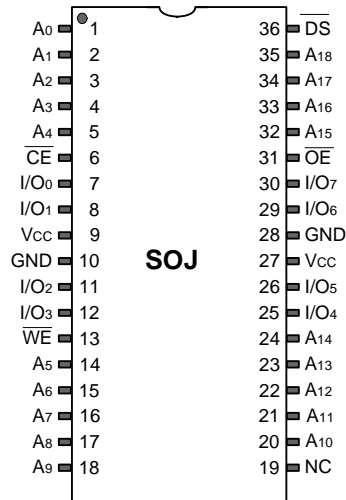
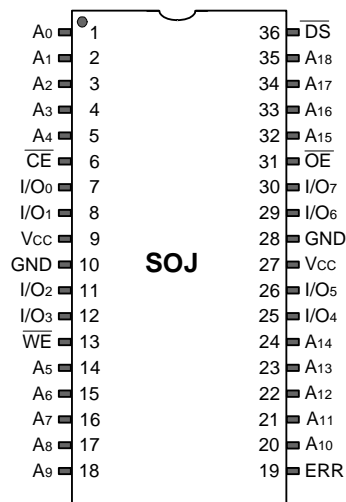


図 4. ERR ピン有り 36 ピン SOJ ピン配置 [6, 7]



注：
6. NC ピンは内部でダイに接続されていません。
7. ERR は出力ピンです。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

GND を基準とした V_{CC} の

電源電圧 ^[8] -0.5V ~ $V_{CC} + 0.5V$

HI-Z 状態の出力に

印加される DC 電圧 ^[8] -0.5V ~ $V_{CC} + 0.5V$

DC 特性

-40°C ~ +85°C の動作範囲において

DC 入力電圧 ^[8] -0.5V ~ $V_{CC} + 0.5V$

出力への電流 (LOW) 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) >2001V

ラッチアップ電流 > 140mA

動作範囲

範囲	周囲温度	V_{CC}
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

パラメーター	説明	テスト条件	10ns / 15ns			単位	
			Min	Typ ^[9]	Max		
V_{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -0.1\text{mA}$	1.4	-	-	V
		2.2V ~ 2.7V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -1.0\text{mA}$	2	-	-	
		2.7V ~ 3.6V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -4.0\text{mA}$	2.2	-	-	
		4.5V ~ 5.5V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -4.0\text{mA}$	2.4	-	-	
		4.5V ~ 5.5V	$V_{CC} = \text{Min}$ 、 $I_{OH} = -0.1\text{mA}$	$V_{CC} - 0.5$ ^[10]	-	-	
V_{OL}	出力 LOW 電圧	1.65V ~ 2.2V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 0.1\text{mA}$	-	-	0.2	V
		2.2V ~ 2.7V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 2\text{mA}$	-	-	0.4	
		2.7V ~ 3.6V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 8\text{mA}$	-	-	0.4	
		4.5V ~ 5.5V	$V_{CC} = \text{Min}$ 、 $I_{OL} = 8\text{mA}$	-	-	0.4	
V_{IH} ^[8, 11]	入力 HIGH 電圧	1.65V ~ 2.2V	-	1.4	-	$V_{CC} + 0.2$	V
		2.2V ~ 2.7V	-	2	-	$V_{CC} + 0.3$	
		2.7V ~ 3.6V	-	2	-	$V_{CC} + 0.3$	
		4.5V ~ 5.5V	-	2.2	-	$V_{CC} + 0.5$	
V_{IL} ^[8, 11]	入力 LOW 電圧	1.65V ~ 2.2V	-	-0.2	-	0.4	V
		2.2V ~ 2.7V	-	-0.3	-	0.6	
		2.7V ~ 3.6V	-	-0.3	-	0.8	
		4.5V ~ 5.5V	-	-0.5	-	0.8	
I_{IX}	入力リーク電流	$GND \leq V_{IN} \leq V_{CC}$		-1	-	+1	μA
I_{OZ}	出力リーク電流	$GND \leq V_{OUT} \leq V_{CC}$ 、出力が無効		-1	-	+1	μA
I_{CC}	V_{CC} の動作時電源電流	$V_{CC} = \text{Max}$ 、 $I_{OUT} = 0\text{mA}$ 、 CMOS レベル	$f = 100\text{MHz}$	-	38	45	mA
			$f = 66.7\text{MHz}$	-	-	40	
I_{SB1}	待機時電流 – TTL 入力	$V_{CC} (\text{Max})$ 、 $\overline{CE} \geq V_{IH}$ 、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$ 、 $f = f_{MAX}$		-	-	15	mA

注:

8. 2ns 未満のパルス幅については $V_{IL} (\text{Min}) = -2.0\text{V}$ 、 $V_{IH} (\text{Max}) = V_{CC} + 2\text{V}$ です。

9. 標準値は単なる参照値であり、保証または試験されていません。標準値は $V_{CC} = 1.8\text{V}$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3\text{V}$ (V_{CC} が 2.2V ~ 3.6V の場合)、 $V_{CC} = 5\text{V}$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。

10. 設計保証であり、試験されていません。

11. \overline{DS} ピンについては $V_{IH} (\text{Min})$ は $V_{CC} - 0.2\text{V}$ 、 $V_{IL} (\text{Max})$ は 0.2V です。

DC 特性 (続き)

-40°C ~ +85°C の動作範囲において

パラメーター	説明	テスト条件	10ns / 15ns			単位
			Min	Typ ^[9]	Max	
I _{SB2}	待機時電流 - CMOS 入力	V _{CC} (Max)、 $\overline{CE} \geq V_{CC} - 0.2V$ 、 $\overline{DS} \geq V_{CC} - 0.2V$ 、 V _{IN} ≥ V _{CC} - 0.2V または V _{IN} ≤ 0.2V、 f = 0	-	6	8	mA
I _{DS}	ディープスリープ電流	V _{CC} (Max)、 $\overline{CE} \geq V_{CC} - 0.2V$ 、 $\overline{DS} \leq 0.2V$ 、 V _{IN} ≥ V _{CC} - 0.2V または V _{IN} ≤ 0.2V、 f = 0	-	-	15	μA

容量

パラメーター ^[12]	説明	テスト条件	全てのパッケージ	単位
C _{IN}	入力容量	T _A = 25°C、f = 1MHz、V _{CC} (typ)	10	pF
C _{OUT}	I/O 容量		10	pF

熱抵抗

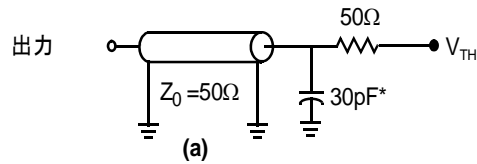
パラメーター ^[12]	説明	テスト条件	36 ピン SOJ パッケージ	44 ピン TSOP II パッケージ	単位
Θ _{JA}	熱抵抗 (ジャンクション~周囲)	無風時、3 × 4.5 インチの 4 層プリント回路 基板に半田付け	59.52	68.85	°C/W
Θ _{JC}	熱抵抗 (ジャンクション~ケース)		31.48	15.97	°C/W

注:

12. 開発時、およびこれらのパラメーターに影響を与えることがある設計/プロセス変更がある場合に試験されます。

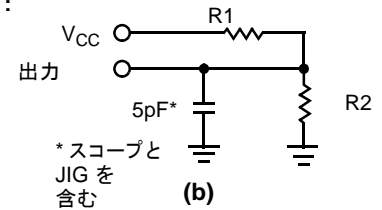
AC テストの負荷および波形

図 5. AC テストの負荷および波形^[13]

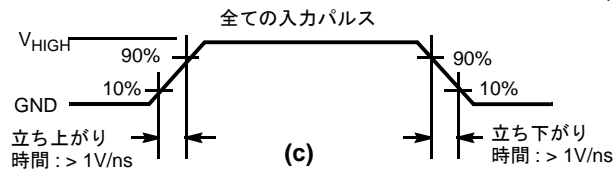


* 容量負荷は、テスト環境の全てのコンポーネントを含む

HI-Z 特性:



* スコープと JIG を含む



パラメーター	1.8V	3.0V	5.0V	単位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V _{TH}	V _{CC} /2	1.5	1.5	V
V _{HIGH}	1.8	3.0	3.0	V

注:
13. 完全なデバイスの AC 動作には 0 から V_{CC(min)} への 100μs ランプ時間、または V_{CC} が安定した後の 100μs の待機時間を想定しています。

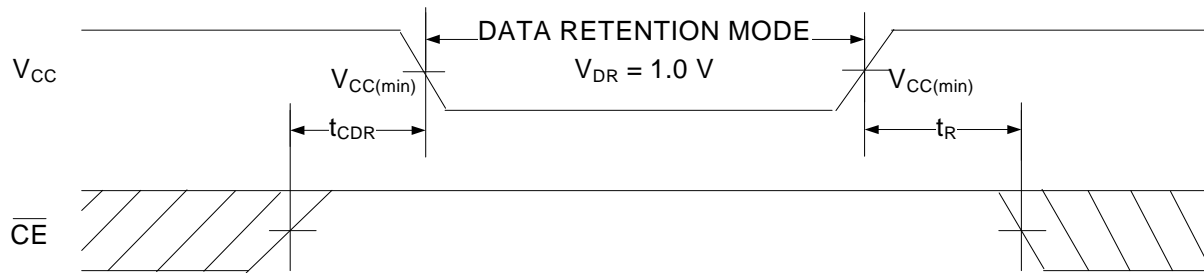
データ保持特性

-40°C ~ +85°C の動作範囲において

パラメーター	説明	条件 ^[14]	Min	Max	単位
V_{DR}	データ保持用の V_{CC}	-	1.0	-	V
I_{CCDR}	データ保持電流	$V_{CC} = V_{DR}$ 、 $\overline{CE} \geq V_{CC} - 0.2V$ 、 $\overline{DS} \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	-	8	mA
$t_{CDR}^{[15]}$	チップの選択解除からデータ保持までの時間	-	0	-	ns
$t_R^{[15, 16]}$	動作回復時間	$2.2V < V_{CC} \leq 5.5V$	10	-	ns
		$V_{CC} \leq 2.2V$	15	-	ns

データ保持波形

図 6. データ保持波形^[16]



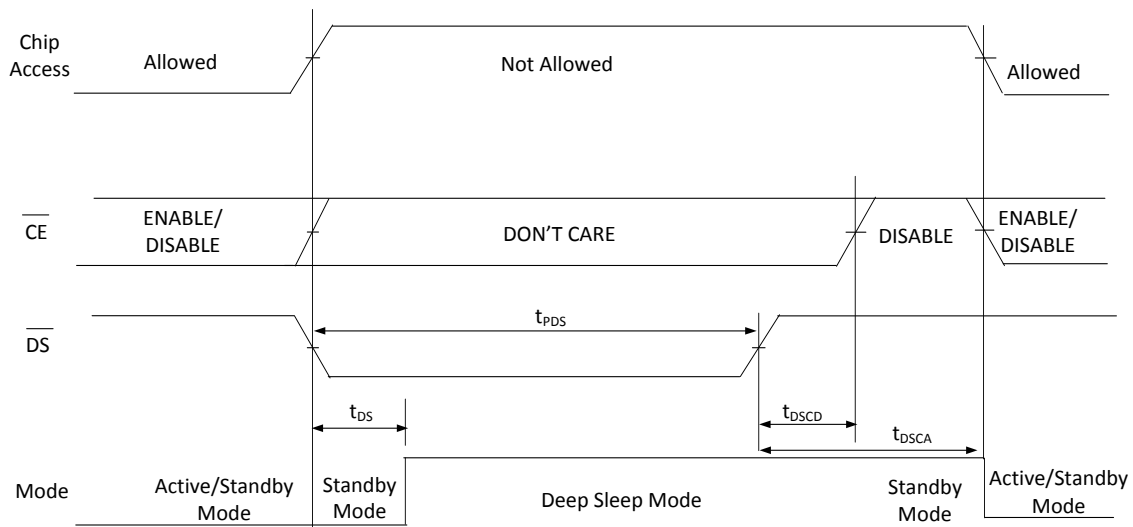
- 注:
- 14. データ保持モードの間、 \overline{DS} 信号は HIGH である必要があります。
 - 15. これらのパラメーターは設計保証されます。
 - 16. 完全なデバイス動作には、 V_{DR} から $V_{CC(min)}$ までのリニア V_{CC} ランプ時間が $100\mu s$ 以上であるか、または $V_{CC(min)}$ で安定する時間が $100\mu s$ 以上である必要が

ディープスリープ モード特性

-40°C ~ +85°C の動作範囲において

パラメーター	説明	条件	Min	Max	単位
I_{DS}	ディープスリープ モード電流	$V_{CC} = V_{CC} (Max)$ 、 $\overline{DS} \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$	-	15	μA
$t_{PDS}^{[17]}$	デバイスがディープスリープモードを正常に終了するための最小 \overline{DS} LOW 時間	-	100	-	ns
$t_{DS}^{[18]}$	\overline{DS} アサートからディープスリープモードへの遷移時間	-	-	1	ms
$t_{DSCD}^{[17]}$	\overline{DS} アサート停止からチップディスエーブルまでの時間	$t_{PDS} \geq t_{PDS(min)}$ の場合	-	100	μs
		$t_{PDS} < t_{PDS(min)}$ の場合	-	0	μs
t_{DSCA}	\overline{DS} アサート停止からチップアクセスまでの時間 (アクティブ/待機時)	$t_{PDS} \geq t_{PDS(min)}$ の場合	300	-	μs
		$t_{PDS} < t_{PDS(min)}$ の場合			

図 7. アクティブ、待機時およびディープスリープ動作モード



- 注:
- SRAM データ損失を防ぐために、 \overline{CE} は \overline{DS} アサート停止の t_{DSCD} 時間内に HIGH にプルする必要があります。
 - \overline{DS} 信号のアサート後、デバイスはディープスリープ電流 I_{DS} まで安定するのに最大 t_{DS} 時間を要します。この期間中、デバイスをディープスリープモードのままにするためには、 \overline{DS} 信号は論理 LOW にアサートし続ける必要があります。

AC スイッチング特性

-40°C ~ +85°C の動作範囲において

パラメーター ^[19]	説明	10ns		15ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{RC}	読み出しサイクル時間	10	-	15	-	ns
t_{AA}	アドレス指定からデータ有効までの時間	-	10	-	15	ns
t_{OHA}	アドレス変更からのデータ ホールドまでの時間	3	-	3	-	ns
t_{ACE}	\overline{CE} LOW からデータ有効までの時間	-	10	-	15	ns
t_{DOE}	\overline{OE} LOW からデータ有効までの時間	-	4.5	-	8	ns
t_{LZOE}	\overline{OE} LOW から低インピーダンスまでの時間 ^[20, 21, 22]	0	-	0	-	ns
t_{HZOE}	\overline{OE} HIGH から HI-Z の時間 ^[20, 21, 22]	-	5	-	8	ns
t_{LZCE}	\overline{CE} LOW から低インピーダンスまでの時間 ^[20, 21, 22]	3	-	3	-	ns
t_{HZCE}	\overline{CE} HIGH から HI-Z までの時間 ^[20, 21, 22]	-	5	-	8	ns
t_{PU}	\overline{CE} LOW から電源アップまでの時間 ^[22]	0	-	0	-	ns
t_{PD}	\overline{CE} HIGH から電源切断までの時間 ^[22]	-	10	-	15	ns
書き込みサイクル^[23, 24]						
t_{WC}	書き込みサイクル期間	10	-	15	-	ns
t_{SCE}	\overline{CE} LOW から書き込み完了までの時間	7	-	12	-	ns
t_{AW}	アドレスセットアップから書き込み終了までの時間	7	-	12	-	ns
t_{HA}	書き込み終了からのアドレス ホールドまでの時間	0	-	0	-	ns
t_{SA}	アドレスセットアップから書き込み開始までの時間	0	-	0	-	ns
t_{PWE}	\overline{WE} パルス幅	7	-	12	-	ns
t_{SD}	データ セットアップから書き込み終了まで	5	-	8	-	ns
t_{HD}	書き込み終了からのデータホールド時間	0	-	0	-	ns
t_{LZWE}	\overline{WE} HIGH から低インピーダンスまでの時間 ^[20, 21, 22]	3	-	3	-	ns
t_{HZWE}	\overline{WE} LOW から HI-Z までの時間 ^[20, 21, 22]	-	5	-	8	ns

注:

19. テスト条件では、信号遷移時間 (立ち上がり/立ち下がり) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} \geq 3V$ の場合) か $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0V ~ 3V ($V_{CC} \geq 3V$ の場合) か $0 \sim V_{CC}$ ($V_{CC} < 3V$ の場合) であることを前提にします。読み出しサイクルのテスト条件では特に記載のない限り、8 ページの図 5 の (a) で示す出力負荷を使用しています。
20. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{LZOE} 、 t_{LZCE} 、及び t_{LZWE} は、8 ページの図 5 の (b) のように 5pF の負荷容量が付いた状態で指定されています。遷移は定常状態の電圧 $\pm 200mV$ で測定されます。
21. 任意の温度と電圧条件において、どのデバイスでも、 t_{HZCE} が t_{LZCE} より短く、 t_{HZOE} は t_{LZOE} より短く、 t_{HZWE} は t_{LZWE} より短いです。
22. これらのパラメーターは設計保証されます。
23. メモリの内部書き込み時間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ 及び \overline{WE} 、 \overline{CE} のオーバーラップにより定義されます。書き込みを開始するために、信号が LOW で、かつ \overline{DS} が HIGH である必要があります。 \overline{WE} 、 \overline{CE} 信号のいずれかの HIGH への遷移、または \overline{DS} 信号の LOW への遷移で、書き込みを終了することができます。入力データのセットアップとホールド タイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
24. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) の最短書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

スイッチング波形

図 8. CY7S1049G の読み出しサイクル 1 (アドレス遷移制御) [25、26、27]

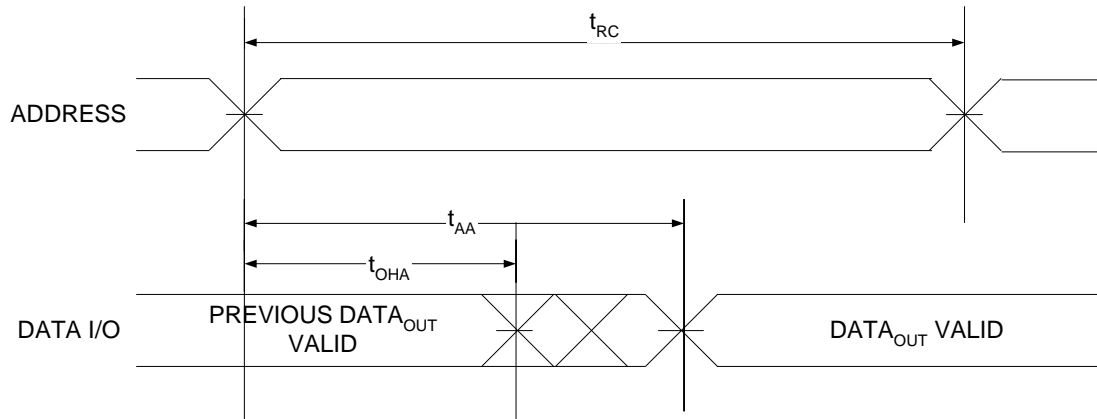
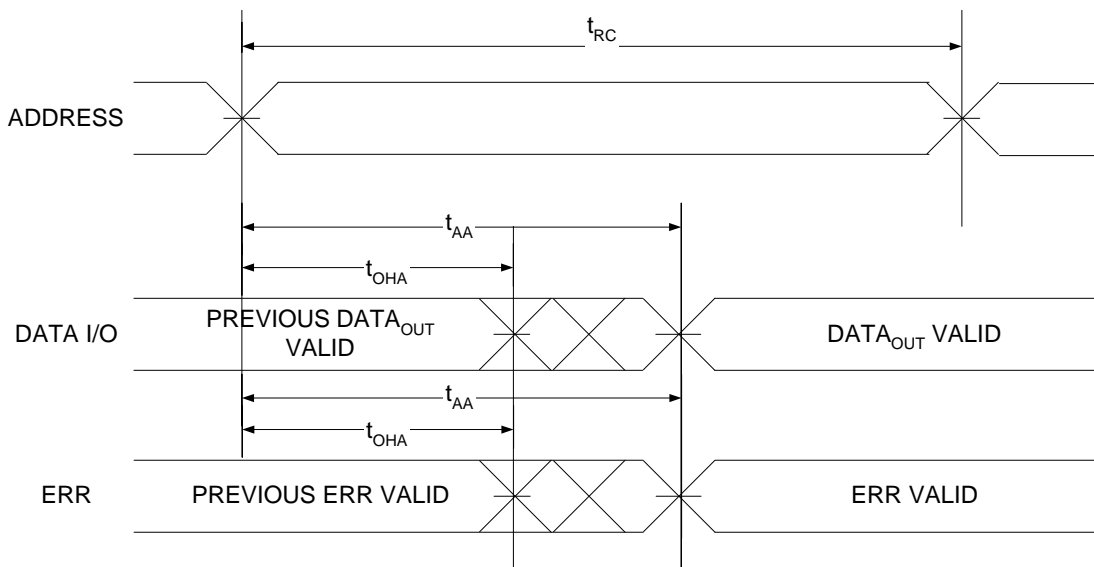


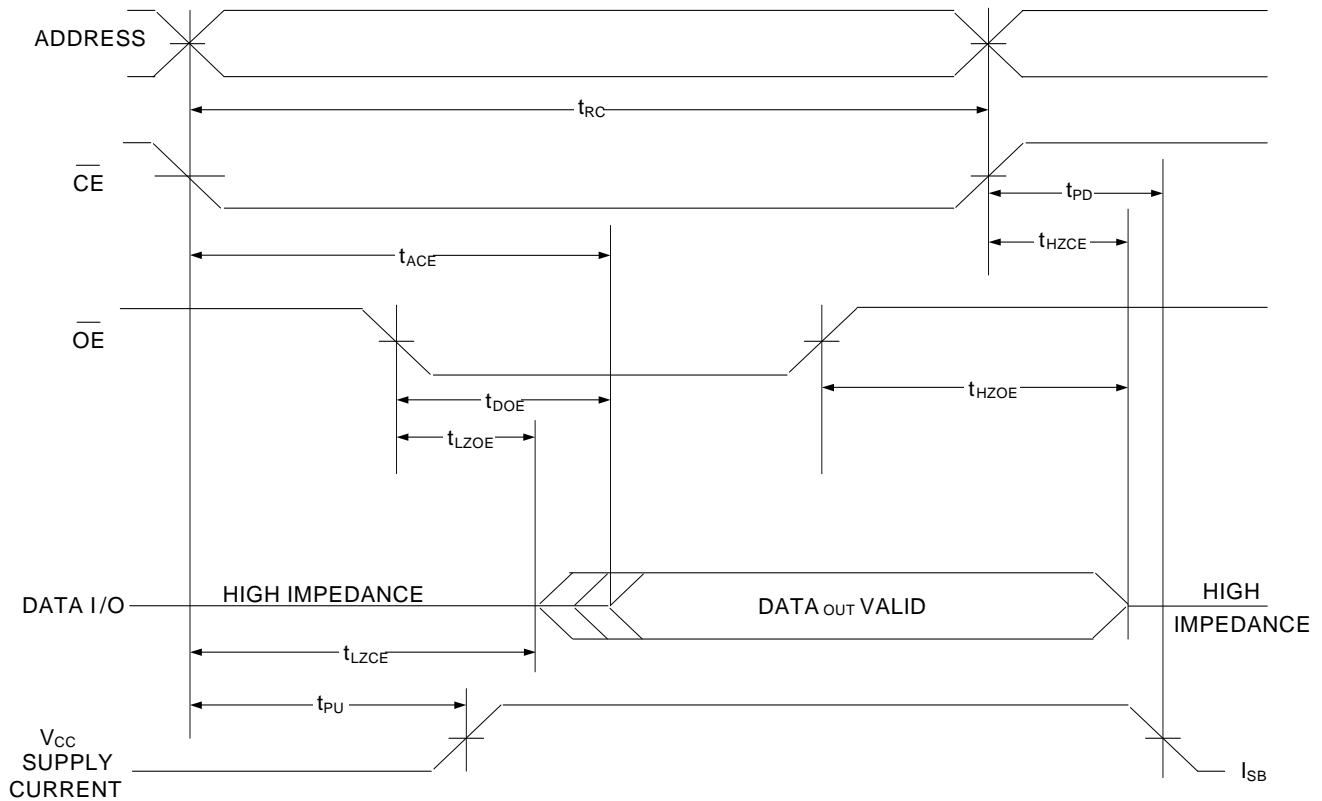
図 9. CY7S1041GE の読み出しサイクル 2 (アドレス遷移制御) [25、26、27]



- 注:
- 25. デバイスは継続して選択されています。 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 。
 - 26. 読み込みサイクルの間、 \overline{WE} は HIGH です。
 - 27. チップ アクセスの間、 \overline{DS} は HIGH です。

スイッチング波形 (続き)

図 10. 読み出しサイクル 3 (\overline{OE} 制御) [28、29、30]



注:

- 28. 読み出しサイクルの間、 \overline{WE} は HIGH です。
- 29. アドレスは \overline{CE} の LOW への遷移の前、またはそれと同時に有効になります。
- 30. チップ アクセスの間、 \overline{DS} が HIGH である必要があります。

スイッチング波形 (続き)

図 11. 書き込みサイクル 1 (\overline{CE} 制御) [31、32、33]

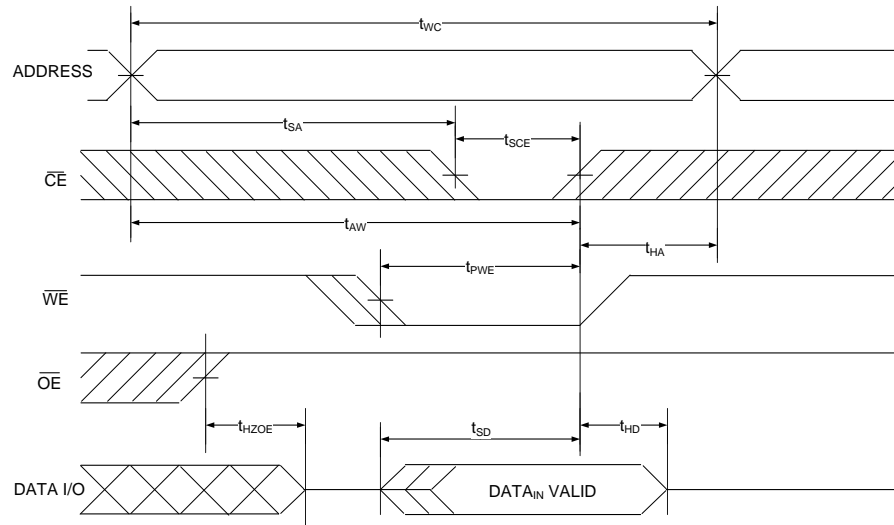
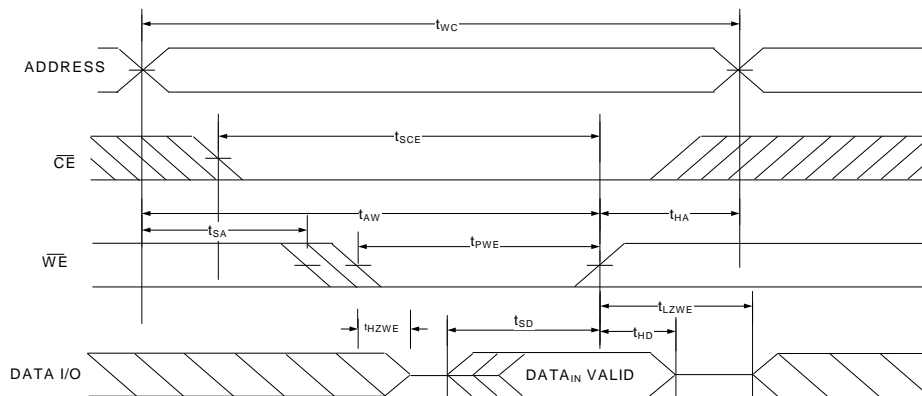


図 12. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) [31、32、33、34]

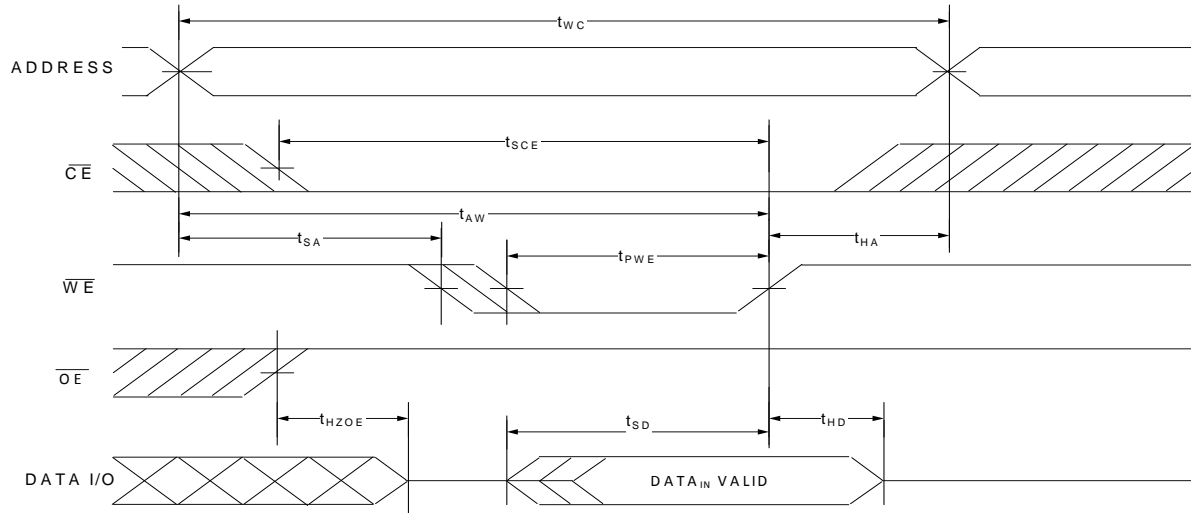


注:

31. メモリの内部書き込み時間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ のオーバーラップで定義されます。書き込みを開始するために、 \overline{WE} 、 \overline{CE} 信号を LOW にし、 \overline{DS} を HIGH にする必要があります。 \overline{WE} 、 \overline{CE} 信号のいずれかを HIGH にし、または \overline{DS} 信号を LOW にして、書き込みを終了することができます。入力データのセットアップとホールド タイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
32. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。
33. チップ アクセスの間は \overline{DS} が HIGH である必要があります。
34. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) 用の最短書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

スイッチング波形 (続き)

図 13. 書き込みサイクル 3 (WE 制御) [35、36、37]



注 38

注:

35. メモリの内部書き込み時間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{DS} = V_{IH}$ のオーバーラップで定義されます。書き込みを開始するために、 \overline{WE} 、 \overline{CE} 信号を LOW にし、 \overline{DS} を HIGH にする必要があります。WE、CE 信号のいずれかを HIGH にし、または \overline{DS} 信号を LOW にして、書き込みを終了することができます。

入力データのセットアップとホールド タイミングは、書き込みを終了する信号のエッジを基準にする必要があります。

36. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ または $\overline{DS} = V_{IL}$ の場合、データ I/O は HI-Z 状態に入ります。

37. チップ アクセスの間は \overline{DS} が HIGH である必要があります。

38. この期間中、I/O は出力状態にあります。入力信号を印加しないでください。

真理値表

\overline{DS}	\overline{CE}	\overline{OE}	\overline{WE}	$I/O_0 \sim I/O_7$	モード	電源
H	H	X ^[39]	X ^[39]	HI-Z	スタンバイ	スタンバイ (I_{SB})
H	L	L	H	データ出力	全ビット読み出し	アクティブ (I_{CC})
H	L	X	L	データ入力	全ビット書き込み	アクティブ (I_{CC})
H	L	H	H	HI-Z	デバイスが選択され、出力が無効	アクティブ (I_{CC})
L ^[40]	X	X	X	HI-Z	ディープスリープ	ディープスリープ超低消費電力 (I_{DS})

ERR 出力 – CY7S1049GE

出力 ^[41]	モード
0	読み出し動作、保存データにはシングルビットエラーなし
1	読み出し動作、シングルビットエラーが検出され、訂正された
HI-Z	デバイスが選択解除／出力が無効／書き込み動作

注:

39. これらのピンの入力電圧レベルは V_{IH} または V_{IL} でなければなりません。

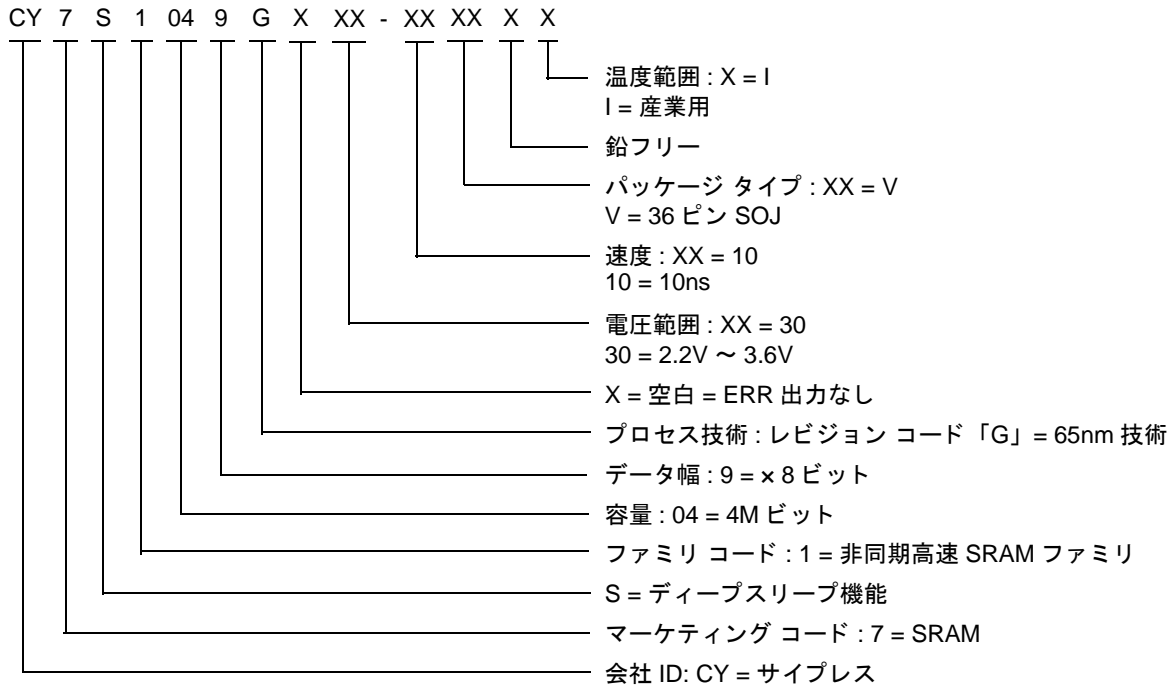
40. \overline{DS} での V_{IL} は $\leq 0.2V$ である必要があります。

41. ERR は出力ピンです。使用しない場合、このピンは開放状態のままにしてください。

注文情報

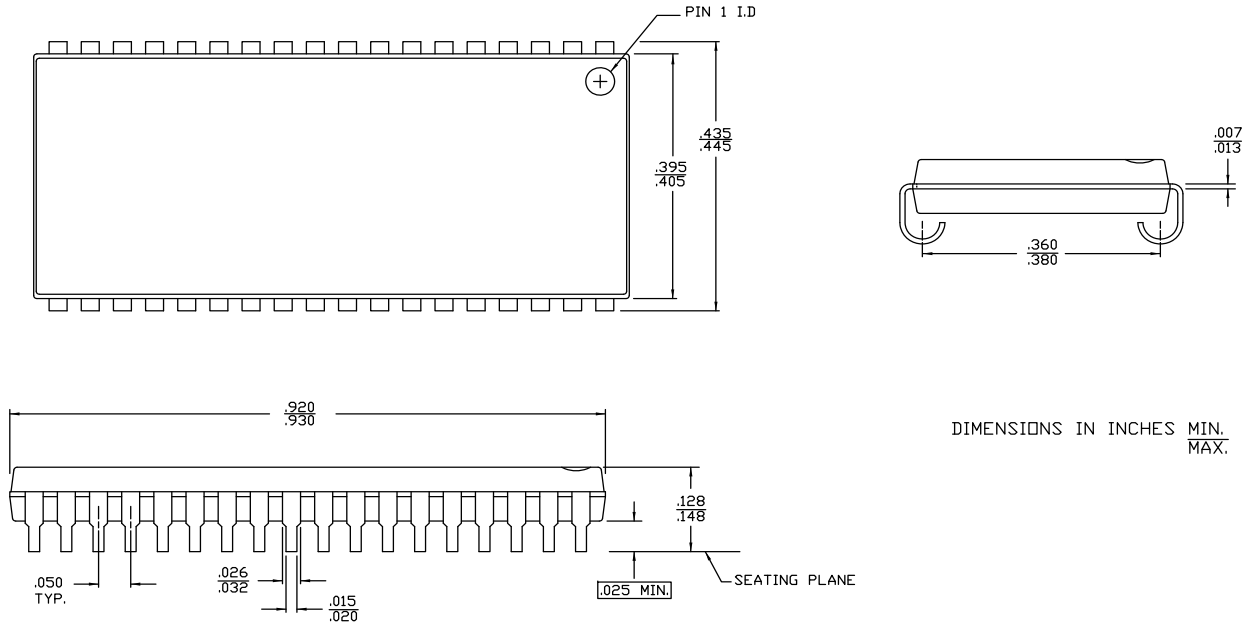
速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージタイプ (すべて鉛フリー)	動作範囲
10	2.2V ~ 3.6V	CY7S1049G30-10VXI	51-85090	36ピン SOJ	産業用

注文コードの定義



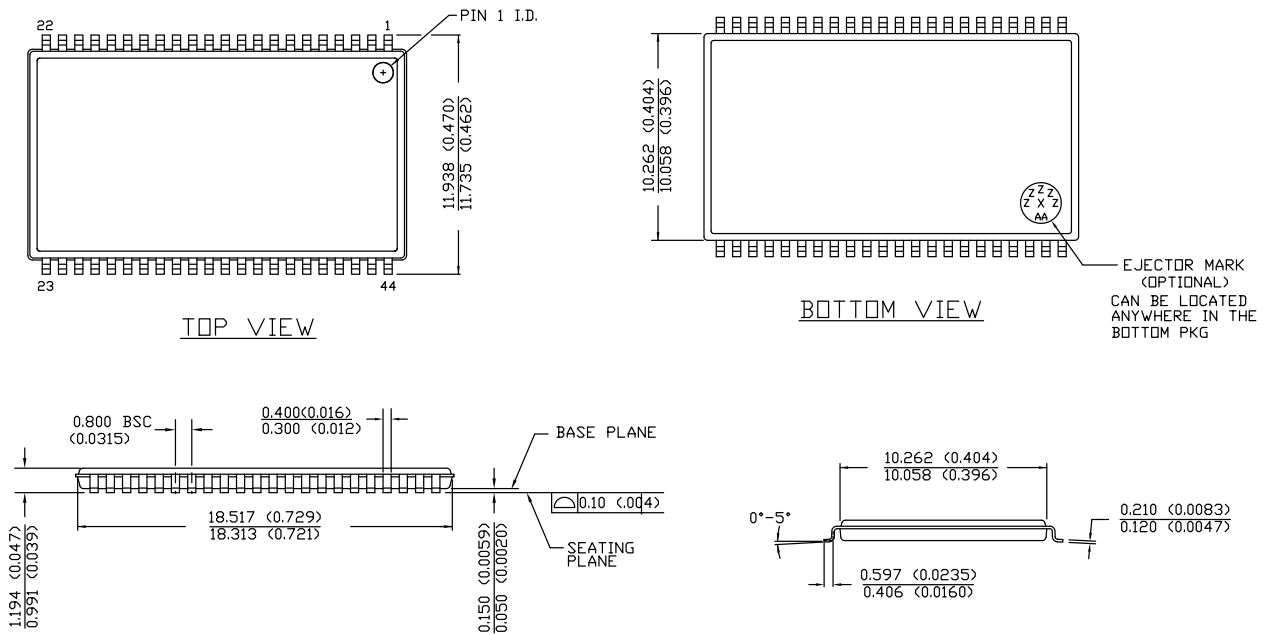
パッケージ図

図 14. 36 ピン SOJ V36.4 (Molded) パッケージ図、51-85090



51-85090 *G

図 15. 44 ピン TSOP II パッケージ図、51-85087



DIMENSION IN MM (INCH) MAX MIN.
PKG WEIGHT: REFER TO PMDD SPEC

51-85087 *E

略語

略語	説明
CE	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力/出力)
\overline{OE}	Output Enable (出力イネーブル)
SOJ	Small-Outline J-lead (小型 J リード)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TSOP	Thin Small Outline Package (小型薄型パッケージ)
TTL	Transistor-Transistor Logic (トランジスタ - トランジスタ ロジック)
\overline{WE}	Write Enable (書き込みイネーブル)
ECC	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7S1049G/CY7S1049GE - PowerSnooze™ および誤り訂正符号 (ECC) 内蔵の 4M ビット (512K ワード × 8 ビット) スタティック RAM
文書番号 : 001-97589

版	ECN 番号	変更者	発行日	変更内容
**	4769225	HZEN	06/12/2015	これは英語版 001-95414 Rev. ** を翻訳した日本語版 001-97589 Rev. ** です。
*A	5140072	HZEN	03/01/2016	これは英語版 001-95414 Rev. *B を翻訳した日本語版 001-97589 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC[®] ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。