

带有纠错码 (ECC) 的 4 Mbit (256K 字 × 16 位) 静态 RAM

特性

- 高速: 45 ns/55 ns
- 超低待机功耗
 - 典型待机电流: 3.5 μ A
 - 最大待机电流: 8.7 μ A
- 用于单比特错误纠正的内嵌纠错码 (ECC) [1]
- 宽工作电压范围: 1.65 V 到 2.2 V, 2.2 V 到 3.6 V, 4.5 V 到 5.5 V
- 1.0 V 数据保持
- 与 TTL 兼容的输入和输出
- 错误指示 (ERR) 引脚表示单比特错误检测和纠正
- 无铅 48 球形焊盘 VFBGA 和 44 引脚 TSOP II 封装

功能描述

CY62147G 和 CY62147GE 是带嵌入式 ECC 的高性能 CMOS 低功耗 (MoBL) SRAM 器件。这两种器件均支持单和双芯片使能选项以及多种引脚配置。CY62147GE 器件具有一个 ERR 引脚，用于通知读周期中的错误检测和纠正事件。

通过将芯片使能输入 (\overline{CE}) 置为低电平，可以访问单芯片使能器件。通过置位两个芯片使能输入 (\overline{CE}_1 被置为低电平， \overline{CE}_2 被置为高电平)，可以访问双芯片使能器件。

通过将写入使能 (\overline{WE}) 设置为低电平，并分别为 I/O₀ 到 I/O₁₅ 引脚和 A₀ 到 A₁₇ 引脚提供数据和地址，可以执行数据写入操作。字节高电平使能 (\overline{BHE}) 和字节低电平使能 (\overline{BLE}) 输入控制着写入到指定存储器位置内的高字节和低字节。 \overline{BHE} 控制 I/O₈ 到 I/O₁₅； \overline{BLE} 控制 I/O₀ 到 I/O₇。

通过设置输出使能 (\overline{OE}) 输入，并提供地址行所需的地址，可以读取数据。可在 I/O 线 (I/O₀ 到 I/O₁₅) 上读取数据。通过设置所需字节使能信号 (\overline{BHE} 或 \overline{BLE})，可执行字节访问，从而能够读取指定地址上高字节或低字节数据。

当取消选择器件 (单芯片使能器件中 \overline{CE} 为高电平；双芯片使能器件中 \overline{CE}_1 为高电平 / \overline{CE}_2 为低电平)，或者取消置位控制信号 (\overline{OE} , \overline{BLE} , \overline{BHE}) 时，会使所有的 I/O (I/O₀ 到 I/O₁₅) 进入高电阻状态。

该器件还具有独特的“字节断电”性能。具体表现为，如果字节使能 (\overline{BHE} 和 \overline{BLE}) 均被禁用，不管芯片使能的状态如何，器件都会无缝切换到待机模式，从而节省电源消耗。

在 CY62147GE 器件上，通过 ERR 输出的激活 (ERR 为高电平)，可以指示访问位置中单比特错误的检测和纠正 [1]。请参考第 16 页上的真值表 — CY62147G/CY62147GE，了解读写模式的完整说明。

逻辑框图位于第二页。

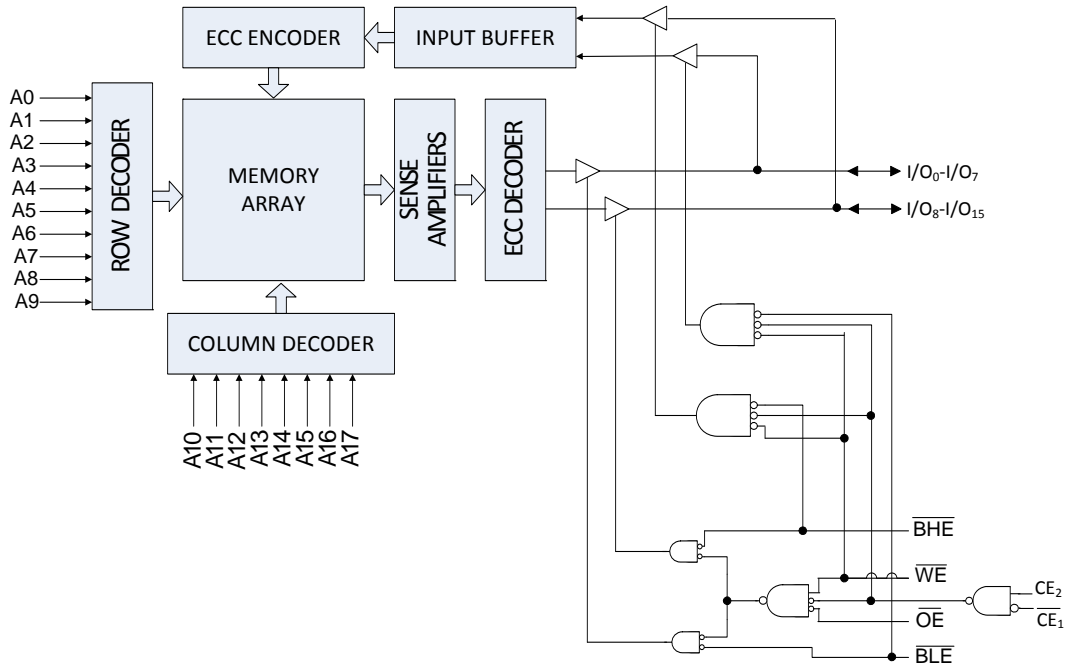
产品系列概述

产品 [2]	功能和选项 (请参考“引脚配置”部分)	范围	V _{CC} 范围 (V)	速度 (ns)	功耗			
					工作电流 I _{CC} (mA)		待机电流 I _{SB2} (μ A)	
					f = f _{max}			
					典型值 [3]	最大值	典型值 [3]	最大值
CY62147G(E)18	单芯片或双芯片使能 可选 ERR 引脚	工业级	1.65 V–2.2 V	55	15	20	3.5	10
CY62147G(E)30 CY621472G30			2.2 V–3.6 V	45	15	20	3.5	8.7
CY62147G(E)			4.5 V–5.5 V					

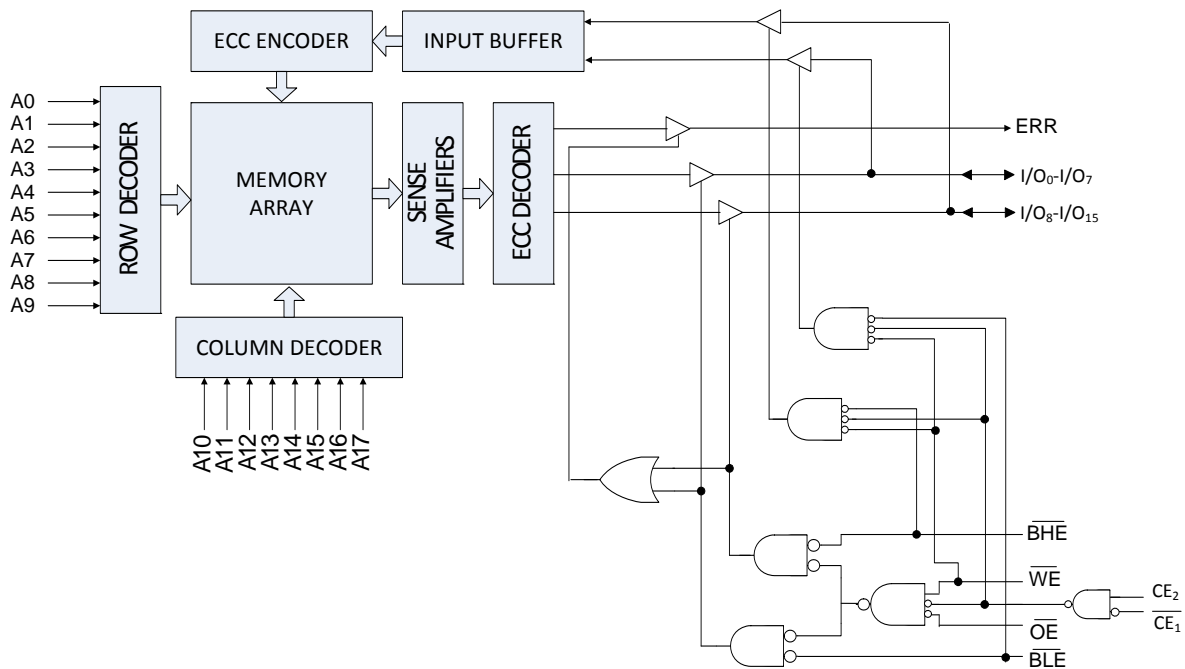
注释:

1. 检测到错误时，该器件不支持自动回写功能。
2. 只有器件的订购代码中具有 ERR 选项“E”时，才能使用 ERR 引脚。请参考第 17 页上的订购信息。
3. 典型值仅供参考，并未得以保证，也未经过测试。典型值的适用条件为: V_{CC} = 1.8 V (对于 V_{CC} 范围为 1.65 V 到 2.2 V)，V_{CC} = 3 V (对于 V_{CC} 范围为 2.2 V 到 3.6 V)，V_{CC} = 5 V (对于 V_{CC} 范围为 4.5 V 到 5.5 V)，T_A = 25 °C。

逻辑框图 — CY62147G



逻辑框图 — CY62147GE



目录

引脚配置 — CY62147G	4	ERR 输出 — CY62147GE	16
引脚配置 — CY62147GE	5	订购信息	17
引脚配置 — CY621472G	6	订购代码定义	17
最大额定值	7	封装图	18
工作范围	7	缩略语	19
直流电气特性	7	文档规范	19
电容	9	测量单位	19
热阻	9	文档修订记录	20
交流测试负载和波形	9	销售、解决方案和法律信息	21
数据保持特性	10	全球销售和 design 支持	21
数据保持波形	10	产品	21
交流开关特性	11	PSoC [®] 解决方案	21
开关波形	12	赛普拉斯开发者社区	21
真值表 — CY62147G/CY62147GE	16	技术支持	21

引脚配置 — CY62147G

图 1. 48-VFBGA 引脚分布（无 ERR 的双芯片使能 ERR），
CY62147G^[4]

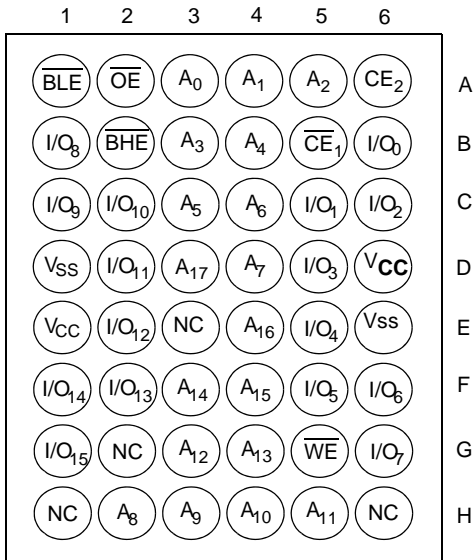


图 2. 48-VFBGA 引脚分布（无 ERR 的单芯片使能），
CY62147G^[4]

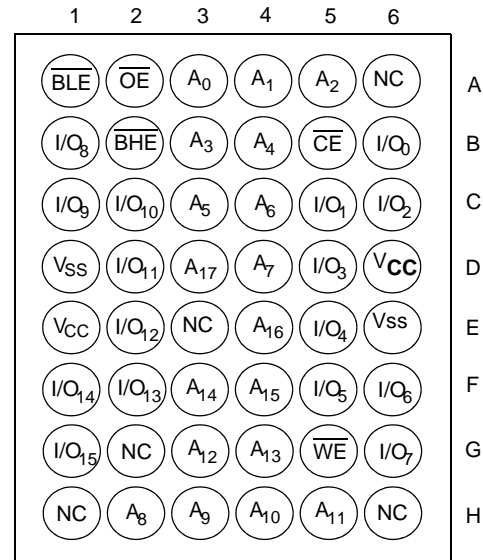
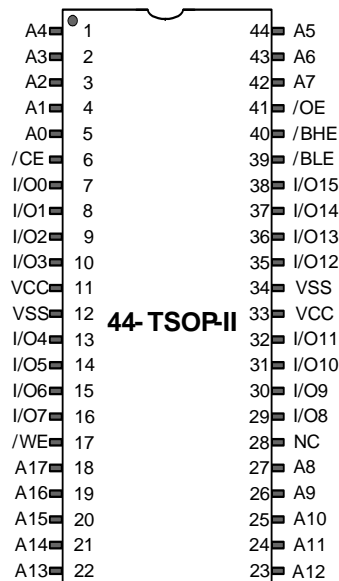


图 3. 44-TSOP II 引脚分布（无 ERR 的单芯片使能），CY62147G^[4]



注释:

4. NC 引脚没有与裸片（die）内部连接，而通常用于更高容量器件中的地址扩展。有关引脚配置的信息，请参阅各自的数据手册。

引脚配置 — CY62147GE

图 4. 48-VFBGA 引脚分布
(带 ERR 的双芯片使能), CY62147GE [5、6]

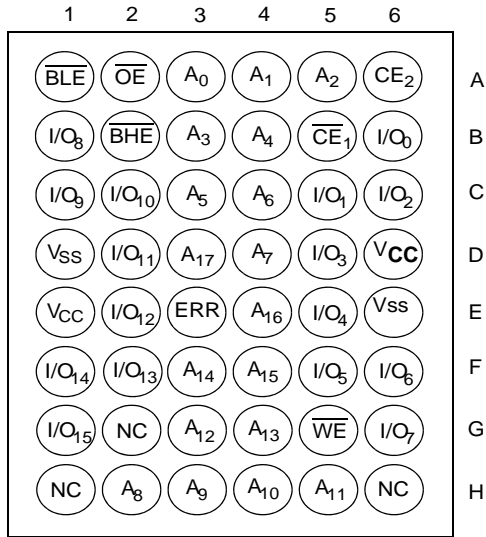


图 5. 48-VFBGA 引脚分布
(带 ERR 的单芯片使能), CY62147GE [5、6]

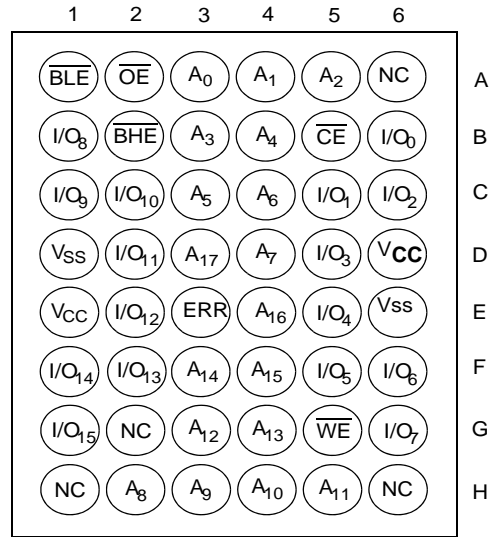
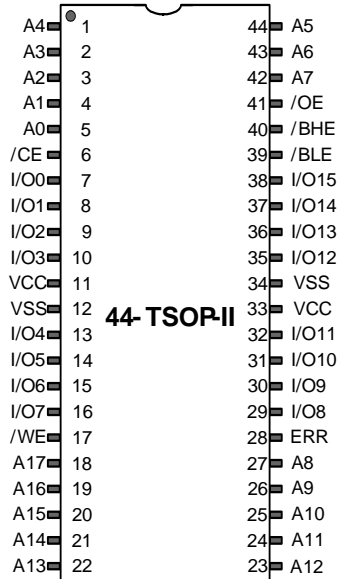


图 6. 44-TSOP II 引脚分布 (带 ERR 的单芯片使能), CY62147GE [5、6]

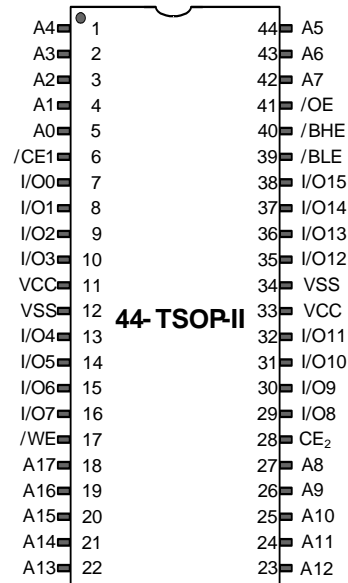


注释:

5. NC 引脚没有与裸片 (die) 内部连接, 而通常用于更高容量器件中的地址扩展。有关引脚配置的信息, 请参阅各自的数据手册。
6. ERR 是一个输出引脚。

引脚配置 — CY621472G

图 7. 44-TSOP II 引脚分布 (无 ERR 的双芯片使能), CY621472G



最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

存放温度 -65 °C 到 +150 °C
 通电状态下的环境温度 -55 °C ~ + 125 °C
 对地电压范围 [7] -0.5 V 至 $V_{CC} + 0.5 V$
 应用于高阻态下的输出
 的直流电压 [7] -0.5 V 至 $V_{CC} + 0.5 V$
 直流输入电压 [7] -0.5 V 至 $V_{CC} + 0.5 V$

到输出的输出电流（低电平状态）..... 20 mA
 静电放电电压（MIL-STD-883，方法 3015）..... >2001 V
 栓锁电流 >140 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40°C 到 +85°C	1.65 V 至 2.2 V、 2.2 V 至 3.6 V、 4.5 V 至 5.5 V

直流电气特性

工作温度范围为 -40 °C 到 85 °C

参数	说明	测试条件	45/55 ns			单位	
			最小值	典型值	最大值		
V_{OH}	输出高电压	1.65 V 到 2.2 V	$V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	1.4	-	-	V
		2.2 V 到 2.7 V	$V_{CC} = \text{最小值}; I_{OH} = -0.1 \text{ mA}$	2	-	-	
		2.7 V 到 3.6 V	$V_{CC} = \text{最小值}, I_{OH} = -1.0 \text{ mA}$	2.2	-	-	
		4.5 V 到 5.5 V	$V_{CC} = \text{最小值}, I_{OH} = -1.0 \text{ mA}$	2.4	-	-	
		4.5 V 到 5.5 V	$V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	$V_{CC} - 0.5^{[8]}$	-	-	
V_{OL}	输出低电压	1.65 V 到 2.2 V	$V_{CC} = \text{最小值}, I_{OL} = 0.1 \text{ mA}$	-	-	0.2	V
		2.2 V 到 2.7 V	$V_{CC} = \text{最小值}, I_{OL} = 0.1 \text{ mA}$	-	-	0.4	
		2.7 V 到 3.6 V	$V_{CC} = \text{最小值}, I_{OL} = 2.1 \text{ mA}$	-	-	0.4	
		4.5 V 到 5.5 V	$V_{CC} = \text{最小值}, I_{OL} = 2.1 \text{ mA}$	-	-	0.4	
V_{IH}	输入高电压	1.65 V 到 2.2 V	-	1.4	-	$V_{CC} + 0.2^{[7]}$	V
		2.2 V 到 2.7 V	-	2	-	$V_{CC} + 0.3^{[7]}$	
		2.7 V 到 3.6 V	-	2	-	$V_{CC} + 0.3^{[7]}$	
		4.5 V 到 5.5 V	-	2.2	-	$V_{CC} + 0.5^{[7]}$	
V_{IL}	输入低电压	1.65 V 到 2.2 V	-	-0.2 ^[7]	-	0.4	V
		2.2 V 到 2.7 V	-	-0.3 ^[7]	-	0.6	
		2.7 V 到 3.6 V	-	-0.3 ^[7]	-	0.8	
		4.5 V 到 5.5 V	-	-0.5 ^[7]	-	0.8	
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$		-1	-	+1	μA
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出处于禁用状态		-1	-	+1	μA
I_{CC}	V_{CC} 工作供电电流	$V_{CC} = \text{最大值}, I_{OUT} = 0 \text{ mA}, \text{CMOS 电平}$	$f = 22.22 \text{ MHz}$ (45 ns)	-	15	20	mA
			$f = 18.18 \text{ MHz}$ (55 ns)	-	15	20	mA
			$f = 1 \text{ MHz}$	-	3.5	6	mA

注释:

- 在脉冲宽度小于 2 ns 时, $V_{L(\min)} = -2.0 \text{ V}$ 以及 $V_{H(\max)} = V_{CC} + 2 \text{ V}$ 。
- 该参数由设计保证, 但未经过测试。

直流电气特性 (续)

工作温度范围为 -40 °C 到 85 °C

参数	说明	测试条件	45/55 ns			单位	
			最小值	典型值	最大值		
$I_{SB1}^{[9]}$	自动掉电 电流 - CMOS 输入; $V_{CC} = 2.2\text{ V}$ 至 3.6 V 和 4.5 V 至 5.5 V	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 (\overline{BHE} 和 \overline{BLE}) $\geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$, $V_{IN} \leq 0.2\text{ V}$, $f = f_{\max}$ (仅地址和数据), $f = 0$ (\overline{OE} 和 \overline{WE}), $V_{CC} =$ 最大值	-	3.5	8.7	μA	
	自动掉电 电流 - CMOS 输入; $V_{CC} = 1.65\text{ V}$ 到 2.2 V		-	-	10		
$I_{SB2}^{[9]}$	自动掉电 电流 - CMOS 输入 $V_{CC} = 2.2\text{ V}$ 至 3.6 V 和 4.5 V 至 5.5 V	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 (\overline{BHE} 和 \overline{BLE}) $\geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$, $f = 0$, $V_{CC} =$ 最大值	25 °C ^[10]	-	3.5	3.7	μA
			40 °C ^[10]	-	-	4.8	
			70 °C ^[10]	-	-	7	
			85 °C	-	-	8.7	
	自动掉电 电流 - CMOS 输入 $V_{CC} = 1.65\text{ V}$ 至 2.2 V	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 (\overline{BHE} 和 \overline{BLE}) $\geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$, $f = 0$, $V_{CC} =$ 最大值	25 °C ^[10]	-	3.5	4.3	
			40 °C ^[10]	-	-	5	
			70 °C ^[10]	-	-	7.5	
			85 °C	-	-	10	

注释:

9. 芯片使能 (\overline{CE}_1 和 CE_2) 必须连接至 CMOS 电平, 以满足 $I_{SB1}/I_{SB2}/I_{CCDR}$ 规范。其他输入可处于悬空状态。
10. I_{SB2} 在 25 °C、40 °C、70 °C 下的限制以及 85 °C 下的典型限制仅通过设计保证, 并未 100% 经过测试。

电容

参数 ^[11]	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC(\text{typ})}$	10	pF
C_{OUT}	输出电容		10	pF

热阻

参数 ^[11]	说明	测试条件	48-VFBGA	44-TSOP II	单位
Θ_{JA}	热阻 (结至环境)	在无风环境中, 被焊接到 3×4.5 英寸的四层印刷电路板上	31.35	68.85	$^\circ\text{C/W}$
Θ_{JC}	热电阻 (结至外壳)		14.74	15.97	$^\circ\text{C/W}$

交流测试负载和波形

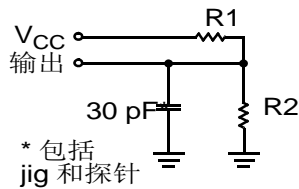
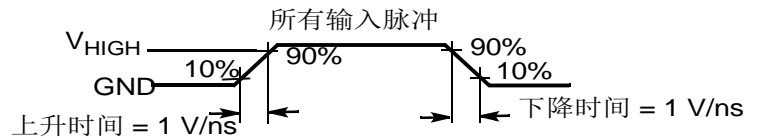
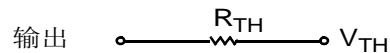


图 8. 交流测试负载和波形^[12]



等于: THÉVENIN EQUIVALENT



参数	1.8 V	2.5 V	3.0 V	5.0 V	单位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R_{TH}	6000	8000	645	639	Ω
V_{TH}	0.80	1.20	1.75	1.77	V

注释:

- 进行任何可能影响这些参数的设计或流程更改之前以及之后, 都需要进行测试。
- 整个器件操作要求从 V_{DR} 到 $V_{CC(\text{min})}$ 的线性 V_{CC} 升降时间 $\geq 100\ \mu\text{s}$, 或保持 $V_{CC(\text{min})} \geq 100\ \mu\text{s}$ 的状态。

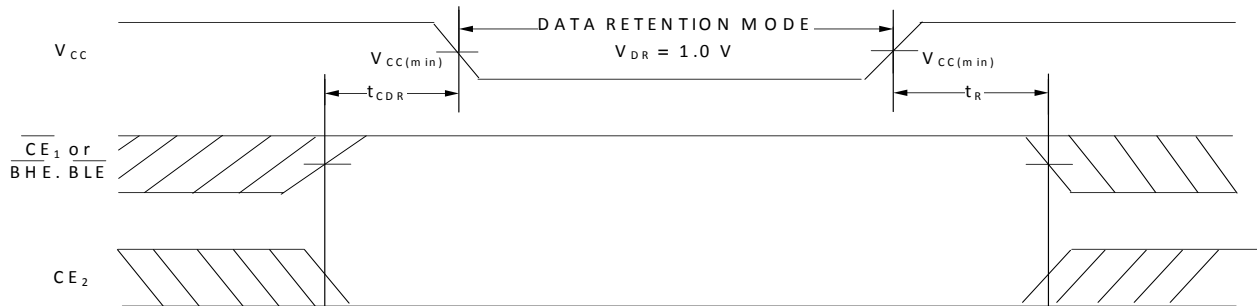
数据保持特性

工作范围

参数	说明	条件	最小值	典型值 ^[13]	最大值	单位
V_{DR}	数据保持的 V_{CC}		1	–	–	V
I_{CCDR} ^[14、15]	数据保持电流	$V_{CC} = 1.2\text{ V}$ $\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 $(\overline{BHE}$ 和 $\overline{BLE}) \geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$	–		13	μA
t_{CDR} ^[16]	从芯片取消选择到数据保持的时间		0	–	–	ns
t_R ^[17]	操作恢复的时间		45/55	–	–	ns

数据保持波形

图 9. 数据保持波形^[18]



注释:

13. 典型值仅供参考，并未得以保证，也未经过测试。典型值的适用条件为： $V_{CC} = 1.8\text{ V}$ （对于 V_{CC} 范围为 1.65 V 至 2.2 V ）， $V_{CC} = 3\text{ V}$ （对于 V_{CC} 范围为 2.2 V 至 3.6 V ）， $V_{CC} = 5\text{ V}$ （对于 V_{CC} 范围为 4.5 V 至 5.5 V ）， $T_A = 25\text{ }^\circ\text{C}$ 。
14. 芯片使能 (\overline{CE}_1 和 CE_2) 必须连接至 CMOS 电平，以满足 $I_{SB1}/I_{SB2}/I_{CCDR}$ 规范。其他输入可处于悬空状态。
15. 器件首先按 $V_{CC(\text{min})}$ 电压进行加电，然后再降到 V_{DR} ，这样 I_{CCDR} 才能得到保证。
16. 这些参数是由设计保证的。
17. 整个器件操作要求从 V_{DR} 到 $V_{CC(\text{min})}$ 的线性 V_{CC} 升降时间 $\geq 100\text{ }\mu\text{s}$ ，或保持 $V_{CC(\text{min})} \geq 100\text{ }\mu\text{s}$ 的状态。
18. $\overline{BHE}.\overline{BLE}$ 是通过将 \overline{BHE} 和 \overline{BLE} 进行“与”逻辑运算得到的。通过禁用芯片使能信号，或通过同时禁用 \overline{BHE} 和 \overline{BLE} ，均能取消选择芯片。

交流开关特性

参数 ^[19、20]	说明	45 ns		55 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t_{RC}	读周期时间	45	–	55	–	ns
t_{AA}	从寻址到数据有效 / 从寻址到 ERR 有效的时间	–	45	–	55	ns
t_{OHA}	地址更改后的数据保持 / ERR 保持时间	10	–	10	–	ns
t_{ACE}	从 \overline{CE}_1 为低电平和 CE_2 为高电平到数据有效 / \overline{CE} 为低电平到 ERR 有效的时间	–	45	–	55	ns
t_{DOE}	从 \overline{OE} 为低电平到数据有效 / \overline{OE} 为低电平到 ERR 有效的时间	–	22	–	25	ns
t_{LZOE}	\overline{OE} 为低电平到低阻态的时间 ^[20、22]	5	–	5	–	ns
t_{HZOE}	\overline{OE} 为高电平到高阻态的时间 ^[20、21、22]	–	18	–	18	ns
t_{LZCE}	\overline{CE}_1 为低电平和 CE_2 为高电平到低阻态的时间 ^[20、22]	10	–	10	–	ns
t_{HZCE}	\overline{CE}_1 为高电平和 CE_2 为低电平到高阻态的时间 ^[20、21、22]	–	18	–	18	ns
t_{PU}	\overline{CE}_1 为低电平和 CE_2 为高电平到加电的时间 ^[22]	0	–	0	–	ns
t_{PD}	\overline{CE}_1 为高电平和 CE_2 为低电平到掉电的时间 ^[22]	–	45	–	55	ns
t_{DBE}	$\overline{BLE}/\overline{BHE}$ 为低电平到数据有效的的时间	–	45	–	55	ns
t_{LZBE}	$\overline{BLE}/\overline{BHE}$ 为低电平到低阻态的时间 ^[20、22]	5	–	5	–	ns
t_{HZBE}	$\overline{BLE}/\overline{BHE}$ 为高电平到高阻态的时间 ^[20、21、22]	–	18	–	18	ns
写周期^[23、24]						
t_{WC}	写周期的时长	45	–	55	–	ns
t_{SCE}	\overline{CE}_1 为低电平和 CE_2 为高电平到写周期结束的时间	35	–	45	–	ns
t_{AW}	从地址建立到写周期结束的时间	35	–	45	–	ns
t_{HA}	写周期结束后地址保持的时间	0	–	0	–	ns
t_{SA}	地址建立到写周期开始的时间	0	–	0	–	ns
t_{PWE}	\overline{WE} 脉冲宽度	35	–	40	–	ns
t_{BW}	$\overline{BLE} / \overline{BHE}$ 为低电平到写周期结束的时间	35	–	45	–	ns
t_{SD}	数据建立到写周期结束的时间	25	–	25	–	ns
t_{HD}	写周期结束后数据保持的时间	0	–	0	–	ns
t_{HZWE}	\overline{WE} 为低电平到高阻态的时间 ^[20、21、22]	–	18	–	20	ns
t_{LZWE}	\overline{WE} 为高电平到低阻态的时间 ^[20、22]	10	–	10	–	ns

注释:

19. 假设测试条件如下: 信号跃变时间 (上升 / 下降) 不大于 3 ns, 时序参考电平为 1.5 V (对于 $V_{CC} \geq 3 V$) 以及 $V_{CC}/2$ (对于 $V_{CC} < 3 V$), 输入脉冲电平范围为 0 至 3 V (对于 $V_{CC} \geq 3 V$) 以及 0 至 V_{CC} (对于 $V_{CC} < 3 V$)。除非另有说明, 否则读周期的测试条件使用的是“交流测试负载和波形”一节中所显示的输出负载。

20. 在所有温度和电压范围条件下, 对于所有器件, t_{HZCE} 低于 t_{LZCE} 、 t_{HZBE} 低于 t_{LZBE} 、 t_{HZOE} 低于 t_{LZOE} 以及 t_{HZWE} 低于 t_{LZWE} 。

21. t_{HZOE} 、 t_{HZCE} 、 t_{HZBE} 以及 t_{HZWE} 转换的测量条件为输出处于高阻态。

22. 这些参数是由设计保证。

23. 通过重叠 $\overline{WE} = V_{IL}$, $\overline{CE}_1 = V_{IL}$, \overline{BHE} 和 / 或 $\overline{BLE} = V_{IL}$ 和 $CE_2 = V_{IH}$, 可以确定存储器的内部写入时间。如要初始某个写操作, 必须使所有的信号进入 ACTIVE (活动) 状态; 将任何信号进入 INACTIVE (非活动) 状态, 都会中止该写操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。

24. 第三个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) 的最小脉冲宽度应等于 t_{SD} 和 t_{HZWE} 的总和。

开关波形

图 10. CY62147G 的第一个读周期（地址转换控制） [25、26]

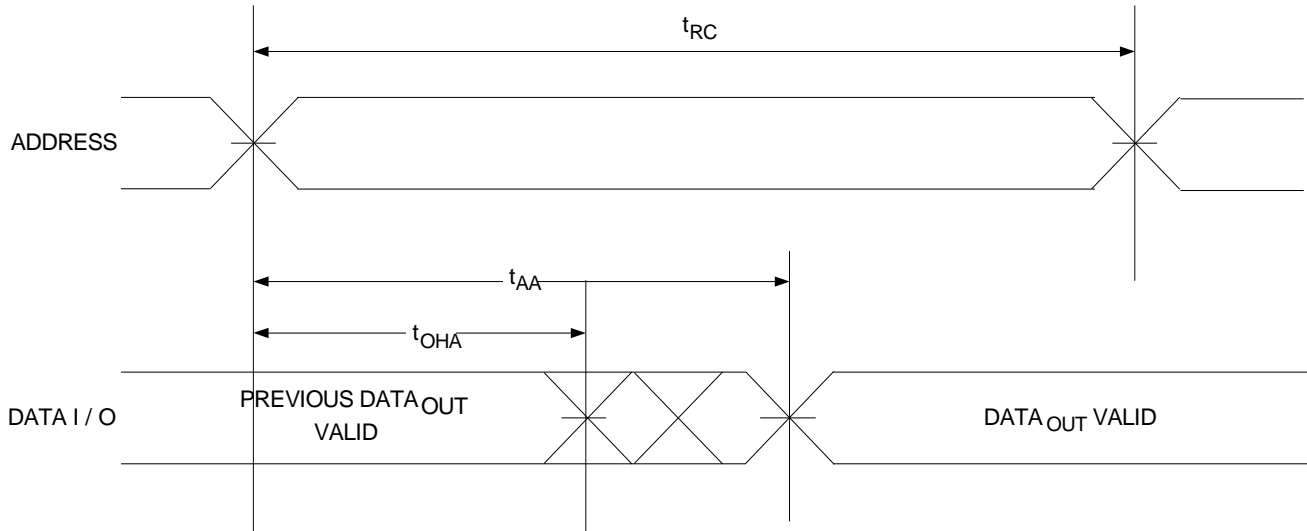
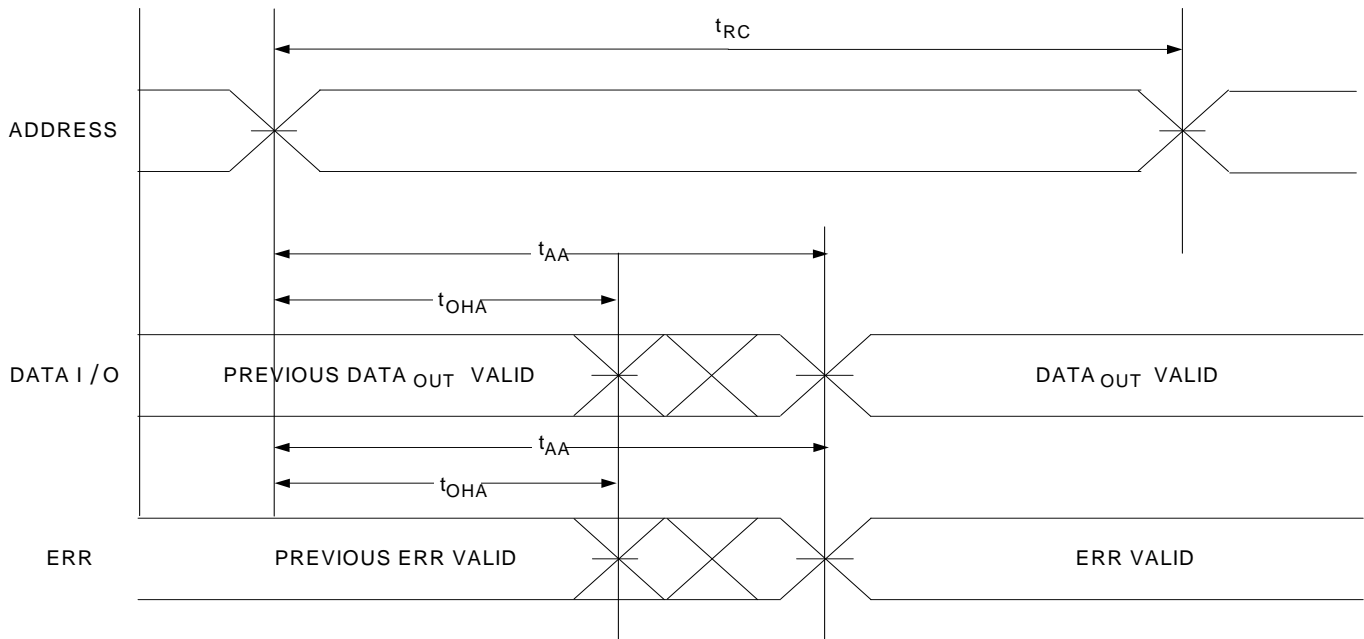


图 11. CY62147GE 的第一个读周期（地址转换控制） [25、26]



注释:

- 25. 器件被持续选择。 $\overline{OE} = V_{IL}$, $\overline{CE} = V_{IL}$, \overline{BHE} 和 / 或 $\overline{BLE} = V_{IL}$ 。
- 26. 在读周期中, WE 为高电平。

开关波形 (续)

图 12. 第二个读周期 (\overline{OE} 被控制) [27、28、29]

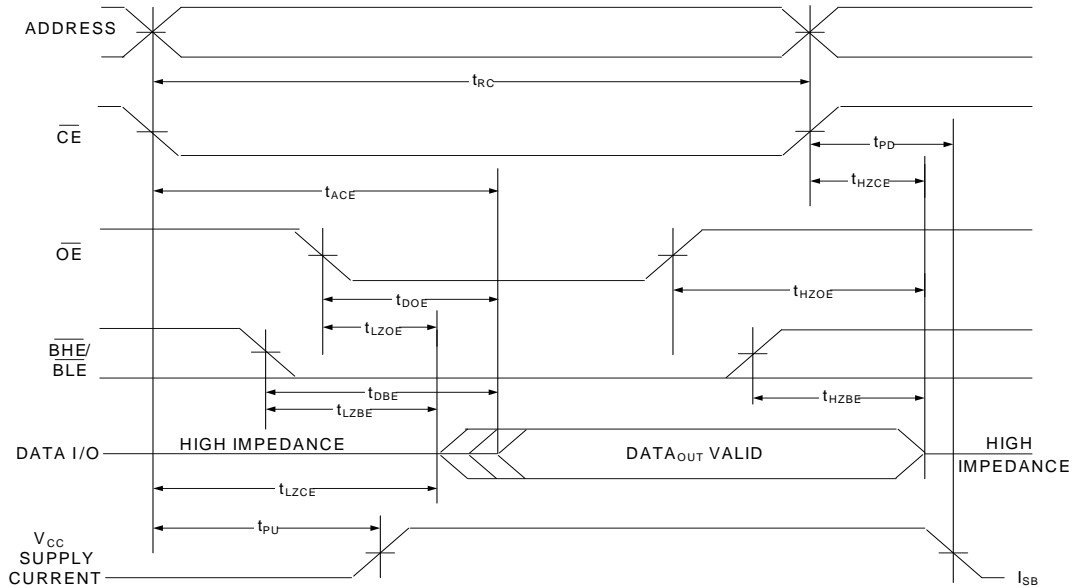
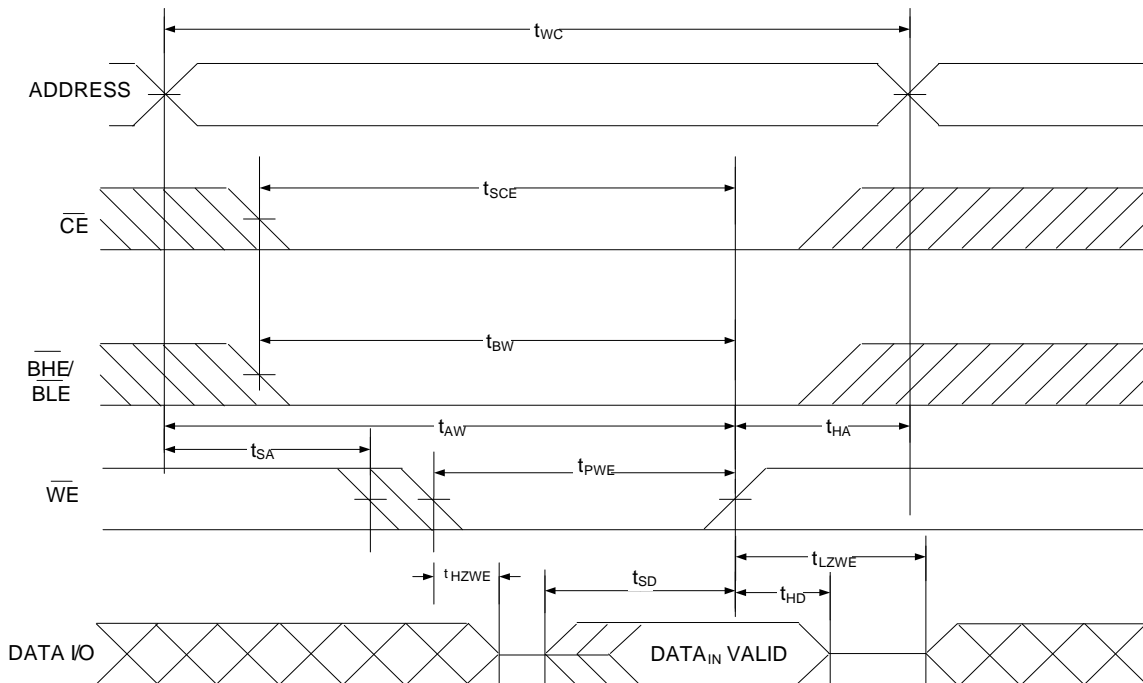


图 13. 第一个写周期 (\overline{WE} 被控制) [28、30、31]



注释:

27. 在读取周期中, \overline{WE} 为高电平。
28. 对于所有双芯片使能器件, \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合得到。当 \overline{CE}_1 为低电平, 且 CE_2 为高电平时, \overline{CE} 将处于低电平状态; 当 \overline{CE}_1 为高电平或 CE_2 为低电平时, \overline{CE} 将处于高电平状态。
29. 地址有效在 \overline{CE} 的低电平转换前发生或者同步发生。
30. 通过重叠 $\overline{WE} = V_{IL}$, $\overline{CE}_1 = V_{IL}$, \overline{BHE} 和 / 或 $\overline{BLE} = V_{IL}$, 和 $CE_2 = V_{IH}$, 可以确定存储器的内部写入时间。如要初始某个写操作, 必须使所有的信号进入 ACTIVE (活动) 状态; 将任何信号进入 INACTIVE (非活动) 状态, 都会终止该写操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
31. 如果 $CE = V_{IH}$, 或 $OE = V_{IH}$ 或 \overline{BHE} , 和 / 或 $\overline{BLE} = V_{IH}$, 数据 I/O 将处于高阻态。

开关波形 (续)

图 14. 第二个写周期 (\overline{CE} 被控制) [32、33、34]

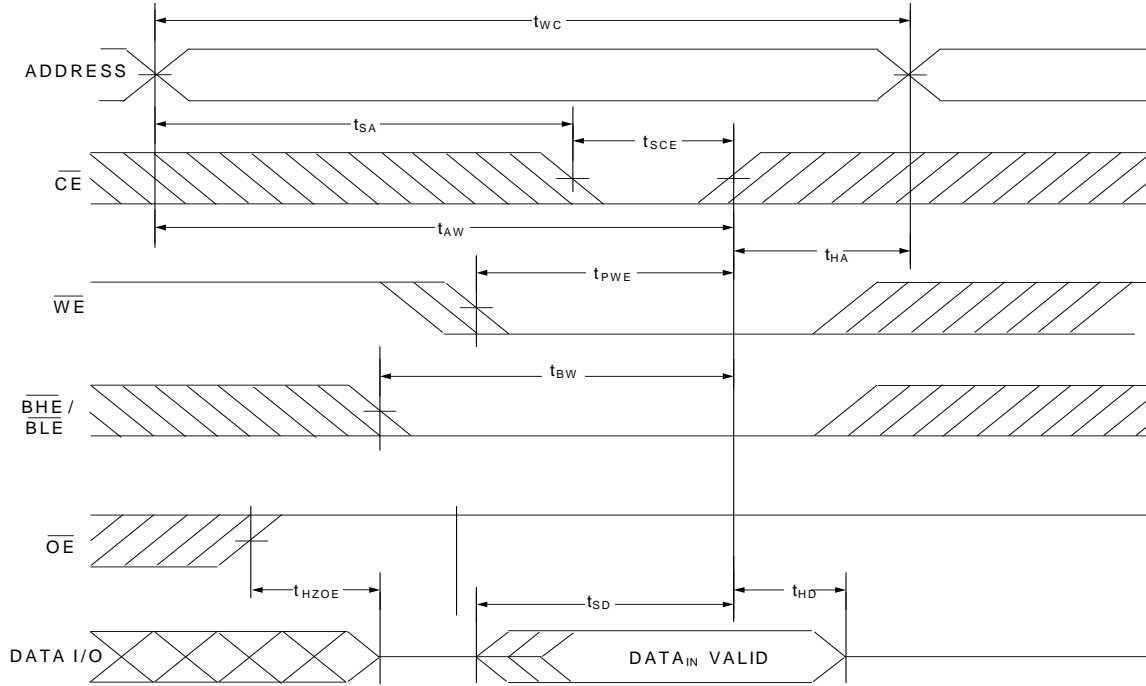
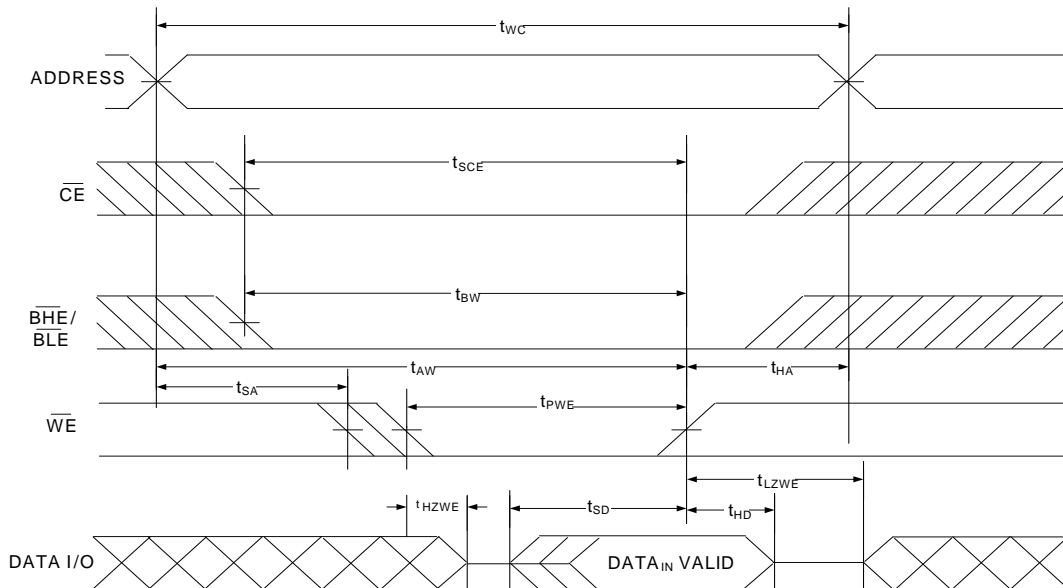


图 15. 第三个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) [32、33、34、35]

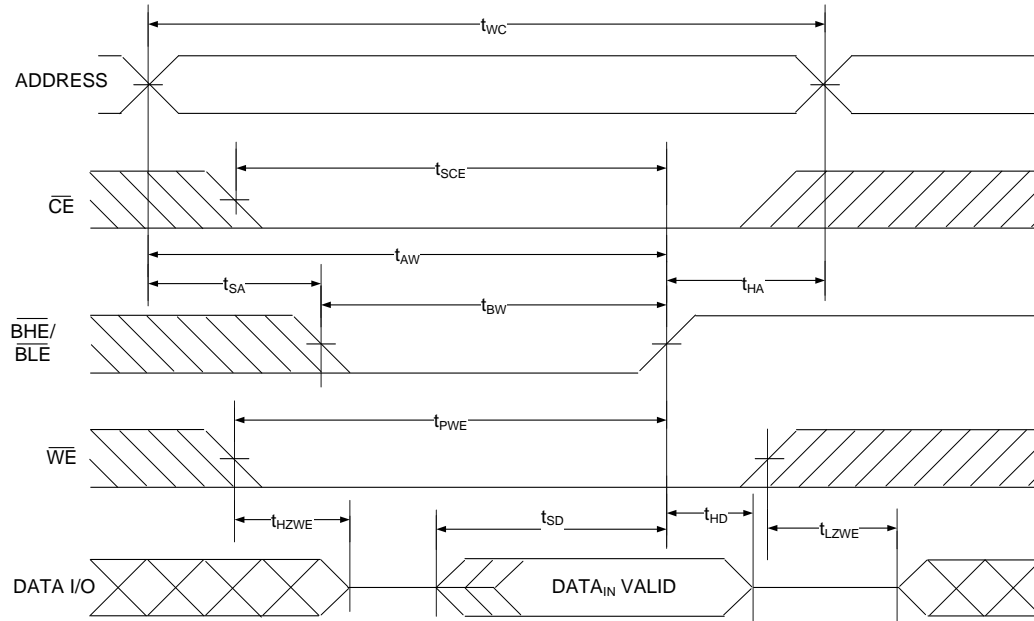


注释:

32. 对于所有双芯片使能器件, \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合得到。当 \overline{CE}_1 为低电平, 且 CE_2 为高电平时, \overline{CE} 会处在低电平状态; 当 \overline{CE}_1 为高电平或 CE_2 为低电平时, \overline{CE} 会处于高电平状态。
33. 通过重叠 $\overline{WE} = V_{IL}$, $\overline{CE}_1 = V_{IL}$, \overline{BHE} 和 / 或 $\overline{BLE} = V_{IL}$ 和 $CE_2 = V_{IH}$, 可以确定存储器的内部写入时间。如要初始某个写操作, 必须使所有的信号进入 ACTIVE (活动) 状态; 将任何信号进入 INACTIVE (非活动) 状态, 都会终止该写操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
34. 如果 $\overline{CE} = V_{IH}$, 或 $\overline{OE} = V_{IH}$ 或 \overline{BHE} 和 / 或 $\overline{BLE} = V_{IH}$, 数据 I/O 将处于高阻态。
35. 第三个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) 的最小写入脉冲宽度应为 t_{HZWE} 和 t_{SD} 的总和。

开关波形 (续)

图 16. 第四个写周期 ($\overline{\text{BHE}}/\overline{\text{BLE}}$ 被控制) [36、37、38]



注释:

36. 对于所有双芯片使能器件, $\overline{\text{CE}}$ 由 $\overline{\text{CE}}_1$ 和 CE_2 逻辑组合得到。当 $\overline{\text{CE}}_1$ 为低电平, 且 CE_2 为高电平时, $\overline{\text{CE}}$ 会处在低电平状态; 当 $\overline{\text{CE}}_1$ 为高电平或 CE_2 为低电平时, $\overline{\text{CE}}$ 会处于高电平状态。
37. 通过重叠 $\overline{\text{WE}} = V_{\text{IL}}$, $\overline{\text{CE}}_1 = V_{\text{IL}}$, $\overline{\text{BHE}}$ 和 / 或 $\overline{\text{BLE}} = V_{\text{IL}}$ 和 $\text{CE}_2 = V_{\text{IH}}$, 可以确定存储器的内部写入时间。如要初始某个写操作, 必须使所有的信号进入 ACTIVE (活动) 状态; 将任何信号进入 INACTIVE (非活动) 状态, 都会终止该写操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
38. 如果 $\overline{\text{CE}} = V_{\text{IH}}$, 或 $\text{OE} = V_{\text{IH}}$ 或 $\overline{\text{BHE}}$ 和 / 或 $\overline{\text{BLE}} = V_{\text{IH}}$, 数据 I/O 将处于高阻态。

真值表 — CY62147G/CY62147GE

$\overline{CE}_1/\overline{CE}$ ^[39]	CE_2 ^[39]	\overline{WE}	\overline{OE}	\overline{BHE}	\overline{BLE}	输入 / 输出	模式	功耗
H	X ^[40]	X	X	X	X	高阻态	取消选择 / 掉电	待机 (I_{SB})
X	L	X	X	X	X	高阻态	取消选择 / 掉电	待机 (I_{SB})
X	X	X	X	H	H	高阻态	取消选择 / 掉电	待机 (I_{SB})
L	H	H	L	L	L	数据输出 (I/O_0 – I/O_{15})	读取	活动 (I_{CC})
L	H	H	L	H	L	数据输出 (I/O_0 – I/O_7) ; 高阻态 (I/O_8 – I/O_{15})	读取	活动 (I_{CC})
L	H	H	L	L	H	高阻态 (I/O_0 – I/O_7) ; 数据输出 (I/O_8 – I/O_{15})	读取	活动 (I_{CC})
L	H	H	H	L	H	高阻态	输出禁用	活动 (I_{CC})
L	H	H	H	H	L	高阻态	输出禁用	活动 (I_{CC})
L	H	H	H	L	L	高阻态	输出禁用	活动 (I_{CC})
L	H	L	X	L	L	数据输入 (I/O_0 – I/O_{15})	写入	活动 (I_{CC})
L	H	L	X	H	L	数据输入 (I/O_0 – I/O_7) ; 高阻态 (I/O_8 – I/O_{15})	写入	活动 (I_{CC})
L	H	L	X	L	H	高阻态 (I/O_0 – I/O_7) ; 数据输入 (I/O_8 – I/O_{15})	写入	活动 (I_{CC})

ERR 输出 — CY62147GE

输出 ^[41]	模式
0	读操作，存储数据中没有单比特错误。
1	读操作，检测到并纠正了单比特错误。
高阻态	取消选择器件 / 禁用各输出 / 执行写操作。

注释：

39. 对于所有双芯片使能器件， \overline{CE} 由 \overline{CE}_1 和 CE_2 逻辑组合得到。当 \overline{CE}_1 为低电平，且 CE_2 为高电平时， \overline{CE} 将处于低电平状态；当 \overline{CE}_1 为高电平或 CE_2 为低电平时， \overline{CE} 将处于高电平状态。

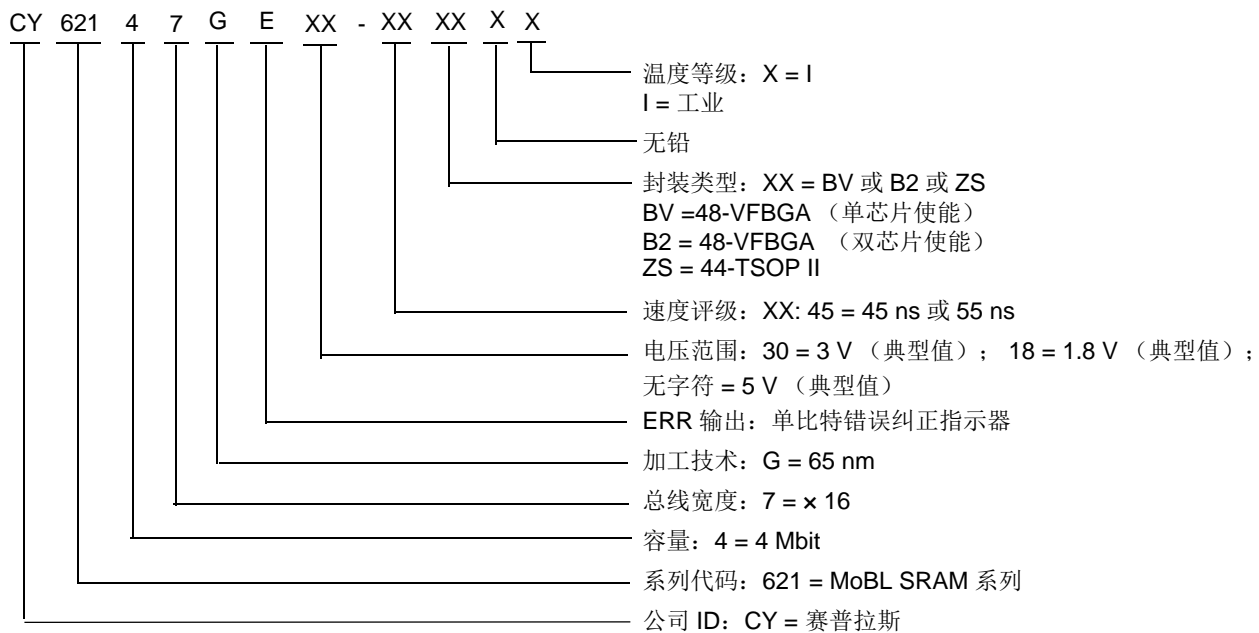
40. 芯片使能的 ‘X’（无需关注）状态指的是信号的逻辑状态（高电平或低电平）。这些引脚不支持中间电压电平。

41. ERR 是输出引脚。在不使用情况下，该引脚应处于悬空状态。

订购信息

速度 (ns)	电压范围	订购代码	封装图	封装类型	工作范围
45	2.2 V 到 3.6 V	CY62147G30-45BVXI	51-85150	48-VFBGA (6 × 8 × 1 mm), 无 ERR 的单芯片使能	工业级
		CY62147GE30-45BVXI	51-85150	48-VFBGA (6 × 8 × 1 mm), 带 ERR 的单芯片使能	
		CY62147G30-45ZSXI	51-85087	无 ERR 的 44-TSOP II	
		CY62147GE30-45ZSXI	51-85087	带 ERR 的 44-TSOP II	
		CY62147G30-45B2XI	51-85150	48-VFBGA (6 × 8 × 1 mm), 无 ERR 的双芯片使能	
		CY621472G30-45ZSXI	51-85087	无 ERR 的 44-TSOP II, 双芯片使能	
45	4.5 V 到 5.5 V	CY62147G-45ZSXI	51-85087	无 ERR 的 44-TSOP II	
		CY62147GE-45ZSXI	51-85087	带 ERR 的 44-TSOP II	
55	1.8 V 到 2.2 V	CY62147G18-55ZSXI	51-85087	无 ERR 的 44-TSOP II	
		CY62147G18-55BVXI	51-85150	48-VFBGA (6 × 8 × 1 mm), 无 ERR 的单芯片使能	
		CY62147GE18-55ZSXI	51-85087	带 ERR 的 44-TSOP II	
		CY62147GE18-55BVXI	51-85150	48-VFBGA (6 × 8 × 1 mm), 带 ERR 的单芯片使能	

订购代码定义



封装图

图 17. 44-TSOP II (Z44) 封装外形, 51-85087

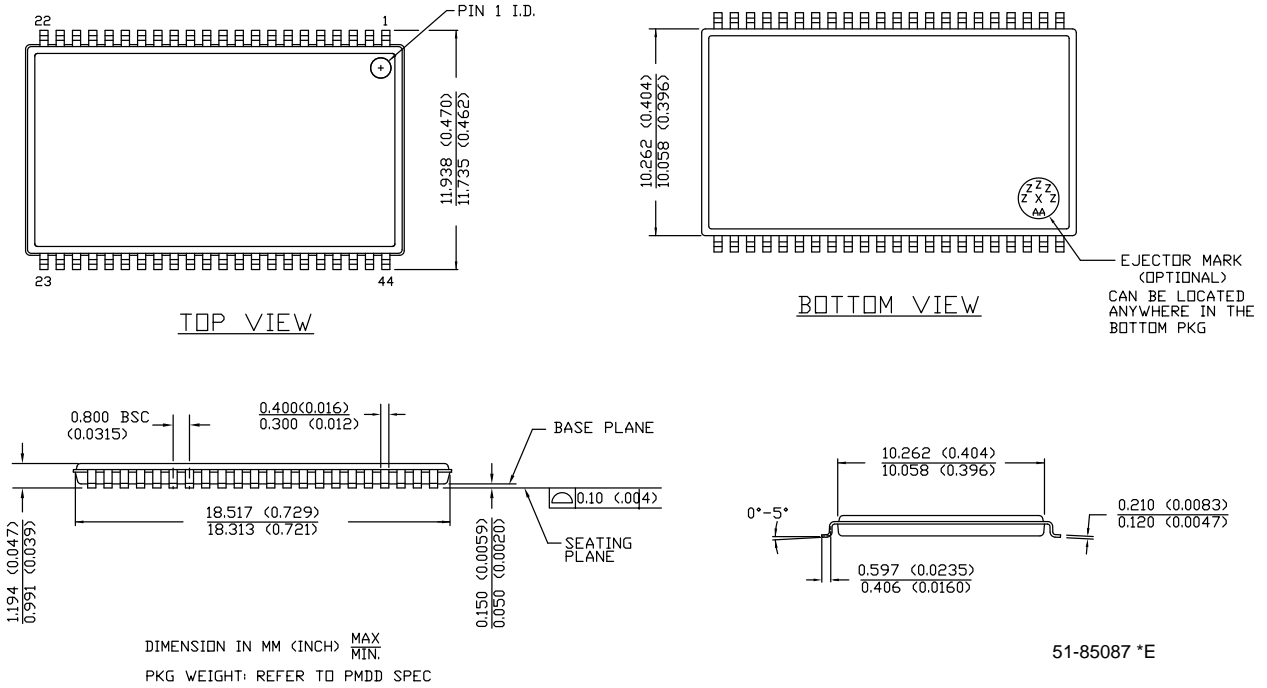
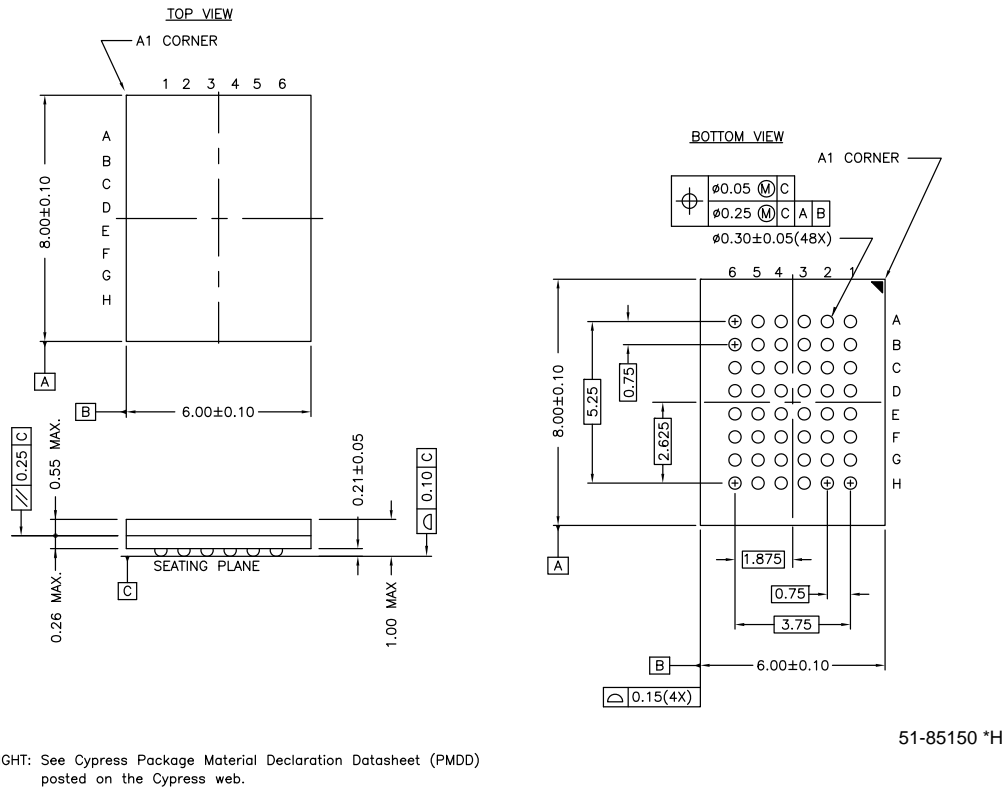


图 18. 48-VFBGA (6 × 8 × 1.0 mm) BV48/BZ48 封装外形, 51-85150



缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TSOP	薄小外型封装
VFBGA	间距极细的球栅阵列
$\overline{\text{WE}}$	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY62147G/CY621472G/CY62147GE MoBL [®] , 带有纠错码 (ECC) 的 4 Mbit (256K 字 × 16 位) 静态 RAM				
文档编号: 001-96516				
版本	ECN 编号	变更者	提交日期	变更说明
**	4669804	LISZ	03/26/2015	本文档版本号为 Rev**, 译自英文版 001-92847 Rev*C。
*A	4902649	LISZ	08/31/2015	本文档版本号为 Rev*A, 译自英文版 001-92847 Rev*F。
*B	5154132	LISZ	02/29/2016	本文档版本号为 Rev*B, 译自英文版 001-92847 Rev*H。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司维护由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 培训

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2014-2016。此处所包含的信息可随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能因为发生功能异常和故障，而对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。