

**エラー訂正コード (ECC) 内蔵 4M ビット
(256K ワード × 16 ビット) スタティック RAM**

特徴

- 高速
 - t_{AA} = 10ns/15ns
- シングルビット エラー訂正用の内蔵 ECC^[1]
- 少ないアクティブおよびスタンバイ電流
 - アクティブ電流: I_{CC} = 38mA (typ)
 - スタンバイ電流: I_{SB2} = 6mA (typ)
- 動作電圧範囲: 1.65V ~ 2.2V, 2.2V ~ 3.6V、および 4.5V ~ 5.5V
- 1.0V データ保持
- TTL 互換の入出力
- 1ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 鉛フリー-44ピンSOJ、44ピンTSOP II、および48ボールVFBGAパッケージ

機能詳細

CY7C1041G と CY7C1041GE は内蔵 ECC を備えた高性能 CMOS 高速スタティック RAM デバイスです。両方のデバイスともシングルとデュアル チップ イネーブル オプション、および複数ピン コンフィギュレーションで提供されます。CY7C1041GE デバイスは、読み出しサイクル中にシングル エラー検出と訂正イベントを通知する ERR ピンを備えています。

チップ イネーブル (\overline{CE}) と書き込みイネーブル (\overline{WE}) 入力を LOW にアサートすることでデータ書き込みを実現し、データは I/O₀ ~ I/O₁₅ ピンに、アドレスは A₀ ~ A₁₇ ピンに提供します。上位バイト イネーブル (\overline{BHE}) と下位バイト イネーブル (\overline{BLE}) 入力は、指定したメモリ位置の上位バイトと下位バイトへの書き込み動作を制御します。 \overline{BHE} は I/O₈ ~ I/O₁₅ を制御し、 \overline{BLE} は I/O₀ ~ I/O₇ を制御します。

データ読み込みは、チップ イネーブル (\overline{CE}) と出カイネーブル (\overline{OE}) 入力を LOW にアサートし、アドレスラインで必要なアドレスを提供することで行われます。読み出しデータは、I/O ライン (I/O₀ ~ I/O₁₅) 上でアクセスできます。バイト アクセスは、必要なバイト イネーブル信号 (\overline{BHE} , \overline{BLE}) をアサートして、指定したアドレス位置からデータの上位バイトまたは下位バイトのいずれかを読み込むことによって実行されます。

すべての I/O (I/O₀ ~ I/O₁₅) は以下のイベントに対してハイ インピーダンス状態になります。

- デバイスが選択解除される (\overline{CE} = HIGH)
- 制御信号 (\overline{OE} , \overline{BLE} , \overline{BHE}) がアサート解除される

CY7C1041GE デバイスでは、アクセスされた位置内のシングルビット エラーの検出および訂正は、ERR 出力のアサート (ERR = HIGH) により行われます^[1]。読み出しと書き込みモードの詳細については、14 ページの真理値表を参照してください。

論理ブロック図は 2 ページに示されています。

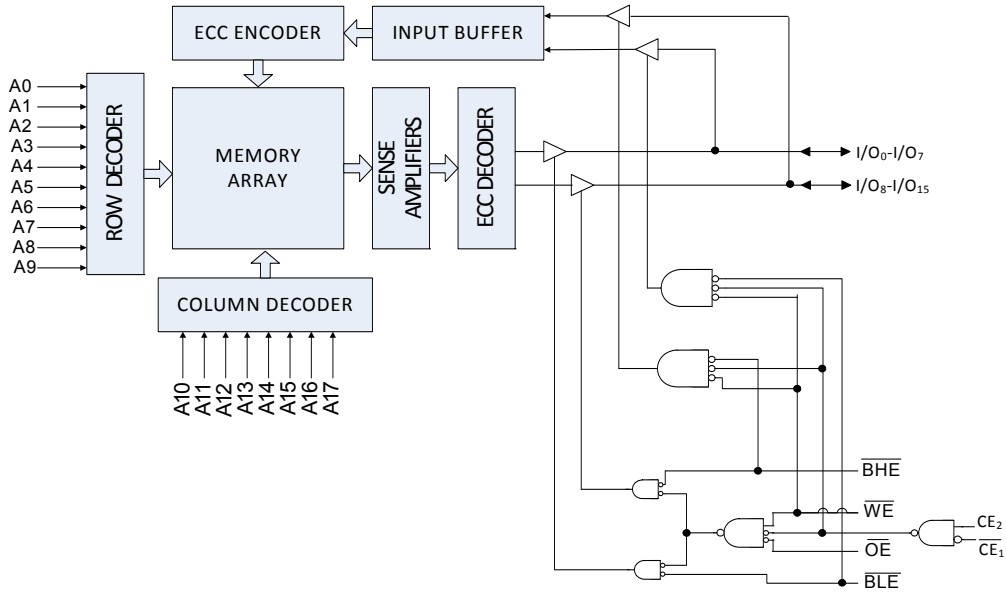
製品ポートフォリオ

製品 ^[2]	特長およびオプション (4 ページのピン配置を参照)	範囲	V _{CC} の範囲 (V)	速度 (ns) 10/15	消費電力			
					動作時の I _{CC} (mA)		スタンバイ、I _{SB2} (mA)	
					f = f _{max}			
					Typ ^[3]	Max	Typ ^[3]	Max
CY7C1041G(E)18	シングルまたはデュアル チップ イネーブル	産業用	1.65V ~ 2.2V	15	–	40	6	8
CY7C1041G(E)30			2.2V ~ 3.6V	10	38	45		
CY7C1041G(E)	オプションの ERR ピン		4.5V ~ 5.5V	10	38	45		

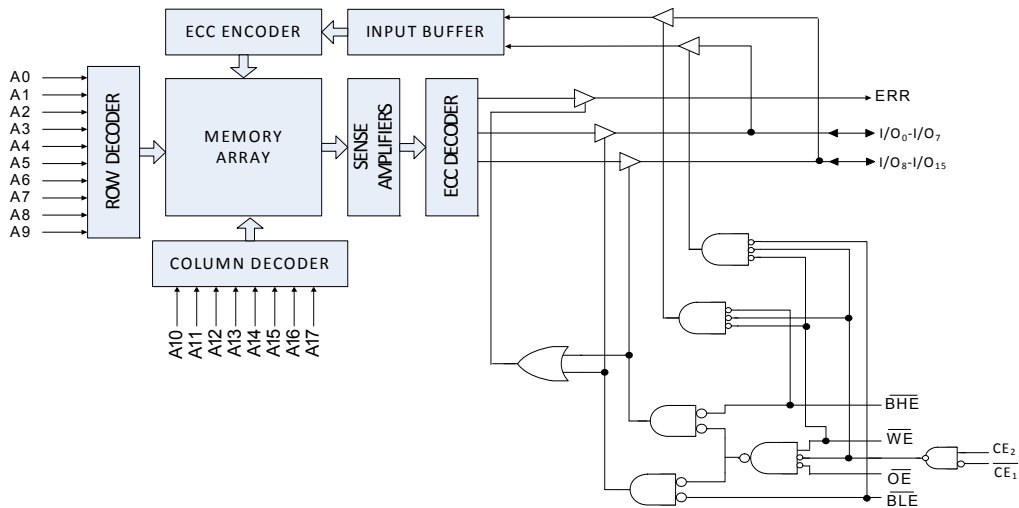
注:

1. このデバイスは、エラー検出時に自動再書き込みに対応しません。
2. ERR ピンは注文コードに ERR オプション「E」があるデバイスにのみ備えています。詳細は、15 ページのオーダー情報を参照してください。
3. 標準値は単なる参照値であり、保証または試験されていません。標準値は、V_{CC} = 1.8V (V_{CC} が 1.65V ~ 2.2V の場合)、V_{CC} = 3V (V_{CC} が 2.2V ~ 3.6V の場合)、および V_{CC} = 5V (V_{CC} が 4.5V ~ 5.5V の場合)、T_A = 25°C で測定しています。

論理ブロック図－ CY7C1041G



論理ブロック図－ CY7C1041GE



目次

ピン配置	4	オーダー情報	15
最大定格	6	注文コードの定義	15
動作範囲	6	パッケージ図	16
DC 電気的特性	6	略語	18
静電容量	7	本書の表記法	18
熱抵抗	7	測定単位	18
AC テストの負荷と波形	7	改訂履歴	19
データ保持特性	8	セールス、ソリューションおよび法律情報	20
データ保持波形	8	ワールドワイド販売と設計サポート	20
AC スイッチング特性	9	製品	20
スイッチング 波形	10	PSoC® ソリューション	20
真理値表	14	サイプレス開発者コミュニティ	20
ERR 出力 - CY7C1041GE	14	テクニカル サポート	20

ピン配置

図 1. 48 ボール VFBGA (6 × 8 × 1.0 mm) ERR なしのシングルチップ イネーブル、CY7C1041G^[4]、パッケージ/グレード ID: BVXI^[6]

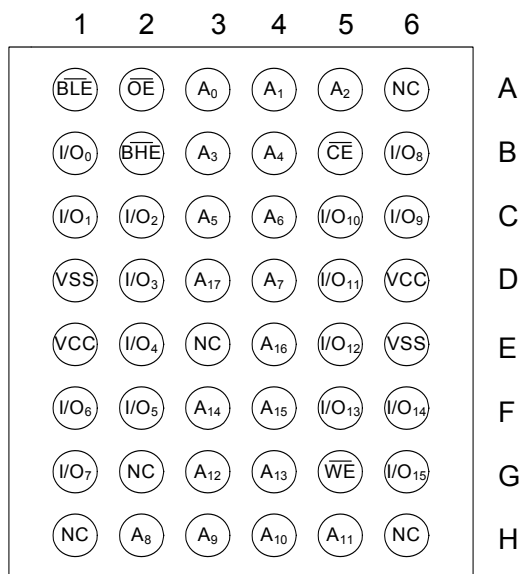


図 2. 48 ボール VFBGA (6 × 8 × 1.0 mm) ERR 付きのシングルチップ イネーブル、CY7C1041GE^[4, 5]、パッケージ/グレード ID: BVXI^[6]

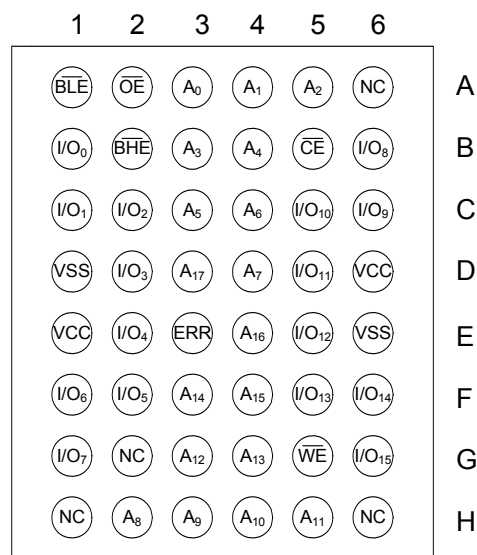


図 3. 48 ボール VFBGA (6 × 8 × 1.0 mm) ERR なしのシングルチップ イネーブル、CY7C1041G^[4]、パッケージ/グレード ID: BVJXI^[6]

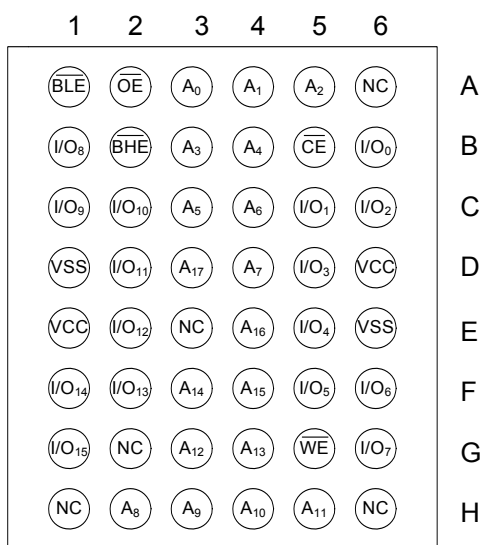
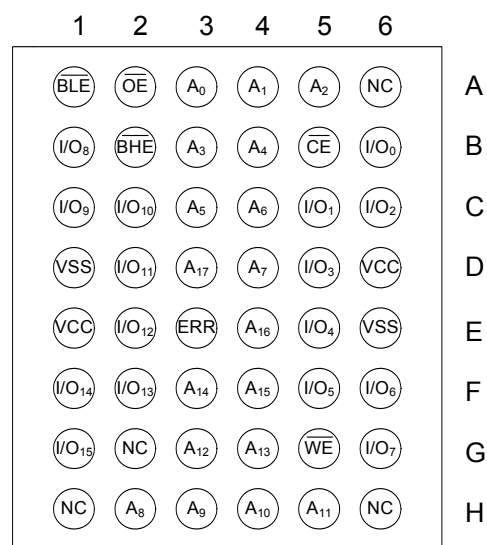


図 4. 48 ボール VFBGA (6 × 8 × 1.0 mm) ERR 付きのシングルチップ イネーブル、CY7C1041GE^[4, 5]、パッケージ/グレード ID: BVJXI^[6]



注:

- NC ピンはパッケージ内部のダイに接続されていません。
- ERR は出力ピンです。
- パッケージ タイプ BVXI とは違い、パッケージ タイプ BVJXI は JEDEC に準拠しています。両パッケージ間の相違点は、上位と下位 I/O (I/O_[7:0] と I/O_[15:8]) ボールがスワップされることです。

ピン配置 (続き)

図 5. 44 ピン TSOP II/44 ピン SOJ ERR 付きのシングル チップ イネーブル、CY7C1041GE [7、8]

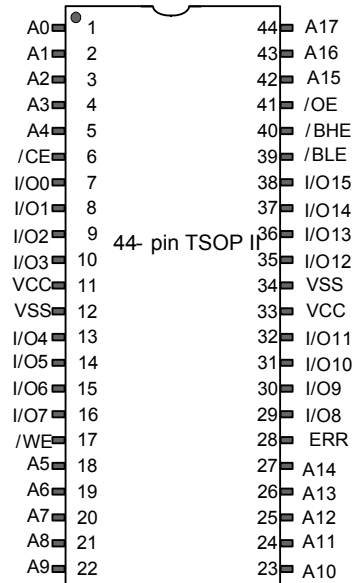
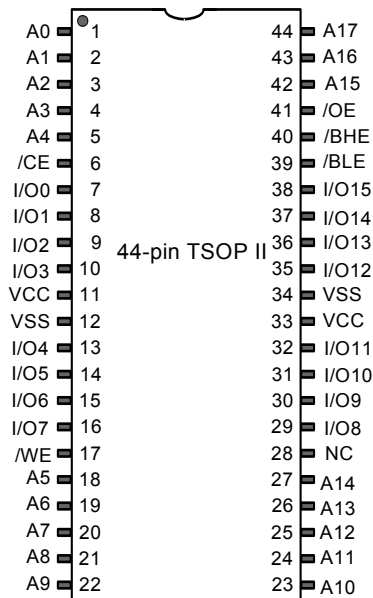


図 6. 44 ピン TSOP II/44 ピン SOJERR なしのシングル チップ イネーブル、CY7C1041G [7]



注：
7. NC ピンはダイに接続されていません。
8. ERR は出力ピンです。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

GND を基準とした

V_{CC} の電源電圧^[9] -0.5V ~ $V_{CC}+0.5V$

HI-Z 状態の出力に

印加される DC 電圧^[9] -0.5V ~ $V_{CC}+0.5V$

DC 入力電圧^[9] -0.5V ~ $V_{CC}+0.5V$

出力への電流 (LOW 状態にある) 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) >2001V

ラッチアップ電流 >140mA

動作範囲

グレード	周囲温度	V_{CC}
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

DC 電気的特性

動作範囲は -40°C ~ 85°C

パラメータ	説明	テスト条件	10ns/15ns			単位	
			Min	Typ ^[10]	Max		
V_{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	$V_{CC} = \text{Min}, I_{OH} = -0.1\text{mA}$	1.4	-	-	V
		2.2V ~ 2.7V	$V_{CC} = \text{Min}, I_{OH} = -1.0\text{mA}$	2	-	-	
		2.7V ~ 3.6V	$V_{CC} = \text{Min}, I_{OH} = -4.0\text{mA}$	2.2	-	-	
		4.5V ~ 5.5V	$V_{CC} = \text{Min}, I_{OH} = -4.0\text{mA}$	2.4	-	-	
		4.5V ~ 5.5V	$V_{CC} = \text{Min}, I_{OH} = -0.1\text{mA}$	$V_{CC} - 0.5$ ^[11]	-	-	
V_{OL}	出力 LOW 電圧	1.65V ~ 2.2V	$V_{CC} = \text{Min}, I_{OL} = 0.1\text{mA}$	-	-	0.2	V
		2.2V ~ 2.7V	$V_{CC} = \text{Min}, I_{OL} = 2\text{mA}$	-	-	0.4	
		2.7V ~ 3.6V	$V_{CC} = \text{Min}, I_{OL} = 8\text{mA}$	-	-	0.4	
		4.5V ~ 5.5V	$V_{CC} = \text{Min}, I_{OL} = 8\text{mA}$	-	-	0.4	
V_{IH}	入力 HIGH 電圧	1.65V ~ 2.2V	-	1.4	-	$V_{CC} + 0.2$ ^[9]	V
		2.2V ~ 2.7V	-	2	-	$V_{CC} + 0.3$ ^[9]	
		2.7V ~ 3.6V	-	2	-	$V_{CC} + 0.3$ ^[9]	
		4.5V ~ 5.5V	-	2.2	-	$V_{CC} + 0.5$ ^[9]	
V_{IL}	入力 LOW 電圧	1.65V ~ 2.2V	-	-0.2 ^[9]	-	0.4	V
		2.2V ~ 2.7V	-	-0.3 ^[9]	-	0.6	
		2.7V ~ 3.6V	-	-0.3 ^[9]	-	0.8	
		4.5V ~ 5.5V	-	-0.5 ^[9]	-	0.8	
I_{IX}	入力リーク電流	$GND \leq V_{IN} \leq V_{CC}$	-1	-	+1	μA	
I_{OZ}	出力リーク電流	$GND \leq V_{OUT} \leq V_{CC}$ 、出力が ^{無効}	-1	-	+1	μA	
I_{CC}	動作電源電流	Max V_{CC} 、 $I_{OUT} = 0\text{mA}$ 、 CMOS レベル	f = 100MHz	-	38	45	mA
			f = 66.7MHz	-	-	40	
I_{SB1}	自動 CE パワーダウン電流 -TTL 入力	Max V_{CC} 、 $\overline{CE} \geq V_{IH}$ 、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$ 、 $f = f_{MAX}$	-	-	15	mA	
I_{SB2}	自動 CE パワーダウン電流 -CMOS 入力	Max V_{CC} 、 $\overline{CE} \geq V_{CC} - 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$	-	6	8	mA	

注:

9. 2ns 以下のパルス幅の場合、 $V_{IL(\text{min})} = -2.0V$ および $V_{IH(\text{max})} = V_{CC} + 2V$ 。

10. 標準値は単なる参照値であり、保証または試験されていません。標準値は、 $V_{CC} = 1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3V$ (V_{CC} が 2.2V ~ 3.6V の場合) および $V_{CC} = 5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。

11. このパラメーターは設計保証であり、試験されていません。

静電容量

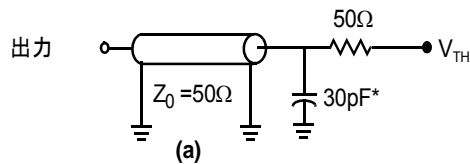
パラメータ [12]	説明	テスト条件	48 ボール VFBGA	44 ピン SOJ	44 ピン TSOP II	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{CC} = V_{CC(\text{typ})}$	10	10	10	pF
C_{OUT}	I/O 容量		10	10	10	pF

熱抵抗

パラメータ [12]	説明	テスト条件	48 ボール VFBGA	44 ピン SOJ	44 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	無風状態、3×4.5 インチ の 4 層プリント回路基 板に半田付け	31.35	55.37	68.85	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		14.74	30.41	15.97	$^\circ\text{C/W}$

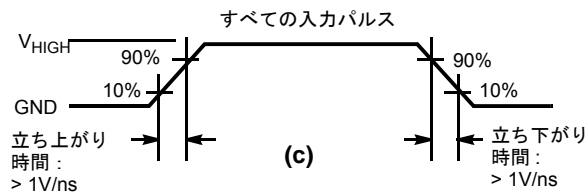
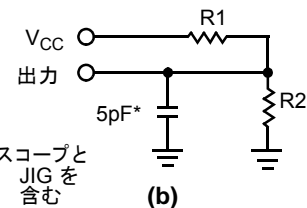
AC テストの負荷と波形

図 7. AC テストの負荷と波形 [13]



* 静電容量負荷は、
テスト環境の全ての要素
から成る

High-Z 特性:



パラメーター	1.8V	3.0V	5.0V	単位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	0.9	1.5	1.5	V
V_{HIGH}	1.8	3	3	V

注:

12. 開発時とこれらのパラメーターに影響を与え得る設計/プロセス変更後にテストされます。

13. 完全なデバイスの AC 動作では、0 から $V_{CC}(\text{min})$ までのランプ時間が 100 μs で、 V_{CC} がその動作電圧で安定した後、待機時間が 100 μs であることを前提にします。

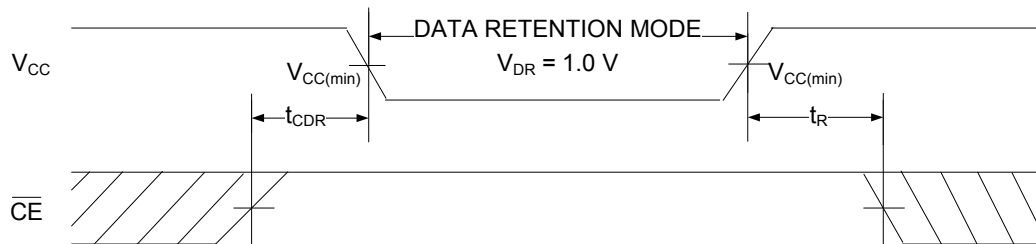
データ保持特性

動作範囲は $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメーター	説明	条件	Min	Max	単位
V_{DR}	データ保持用の V_{CC}		1	–	V
I_{CCDR}	データ保持電流	$V_{\text{CC}} = 1.2\text{V}$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{V}$ ^[14] 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{V}$ 、または $V_{\text{IN}} \leq 0.2\text{V}$	–	8	mA
t_{CDR} ^[15]	チップの選択解除からデータ保持までの時間		0	–	ns
t_{R} ^[14, 15]	動作回復時間	$V_{\text{CC}} \geq 2.2\text{V}$	10	–	ns
		$V_{\text{CC}} < 2.2\text{V}$	15	–	ns

データ保持波形

図 8. データ保持波形^[14]



- 注:
14. 完全なデバイス動作には、 V_{DR} から $V_{\text{CC}(\text{min})}$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ を超えるか、または $V_{\text{CC}(\text{min})}$ で安定した時間が $100\mu\text{s}$ を超える必要があります。
 15. これらのパラメーターは設計保証されます。

AC スイッチング特性

動作範囲が -40 °C ~ 85 °C

パラメータ [16]	説明	10ns		15ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{RC}	読み出しサイクル時間	10	-	15	-	ns
t_{AA}	アドレスからデータ/ERR 有効まで	-	10	-	15	ns
t_{OHA}	アドレス変更からデータ/ERR ホールド	3	-	3	-	ns
t_{ACE}	\overline{CE} LOW からデータ/ERR 有効まで [17]	-	10	-	15	ns
t_{DOE}	\overline{OE} LOW からデータ/ERR 有効まで	-	4.5	-	8	ns
t_{LZOE}	\overline{OE} LOW から低インピーダンスまで [18, 19]	0	-	0	-	ns
t_{HZOE}	\overline{OE} HIGH から HI-Z まで [18, 19]	-	5	-	8	ns
t_{LZCE}	\overline{CE} LOW から低インピーダンスまで [17, 18, 19]	3	-	3	-	ns
t_{HZCE}	\overline{CE} HIGH から HI-Z まで [17, 18, 19]	-	5	-	8	ns
t_{PU}	\overline{CE} LOW から電源投入まで [17, 19, 20]	0	-	0	-	ns
t_{PD}	\overline{CE} HIGH から電源切断まで [17, 19, 20]	-	10	-	15	ns
t_{DBE}	バイト イネーブルからデータ有効まで	-	4.5	-	8	ns
t_{LZBE}	バイト イネーブルから低インピーダンスまで [19]	0	-	0	-	ns
t_{HZBE}	バイト ディスエーブルから HI-Z まで [19]	-	6	-	8	ns
書き込みサイクル [20, 21]						
t_{WC}	書き込みサイクル期間	10	-	15	-	ns
t_{SCE}	\overline{CE} LOW から書き込みの最後 [17] まで	7	-	12	-	ns
t_{AW}	アドレスセットアップから書き込み終了まで	7	-	12	-	ns
t_{HA}	書き込み終了からアドレス ホールドまで	0	-	0	-	ns
t_{SA}	アドレス セットアップから書き込み開始	0	-	0	-	ns
t_{PWE}	\overline{WE} パルス幅	7	-	12	-	ns
t_{SD}	データ セットアップから書き込み終了まで	5	-	8	-	ns
t_{HD}	書き込み終了からデータ ホールドまで	0	-	0	-	ns
t_{LZWE}	\overline{WE} HIGH から低インピーダンスまで [18, 19]	3	-	3	-	ns
t_{HZWE}	\overline{WE} LOW から HI-Z まで [18, 19]	-	5	-	8	ns
t_{BW}	バイト イネーブルから書き込み終了まで	7	-	12	-	ns

- 注:
16. テスト条件は信号移行時間 (立ち上がり/立ち下がり) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} \geq 3V$ の場合) および $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0 ~ 3V ($V_{CC} \geq 3V$ の場合) および 0 ~ V_{CC} ($V_{CC} < 3V$ の場合) であることを前提にします。特に記載のない限り、読み出しサイクルのテスト条件は 7 ページの図 7 の (a) に示す出力負荷を使用しています。
 17. 全てのデュアル チップ イネーブル デバイスに対応して \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW、 CE_2 が HIGH の場合は、 \overline{CE} は LOW; \overline{CE}_1 が HIGH または CE_2 が LOW の場合は、 \overline{CE} は HIGH です。
 18. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{HZBE} 、 t_{LZOE} 、 t_{LZCE} 、 t_{LZWE} および t_{LZBE} は、7 ページの図 7 の (b) に示した 5pF の負荷容量が付いた状態で規定されています。移行は定常状態の電圧 $\pm 200mV$ で測定されます。
 19. これらのパラメータは設計保証であり、テストは行われていません。
 20. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ と \overline{BHE} または $\overline{BLE} = V_{IL}$ のオーバーラップで定義されます。これらの信号は、書き込みを開始するために LOW である必要があり、これらいずれかの信号が HIGH へ移行することで操作を終了することができます。入力データのセットアップとホールドのタイミングは書き込みを終了する信号のエッジを基準にする必要があります。
 21. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) 用の最少の書き込みサイクルパルス幅は t_{sd} と t_{HZWE} の合計に等しい必要があります。

スイッチング 波形

図 9. CY7C1041G の読み出しサイクル 1 (アドレス遷移制御) [22, 23]

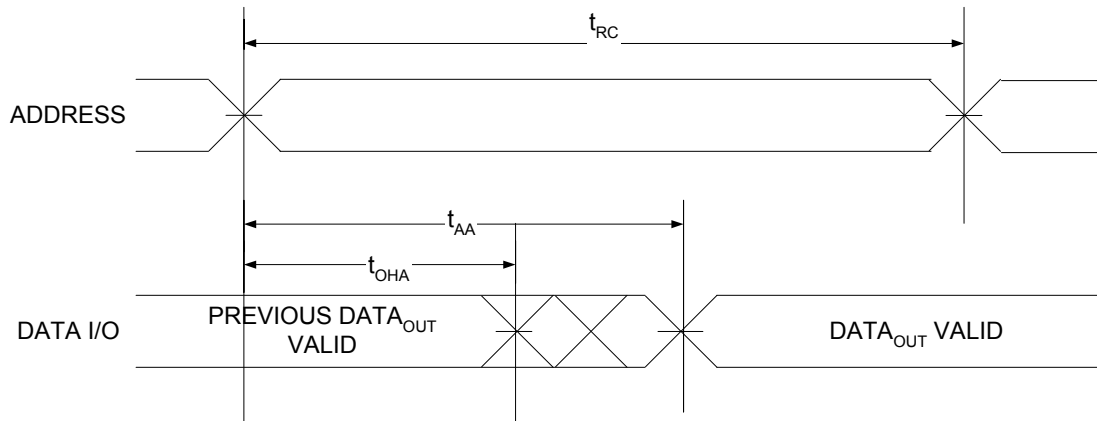
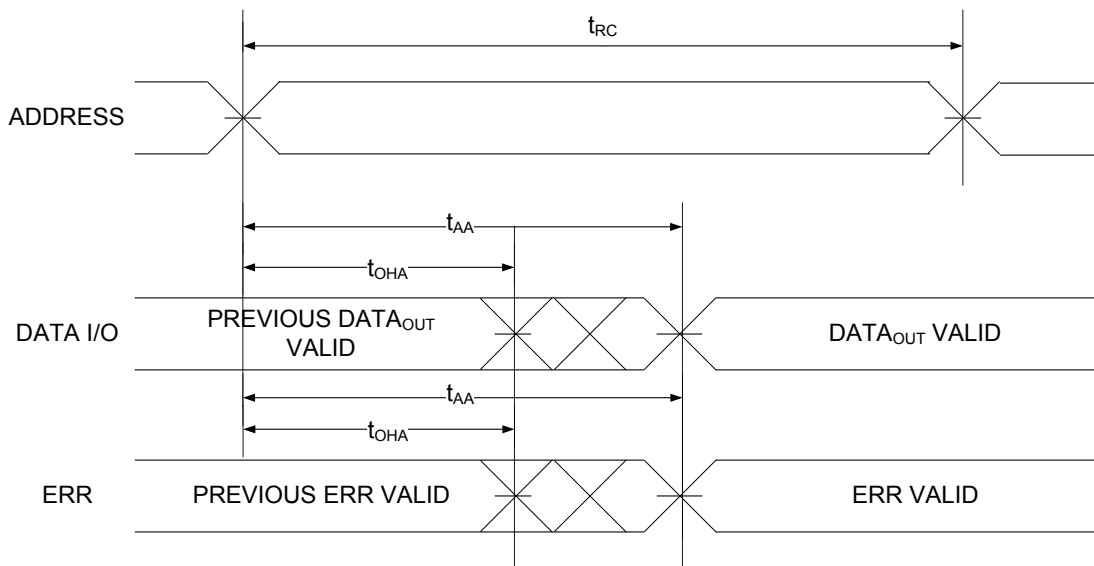


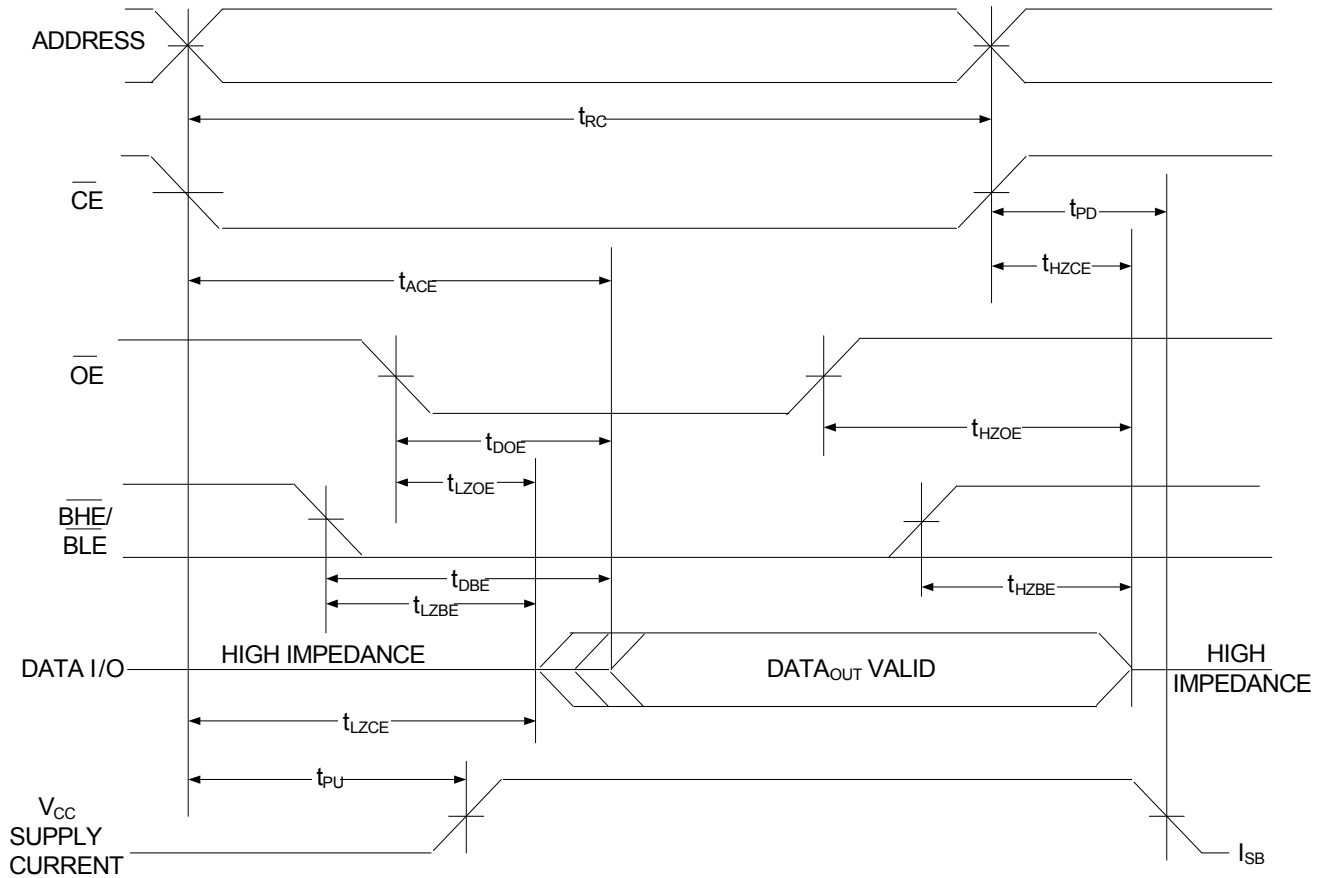
図 10. CY7C1041GE の読み出しサイクル 1 (アドレス遷移制御) [22, 23]



注:
22. デバイスは連続的に選択され、 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 、 \overline{BHE} か \overline{BLE} または両方 = V_{IL} 。
23. 読み出しサイクル中は \overline{WE} は HIGH です。

スイッチング 波形 (続き)

図 11. 読み出しサイクル 2 (\overline{OE} 制御) [24、25、26]



注:

24. 全てのデュアル イネーブル デバイスの場合、 \overline{CE} は \overline{CE}_1 及び CE_2 の論理結合です。 \overline{CE}_1 が LOW、 CE_2 が HIGH の場合は、 \overline{CE} は LOW; \overline{CE}_1 が HIGH または CE_2 が LOW の場合は、 \overline{CE} は HIGH です。
25. 読み出しサイクルの間は \overline{WE} は HIGH です。
26. \overline{CE} LOW 遷移の前、あるいは同時にアドレスが有効になります。

スイッチング 波形 (続き)

図 12. 書き込みサイクル 1 (\overline{CE} 制御) [27、28、29]

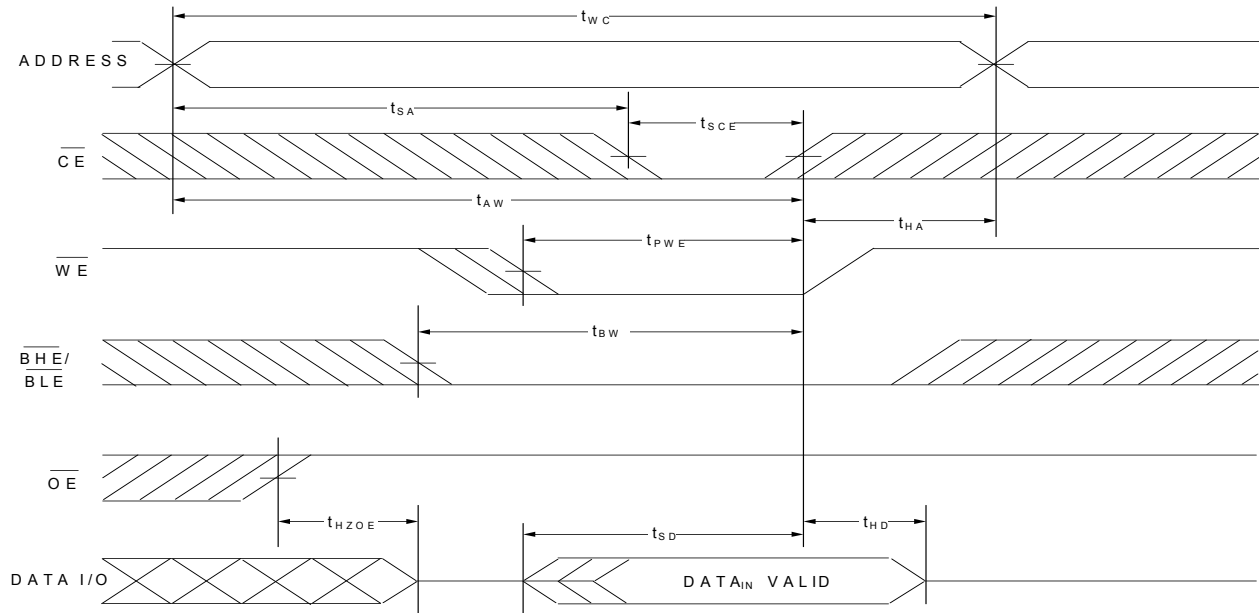
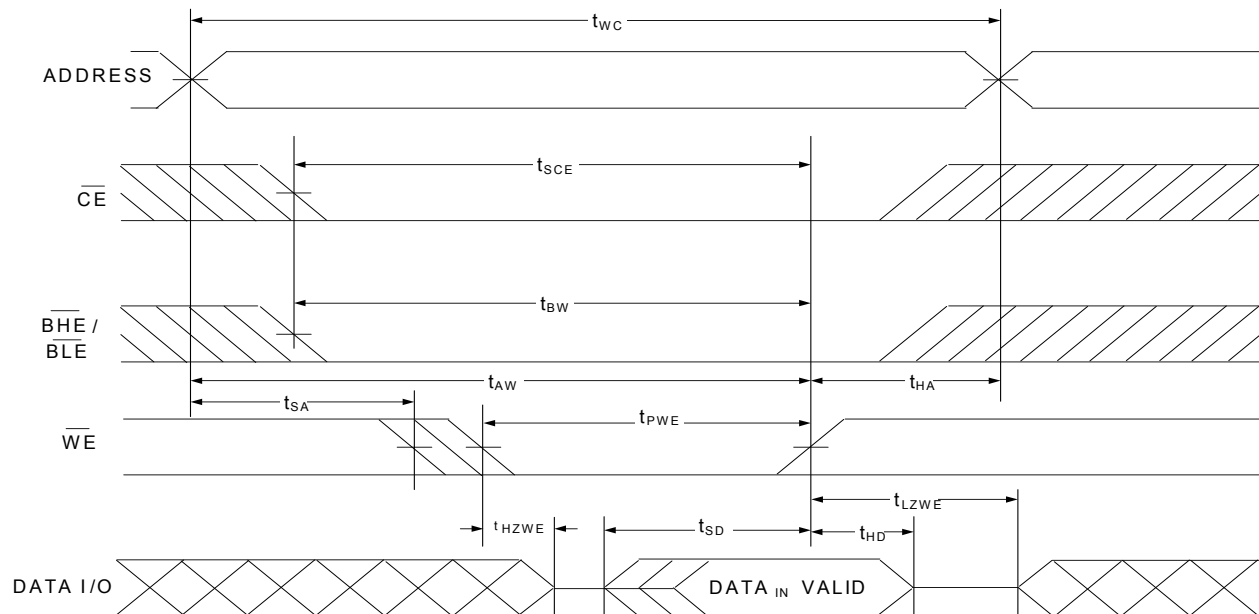


図 13. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) [27、28、29、30]



注:

27. 全てのデュアル チップ イネーブル デバイスに対応して \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW、 CE_2 が HIGH の場合、 \overline{CE} は LOW; \overline{CE}_1 が HIGH または CE_2 が LOW の場合は、 CE は HIGH です。
28. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ と \overline{BHE} または $\overline{BLE} = V_{IL}$ のオーバーラップで定義されます。これらの信号は、書き込みを開始するために LOW である必要があり、これらいずれかの信号が HIGH へ遷移することで操作を終了することができます。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
29. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ 、または \overline{BHE} 、および/または $\overline{BLE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。
30. 最少の書き込みサイクルパルス幅は、 t_{SD} と t_{HZWE} の合計に等しいです。

スイッチング 波形 (続き)

図 14. 書き込みサイクル 3 ($\overline{\text{BLE}}$ 、または $\overline{\text{BHE}}$ 制御) [31、32、33]

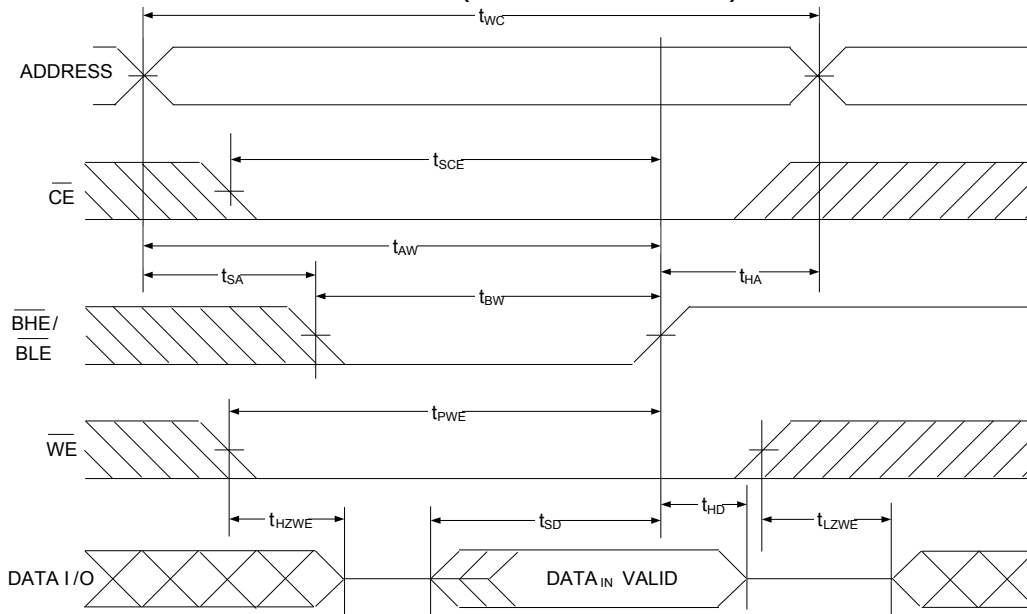
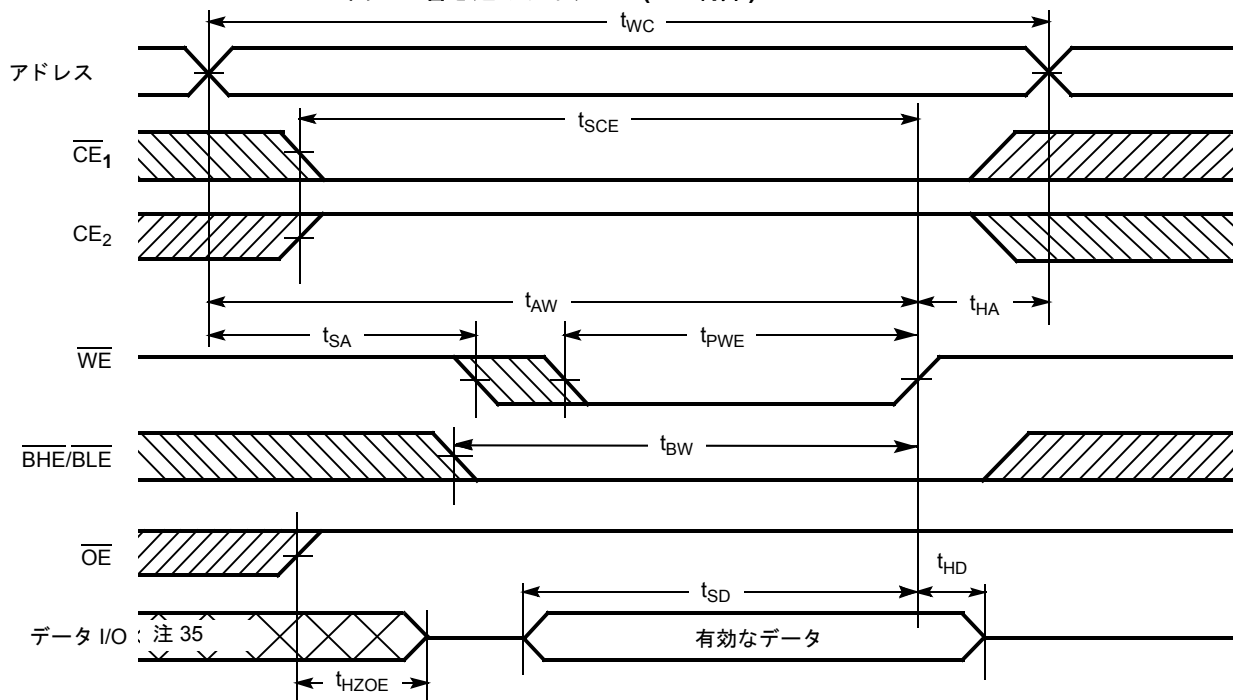


図 15. 書き込みサイクル 4 ($\overline{\text{WE}}$ 制御) [31、32、33、34]



注:

31. 全てのデュアル イネーブル デバイスの場合、 $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理的結合です。 $\overline{\text{CE}}_1$ が LOW、 CE_2 が HIGH の場合、 $\overline{\text{CE}}$ は LOW; $\overline{\text{CE}}_1$ が HIGH または CE_2 が LOW の場合は、 $\overline{\text{CE}}$ は HIGH です。
32. メモリの内部書き込み期間は $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}} = V_{\text{IL}}$ と $\overline{\text{BHE}}$ または $\overline{\text{BLE}} = V_{\text{IL}}$ のオーバーラップで定義されます。これらの信号は、書き込みを開始するために LOW である必要があり、これらいずれかの信号が HIGH へ遷移することで操作を終了することができます。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
33. $\overline{\text{CE}} = V_{\text{IH}}$ 、または $\text{OE} = V_{\text{IH}}$ 、または BHE 、および/または $\text{BLE} = V_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。
34. $\text{OE} = V_{\text{IH}}$ の場合データ I/O はハイ インピーダンス状態にあります。
35. この期間中、I/O は出力状態にあります。入力信号を印加しないでください。

真理値表

CE ^[36]	OE	WE	BLE	BHE	I/O ₀ -I/O ₇	I/O ₈ -I/O ₁₅	モード	電源
H	X ^[37]	X ^[37]	X ^[37]	X ^[37]	HI-Z	HI-Z	電源切断	スタンバイ (I _{SB})
L	L	H	L	L	データ出力	データ出力	全ビット読み出し	アクティブ (I _{CC})
L	L	H	L	H	データ出力	HI-Z	下位ビットのみの読み出し	アクティブ (I _{CC})
L	L	H	H	L	HI-Z	データ出力	上位ビットのみの読み出し	アクティブ (I _{CC})
L	X	L	L	L	データ入力	データ入力	全ビット書き込み	アクティブ (I _{CC})
L	X	L	L	H	データ入力	HI-Z	下位ビットのみの書き込み	アクティブ (I _{CC})
L	X	L	H	L	HI-Z	データ入力	上位ビットのみの書き込み	アクティブ (I _{CC})
L	H	H	X	X	HI-Z	HI-Z	デバイスが選択され、出力が無効	アクティブ (I _{CC})

ERR 出力 – CY7C1041GE

出力 ^[38]	モード
0	読み出し動作、保存データにはシングルビットエラーなし
1	読み出し動作、シングルビット エラーが検出され、訂正済み
HI-Z	デバイスが選択解除／出力が無効／書き込み動作

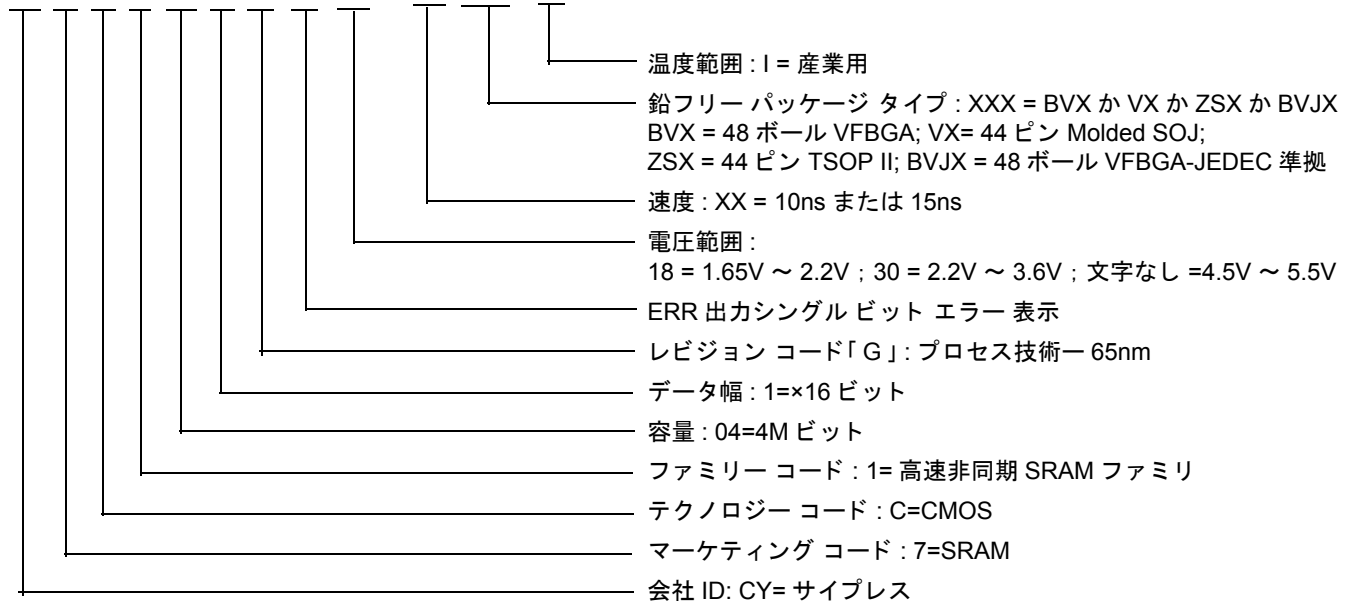
注：
 36. 全てのデュアルチップ イネーブル デバイスに対応して \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が、LOW である時、 CE_2 が HIGH で、 \overline{CE} が LOW ; \overline{CE}_1 は HIGH 又は CE_2 は LOW になる時、 \overline{CE} が HIGH です。
 37. これらのピンの入力電圧レベルは V_{IH} または V_{IL} でなければなりません。
 38. ERR は出力ピンです。使用しない場合、このピンはフローティング状態のままにしてください。

オーダー情報

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージタイプ (すべて鉛フリー)	動作範囲
10	2.2V ~ 3.6V	CY7C1041GE30-10ZSXI	51-85087	44ピン TSOP II、ERR 出力	産業用
		CY7C1041G30-10ZSXI	51-85087	44ピン TSOP II	
		CY7C1041GE30-10BVXI	51-85150	48ボール VFBGA (6 × 8 × 1.0mm)、ERR 出力	
		CY7C1041G30-10BVXI	51-85150	48ボール VFBGA (6 × 8 × 1.0mm)	
		CY7C1041G30-10BVJXI	51-85150	48ボール VFBGA (6 × 8 × 1.0mm)、JEDEC	
		CY7C1041G30-10VXI	51-85082	44ピン SOJ (400 ミル)	
		CY7C1041GE30-10VXI	51-85082	44ピン SOJ (400 ミル)、ERR 出力	
	4.5V ~ 5.5V	CY7C1041G-10ZSXI	51-85087	44ピン TSOP II	
		CY7C1041GE-10ZSXI	51-85087	44ピン TSOP II、ERR 出力	
		CY7C1041GE-10VXI	51-85082	44ピン SOJ (400 ミル)、ERR 出力	
CY7C1041G-10VXI		51-85082	44ピン SOJ (400 ミル)		
15	1.65V ~ 2.2V	CY7C1041G18-15ZSXI	51-85087	44ピン TSOP II	
		CY7C1041G18-15VXI	51-85082	44ピン SOJ (400 ミル)	
		CY7C1041G18-15BVXI	51-85150	48ボール VFBGA (6 × 8 × 1.0mm)	

注文コードの定義

CY 7 C 1 04 1 G E XX - XX XXX I



パッケージ図

図 16. 44 ピン TSOP II (Z44) パッケージ外形図、51-85087

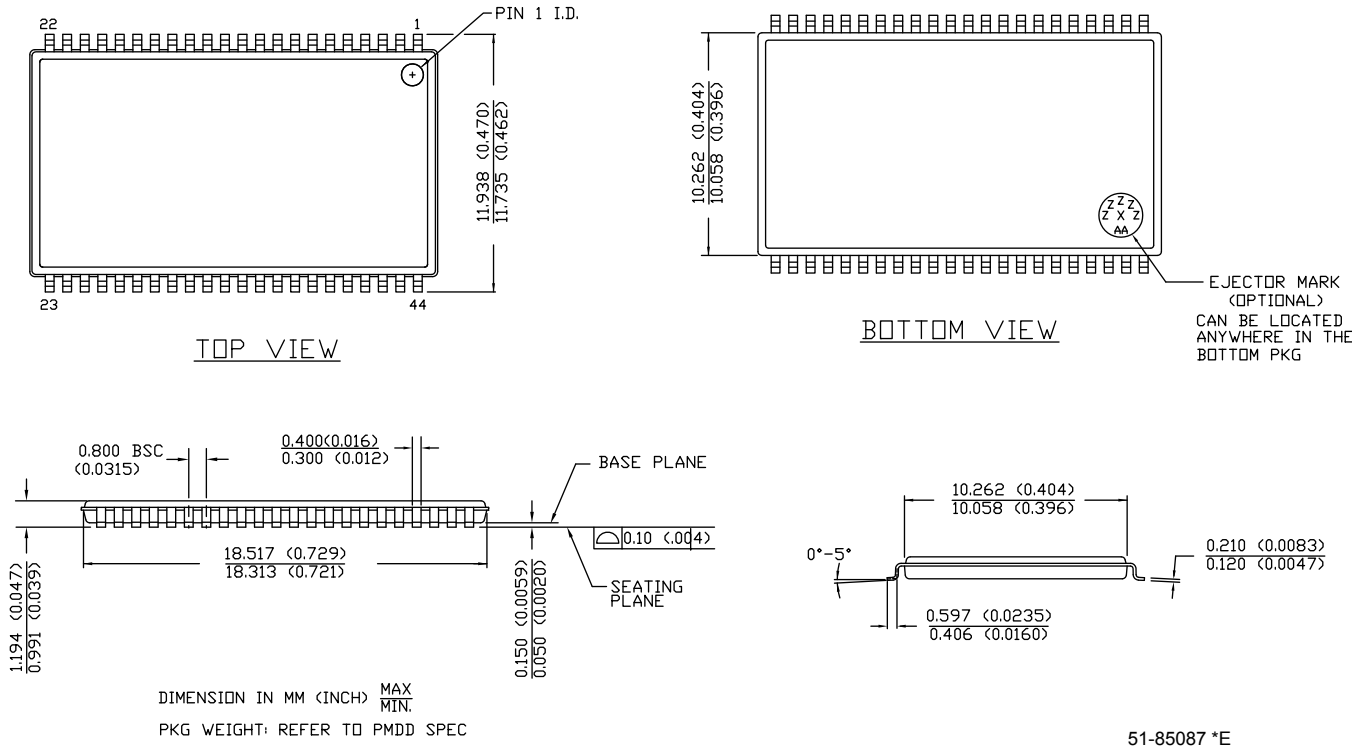
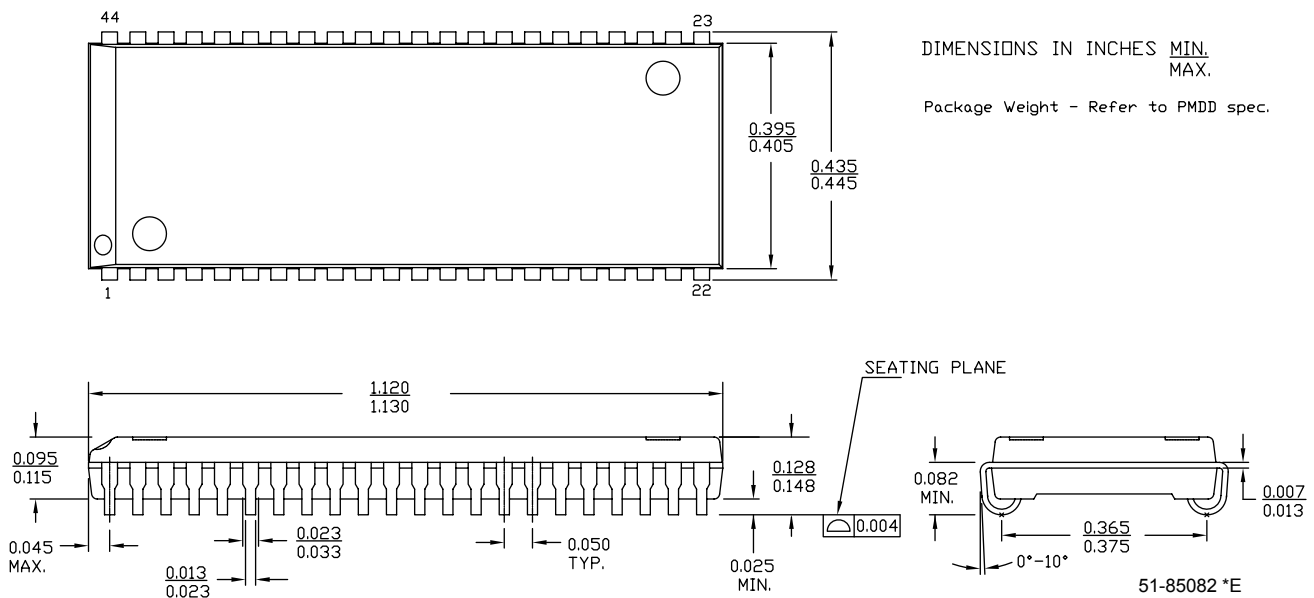
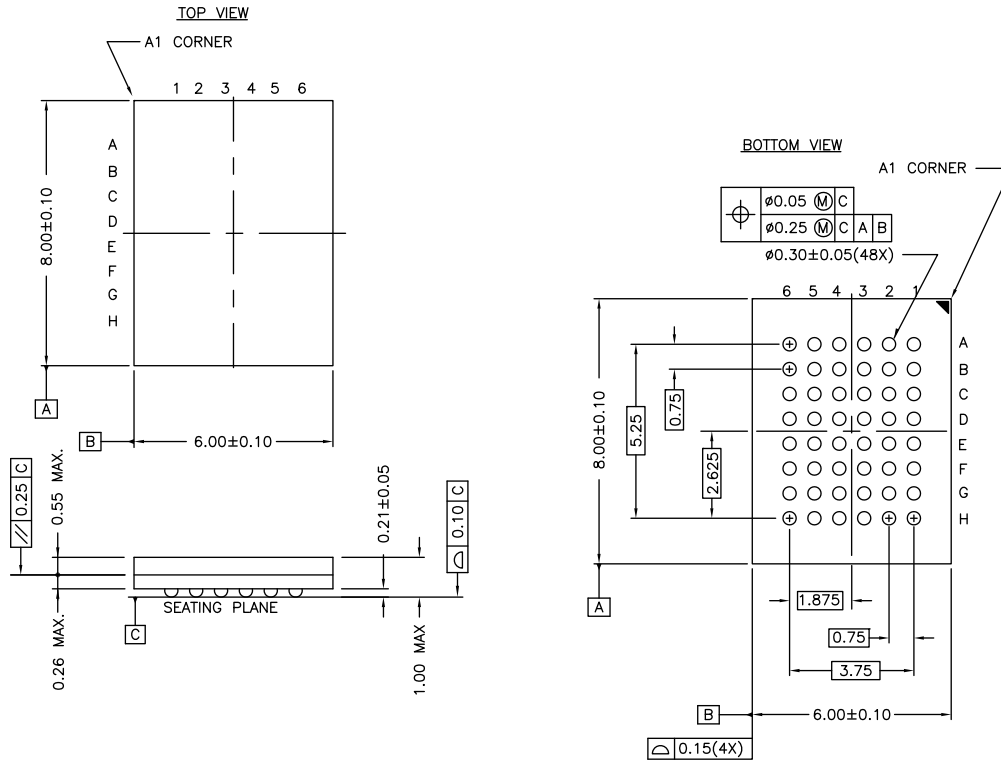


図 17. 44 ピン SOJ (400Mil) パッケージ外形図、51-85082



パッケージ図 (続き)

図 18. 48 ボール VFBGA (6 × 8 × 1.0mm) BV48/BZ48 パッケージ外形図、51-85150



NOTE:
PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web.

51-85150 *H

略語

略語	説明
BHE	バイト High イネーブル
$\overline{\text{BLE}}$	バイト Low イネーブル
$\overline{\text{CE}}$	チップ イネーブル
CMOS	相補型金属酸化膜半導体
I/O	入力/出力
$\overline{\text{OE}}$	出力イネーブル
SRAM	スタティック ランダム アクセス メモリ
TSOP	小型薄型パッケージ
TTL	トランジスタ-トランジスタ ロジック
VFBGA	超ファインピッチ ボール グリッド アレイ
$\overline{\text{WE}}$	書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1041G / CY7C1041GE、エラー訂正コード (ECC) 内蔵 4M ビット (256K ワード ×16 ビット) スタティック RAM
文書番号 : 001-96522

版	ECN 番号	変更者	発行日	変更内容
**	4669813	HZEN	03/26/2015	これは英語版 001-91368 Rev. *C を翻訳した日本語版 001-96522 Rev. ** です。
*A	4908502	SSAS	09/07/2015	これは英語版 001-91368 Rev. *G を翻訳した日本語版 001-96522 Rev. *A です。
*B	5154142	HZEN	03/02/2016	これは英語版 001-91368 Rev. *I を翻訳した日本語版 001-96522 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2014-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。