

## 概要説明

EZ-PD™ CCG2 は最新の USB Type-C と PD 規格に準拠した USB Type-C コントローラーです。EZ-PD CCG2 は、パッシブ ケーブル、アクティブ ケーブルと電源供給されるアクセサリの完全な USB Type-C と USB 電源供給ポート制御ソリューションを提供します。これはまた、多くのアップストリームおよびダウンストリーム対向ポートのアプリケーションにも使用することができます。EZ-PD CCG2 は、32KB フラッシュ メモリを内蔵した、32 ビットで 48MHz ARM® Cortex®-M0 プロセッサにサイプレス独自の MOS8 技術を採用して、R<sub>p</sub>、R<sub>D</sub>、R<sub>A</sub> という Type-C 終了抵抗を含む完全な Type-C トランシーバーも統合します。

## アプリケーション

- USB Type-C EMCA ケーブル
- USB Type-C 電源供給アクセサリ
- USB Type-C アップストリーム対向ポート
- USB Type-C ダウンストリーム対向ポート

## 特長

### 32 ビット MCU サブシステム

- 48MHz ARM Cortex-M0 CPU
- 32KB フラッシュ
- 4KB SRAM
- システム内で再プログラム可能

### 統合デジタルブロック

- USB-PD プロトコルが必要とする応答時間の要件を満たすために統合されたタイマーとカウンタ
- 再コンフィギュレーション可能な I<sup>2</sup>C や SPI、UART 機能を備えた、実行時に再コンフィギュレーションできるシリアル通信ブロック (SCB)

### クロックと発振器

- 発振器を内蔵、外部クロックを不要にする

## 論理ブロック図

## Type-C サポート

- 内蔵トランシーバー (ベースバンド PHY)
- 内蔵 UFP (R<sub>D</sub>)、EMCA (R<sub>A</sub>) 終端抵抗、DFP 用の電流源 (R<sub>p</sub>)
- 1 個の USB Type-C ポートに対応

## 低消費電力動作

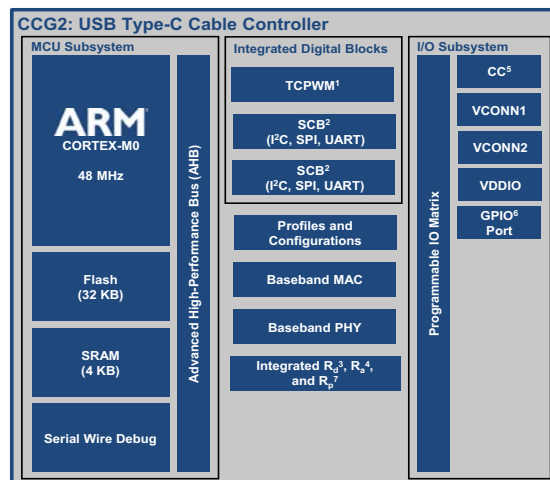
- 動作電圧 2.7V ~ 5.5V
- 互いに分離された 2 本の独立した VCONN レール
- I/O 上の 1.71V ~ 5.5V 信号方式を可能にする GPIO 用の独立した電源電圧ピン
- リセット : 1.0μA、ディープスリープ : 2.5μA、スリープ : 2.0mA

## CC と VCONN ピン上のシステム レベル ESD

- IEC61000-4-2 レベル 4C による ±8kV 接触放電と ±15kV エアギャップ放電

## パッケージ

- 1.63mm × 2.03mm、20 ボール ウェハー レベル CSP (WLCSP)、0.4mm ボール ピッチ
- 2.5mm × 3.5mm × 0.6mm 14 ピン DFN
- 産業用温度範囲 (-40°C ~ +85°C)



<sup>1</sup> Timer, counter, pulse-width modulation block

<sup>2</sup> Serial communication block configurable as UART, SPI, or I<sup>2</sup>C

<sup>3</sup> Termination resistor denoting a UFP

<sup>4</sup> Termination resistor denoting an EMCA

<sup>5</sup> Configuration Channel

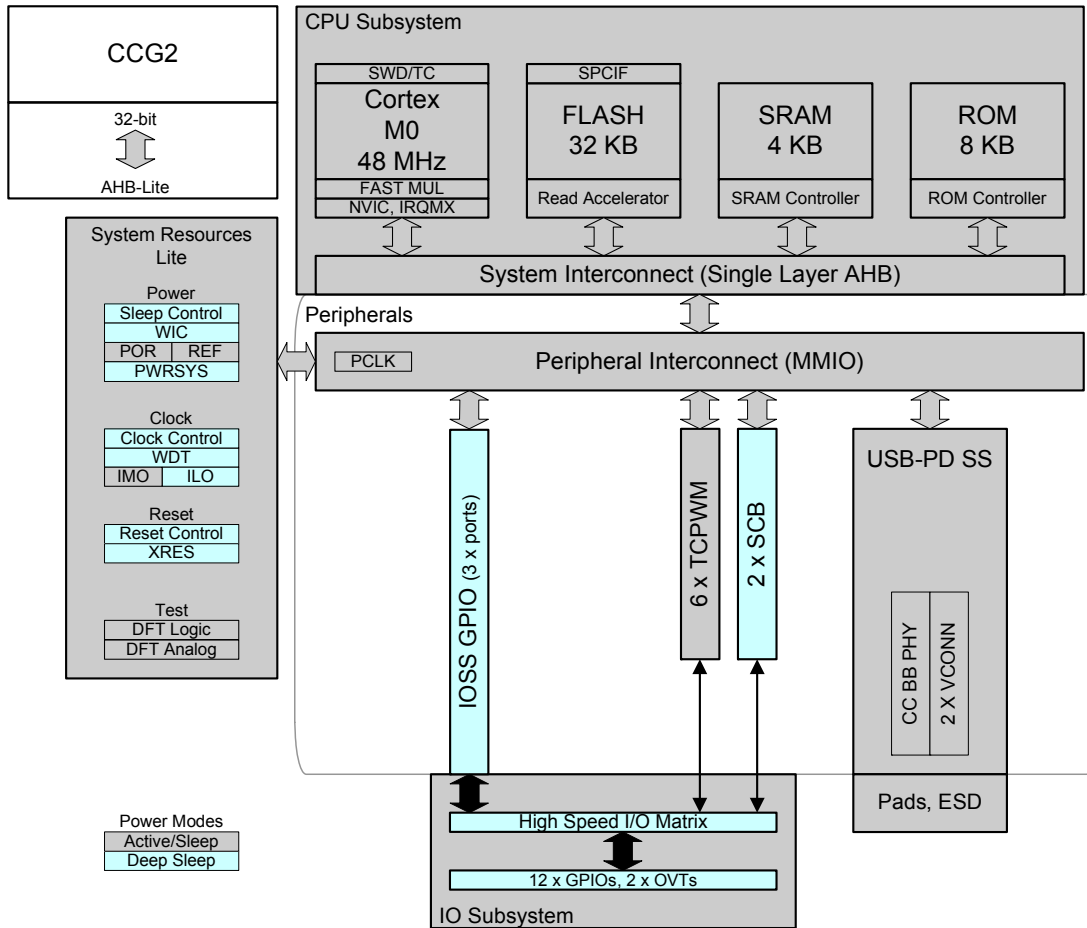
<sup>6</sup> General-purpose input/output

<sup>7</sup> Current Sources to indicate a DFP

## 目次

<b>機能の概要</b> .....	<b>3</b>	システム リソース .....	18
CPU およびメモリ サブシステム .....	3	<b>注文情報</b> .....	<b>21</b>
USB-PD サブシステム (SS) .....	4	注文コードの定義 .....	21
システム リソース .....	4	<b>パッケージ</b> .....	<b>22</b>
ペリフェラル .....	5	<b>略語</b> .....	<b>24</b>
GPIO .....	5	<b>本書の表記法</b> .....	<b>25</b>
<b>ピン配置</b> .....	<b>6</b>	測定単位 .....	25
<b>電源</b> .....	<b>8</b>	<b>改訂履歴</b> .....	<b>26</b>
<b>アプリケーション図</b> .....	<b>9</b>	<b>セールス、ソリューションおよび法律情報</b> .....	<b>27</b>
<b>電氣的仕様</b> .....	<b>13</b>	ワールドワイドな販売と設計サポート .....	27
絶対最大定格 .....	13	製品 .....	27
デバイス レベルの仕様 .....	13	PSoC® ソリューション .....	27
デジタル ペリフェラル .....	16	サイプレス開発者コミュニティ .....	27
メモリ .....	18	テクニカル サポート .....	27

図 1. EZ-PD CCG2 ブロック図



## 機能の概要

### CPU およびメモリ サブシステム

#### CPU

EZ-PD CCG2 内の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットを実行します。これにより、Cortex-M3 と M4 などより高性能プロセッサへのバイナリコードの完全互換と前方移行が可能になるため、前方互換が可能になります。サイプレスによる実装は、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含んでいます。これは、32 の割り込み入力を持つネスト型ベクタ割り込みコントローラー (NVIC) ブロックおよびウェイクアップ割り込みコントローラー (WIC) を含んでいます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにある時にメインプロセッサへの電源を切ることができます。Cortex-M0 CPU はマスク不可能割り込み (NMI) 入力を提供しています。これは、ユーザーが要求したシステム機能用には使用されていない時、ユーザーによって使用できます。

また、CPU は 2 線式の JTAG であるシリアルワイヤデバッグ (SWD) インターフェースも備えています。EZ-PD CCG2 に使用するデバッグコンフィギュレーションには、4 個のブレイクポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

#### フラッシュメモリ

EZ-PD CCG2 デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU に密結合された、フラッシュアクセラレータを備えたフラッシュモジュールを内蔵しています。フラッシュブロックは、48MHz では 1 ウェイトステート (WS) アクセス時間、24MHz では 0 WS アクセス時間に対応しています。フラッシュアクセラレータはシングルサイクル SRAM のアクセス性能の平均 85% を達成します。必要に応じて、EEPROM 動作をエミュレートするためにフラッシュモジュールの一部を使用することができます。

#### SRAM

ブートおよびコンフィギュレーションルーチンを格納する監視 ROM が提供されています。

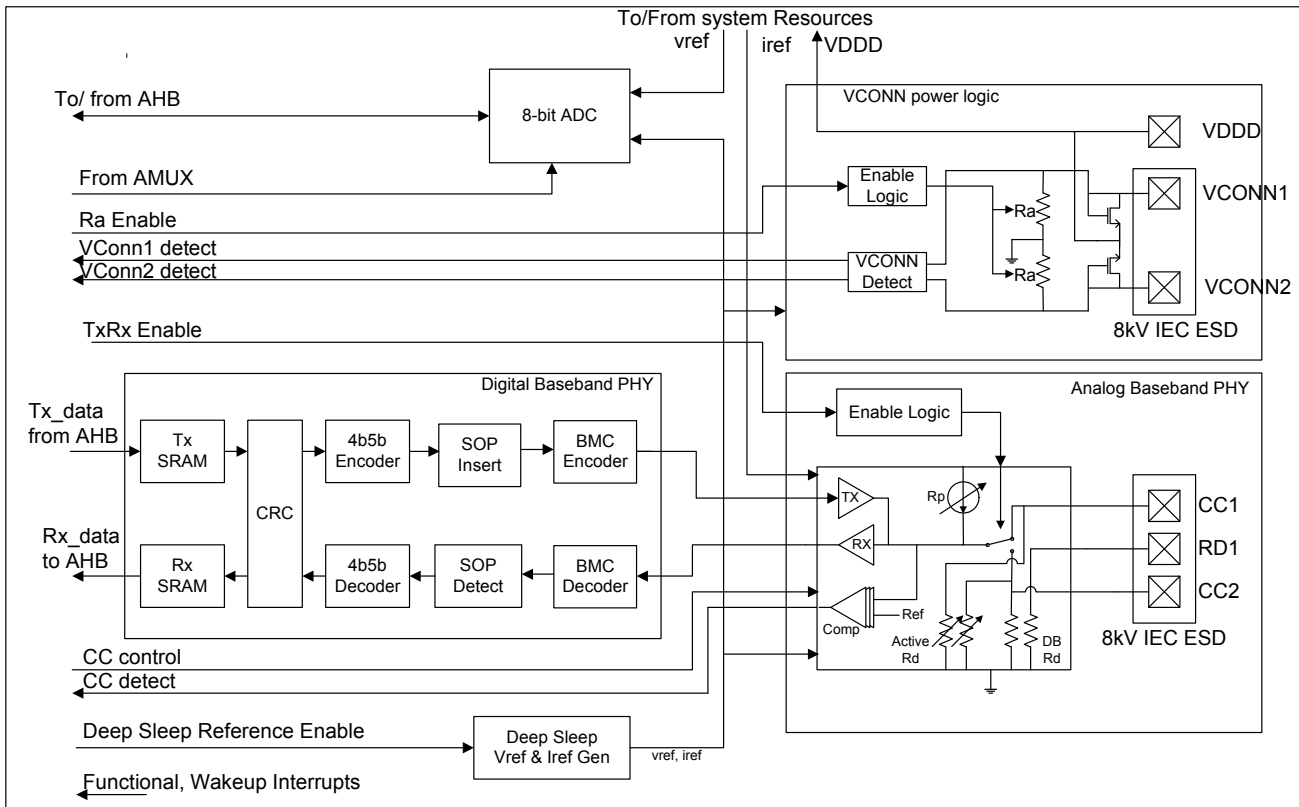
## USB-PD サブシステム (SS)

EZ-PD CCG2 は、USB Type-C ベースバンド トランシーバーと物理層ロジックで構成された USB-PD サブシステムを内蔵しています。このトランシーバーは BMC や 4b/5b 符号化と復号化関数を実行し、1.2V フロントエンドを備えています。このサブシステムは、EZ-PD CCG2 ソリューションの役割を確定するために必要な終端抵抗を統合しています。R<sub>A</sub> は、EZ-PD CCG2 をアクセサリまたは電氣的にマークされたケーブルと確定します。R<sub>D</sub> は、EZ-PD CCG2 をハイブリッド ケーブルやドングル内の UFP と確定します。DFP にコンフィギュレーションされた場合、搭載電流源は R<sub>P</sub> またはプルアップ抵抗の役割を果たします。これらの電流源は、Type-C で定義された電流容量の全範囲を指定するようプログラムすることができます。EZ-PD CCG2 はすべての USB-PD 通信に応答します。EZ-PD CCG2 の

USB-PD サブシステムは SOP、SOP'、SOP" メッセージに応答するようプログラムすることができます。

USB-PD サブシステムは、アナログ - デジタル変換用の 8 ビット SAR (逐次比較レジスタ) ADC を含んでいます。ADC には 8 ビット DAC およびコンパレータがあります。DAC 出力はコンパレータの正の入力となります。コンパレータの負の入力は 4 入力マルチプレクサから派生します。マルチプレクサの 4 入力は、一対のグローバル アナログ マルチプレクサ バス、内部バンドギャップ電圧、および絶対温度に比例する内部電圧です。すべての GPIO 入力は、ADC 用に GPIO がマルチプレクサ バスに接続するようにするその GPIO に付いたスイッチを介して、グローバル アナログ マルチプレクサ バスに接続できます。CC1、CC2 および RD1 ピンはマルチプレクサ バスに接続することができません。

図 2. USB-PD サブシステム



## システム リソース

### 電源システム

電源システムは 8 ページの電源の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルに達するまでモードへの移行を遅延させる (例えば、パワー オン リセット (POR) の時)、またはリセット (電圧低下検出 (BOD)) が割り込み (低電圧検出 (LVD)) を生成します。EZ-PD CCG2 は 2.7 ~ 5.5V の範囲で 3 つの異なる電源から動作でき、3 つの電力モードがあります。これらの電力モード間の遷移は電源システムで管理されます。EZ-PD CCG2 はスリープおよびディープスリープの低消費電力モードに対応しています。

### クロック システム

EZ-PD CCG2 のクロック システムは内蔵主発振器 (IMO) および内部低消費電力発振器 (ILO) からなります。

## ペリフェラル

### シリアル通信ブロック (SCB)

EZ-PD CCG2 は、I<sup>2</sup>C、SPI または UART インターフェースを実装するようコンフィギュレーションできる 2 個の SCB を内蔵しています。ハードウェア I<sup>2</sup>C ブロックは、マルチマスターのアービトレーションが可能な、完全マルチマスターとスレーブ インターフェースを実装します。SPI モードでは、SCB ブロックはマスターかスレーブとして機能するようコンフィギュレーションできます。

I<sup>2</sup>C モードでは、SCB ブロックは最大 1Mbps (ファースト モード プラス) で動作でき、CPU の割り込みオーバーヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。これらのブロックはまた、EZ-PD CCG2 のメモリでメールボックス アドレス範囲を作る I<sup>2</sup>C に対応しており、メモリ アレイへの読み書きの I<sup>2</sup>C 通信を効果的に削減します。更に、これらのブロックは送受信の深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す一定の時間を増加することで、時間通りに読み出しデータがないことに起因したクロック ストレッチの必要性を大幅に低減します。

I<sup>2</sup>C ペリフェラルは、NXP I<sup>2</sup>C バス仕様とユーザー マニュアル (UM10204) で定義されたように I<sup>2</sup>C 標準モード、ファーストモード、ファースト モード プラスのデバイスと互換性があります。I<sup>2</sup>C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

以下の点では、EZ-PD CCG2 内の SCB 1 ブロックの I<sup>2</sup>C ポートは I<sup>2</sup>C 仕様に完全に準拠していません。

- SCB1 の I<sup>2</sup>C ポートの GPIO セルは過電圧耐性がないため、I<sup>2</sup>C システムの残りの部分から独立してホットスワップするか、電源を投入することができません。
- ファースト モード プラスは、0.4V の V<sub>OL</sub> で 20mA の I<sub>OL</sub> 仕様があります。GPIO セルは、最大 0.6V の V<sub>OL</sub> で最大 8mA の I<sub>OL</sub> を吸い込むことができます。
- ファースト モードとファースト モード プラスは、GPIO セルで満たせない最小立ち下がり時間を指定しています。低速ストロング モードは、バス負荷によってこの仕様を満たすことがあります。

### タイマー/カウンター/PMW ブロック (TCPWM)

EZ-PD CCG2 は TCPWM ブロックが 6 つあります。それぞれは 16 ビットのタイマー、カウンター、パルス幅変調器 (PWM) と直交デコーダ機能を実装しています。各ブロックは、入力信号 (タイマー) の周期とパルス幅を測定し、特定のイベントの発生回数を調べ (カウンター)、PWM 信号を生成し、または直交信号をデコードすることができます。

## GPIO

EZ-PD CCG2 は、GPIO として使用可能な I<sup>2</sup>C と SWD ピンの他には、最大 10 の GPIO を備えています。SCB 0 からの I<sup>2</sup>C ピンは過電圧耐性があります。備えている GPIO 数はパッケージによって異なります。GPIO ブロックは以下のものを実装します。

- 7 つの駆動能力モード：
  - 入力のみ
  - 弱プルアップ、強プルダウン
  - 強プルアップ、弱プルダウン
  - オープンドレイン、強プルダウン
  - オープンドレイン、強プルアップ
  - 強プルアップ、強プルダウン
  - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS または LVTTTL)
- 駆動能力モード以外に、入力と出力バッファのイネーブル/ディスエーブルの個別制御
- 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するため)
- EMI を改善するための dV/dt 関連のノイズ制御用に選択可能なスルーレート

電源投入とリセットの時、入力への過電圧を防ぐため、および/または電源投入時に過電流を発生させないために、I/O ピンは無効状態に移行させられます。高速 I/O マトリックスとして知られている多重化ネットワークは、I/O ピンに接続できる複数の信号間を多重化するのに使用されます。

**ピン配置**

グループ	ピン名	ピンマップ 24-QFN	ボール位置 20-CSP	ピンマップ 14-DFN	説明
USB Type-C ポート	CC1	2	B4	3	USB PDコネクタ検出/コンフィギュレーションチャネル1
	CC2	1	A4	N/A	USB PDコネクタ検出/コンフィギュレーションチャネル2
	RD1	3	B3	N/A	CC1 専用の Rd 抵抗ピン ケーブルアプリケーションでは開放のままにし、UFP またはデッド バッテリーを伴う (外部から電源供給を必要とする) DFP のアプリケーションでは CC1 信号と一緒に接続することが必要
GPIO および シリアル イン ターフェース	GPIO	22	C3	N/A	GPIO / SPI_0_CLK / UART_0_RX
	GPIO	18	D3	13	GPIO / SPI_0_MOSI / UART_0_TX
	GPIO	13	C2	10	GPIO / I2C_1_SDA / SPI_1_MISO / UART_1_RX
	GPIO	10	D2	N/A	GPIO / I2C_1_SCL / SPI_1_CLK / UART_1_TX
	GPIO	15	B2	11	GPIO / SPI_1_SEL / UART_1_RTS
	GPIO	14	N/A	N/A	GPIO
	GPIO	17	N/A	N/A	GPIO
	GPIO	21	N/A	N/A	GPIO
	GPIO	23	N/A	N/A	GPIO
	GPIO	24	N/A	N/A	GPIO
	I2C_0_SCL	20	A3	1	GPIO / I2C_0_SCL / SPI_0_MISO / UART_0_RTS
	I2C_0_SDA	19	A2	14	GPIO / I2C_0_SDA / SPI_0_SEL / UART_0_CTS
	SWD_IO	11	E2	8	SWD IO / GPIO / UART_1_CTS / SPI_1_MOSI
	SWD_CLK	12	D1	9	SWD クロック / GPIO
	リセット	XRES	16	B1	12
電源	VCONN1	5	E4	5	VCONN 1 入力 (4.0V ~ 5.5V)
	VCONN2	4	C4	4	VCONN 2 入力 (4.0V ~ 5.5V)
	VDDIO	8	E1	N/A	I/O 用の 1.71V ~ 5.5V 電源
	VCCD	7	A1	6	フィルター コンデンサ用の 1.8V レギュレータ出力
	VDDD	9	E3	7	VDDD 電源入力/出力 (2.7V ~ 5.5V)
	VDDD	6			VDDD 電源入力/出力 (2.7V ~ 5.5V)
	VSS	EPAD	N/A	EPAD	グラウンド電源
	VSS		D4	2	グラウンド電源
VSS	C1		グラウンド電源		





## 電源

以下の電源システム図は EZ-PD CCG2 に実装されている電源ピンの一式を示します。

EZ-PD CCG2 は 3 つの異なる電源から動作できます。VCONN1 と VCONN2 ピンは、ケーブルの Type-C プラグで VCONN ピンへの接続、または VCONN 電源を使用するアクセスサリとして使用することができます。それぞれの入力は 4.0V ~ 5.5V で動作に対応しています。VCONN1 と VCONN2 ピンは内部的に分離されており、同時に異なるレベルにあることが可能です。CCG2 は、VCONN ピンの 1 本または両方が電源として使用する EMCA アプリケーションで使用することができます。これは後でアプリケーションについての節の図に示されます。電源入力として使用される他、各 VCONN は EMCA と VCONN 電源を使用するアクセスサリに必要とされる RA 終了抵抗にも内部で接続します。

EZ-PD CCG2 は VDDD 電源ピンから動作する時、2.7V ~ 5.5V で動作にも対応しています。VCONN 電源を使用するアクセスサリ アプリケーションでは CCG2 が 2.7V で動作する必要があります。そのようなアプリケーションでは、VDDD と VCONN ピンはアクセスサリ内の Type-C プラグの VCONN ピンに接続する必要があります。

UFP、DFP と DRP アプリケーションでは、CCG2 は VDDD の唯一の電源入力から動作することができます。そのようなアプリケーションでは、VCONN ピンは開放の状態にされます。DFP アプリケーションでは、最大 2.7V の断続検出閾値を対応するために、CCG2 が動作できる最低の VDDD レベルは 3.0V です。

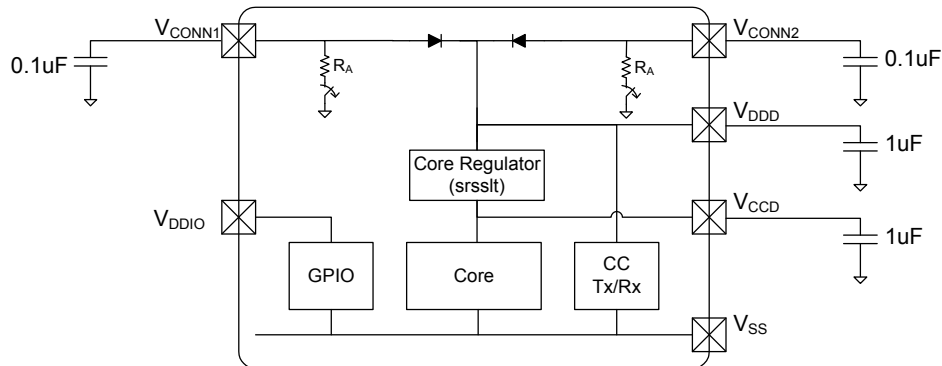
個別の I/O 電源ピンである VDDIO は、GPIO が 1.71V ~ 5.5V のレベルで動作できるようにします。VDDIO ピンは VCONN1、VCONN2 および VDDD ピンに接続した電圧に等しいか、それより小さいです。個別の VDDIO 電源は 14-DFN パッケージで使用できません。このパッケージでは、VDDIO レールは内部的に VDDD レールに接続します。

EZ-PD CCG2 の VCCD 出力は外付けバイパス コンデンサ (1 ~ 1.6μF ; X5R セラミックまたはこれより良質のもの) を介してグラウンドに接続する必要があります。

バイパス コンデンサは VDDD、VCONN ピンとグラウンド間を接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、0.1μF コンデンサを使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために設計の際には PCB レイアウト、リードインダクタンス、寄生バイパス キャパシタをシミュレーションする必要があることに注意してください。

図 6 には電源のバイパス コンデンサの一例を示します。

図 6. EZ-PD CCG2 の電源とバイパス スキーム例





アプリケーション図

図 7. パッシブ EMCA アプリケーション - ケーブルごとに単一の EZ-PD CCG2

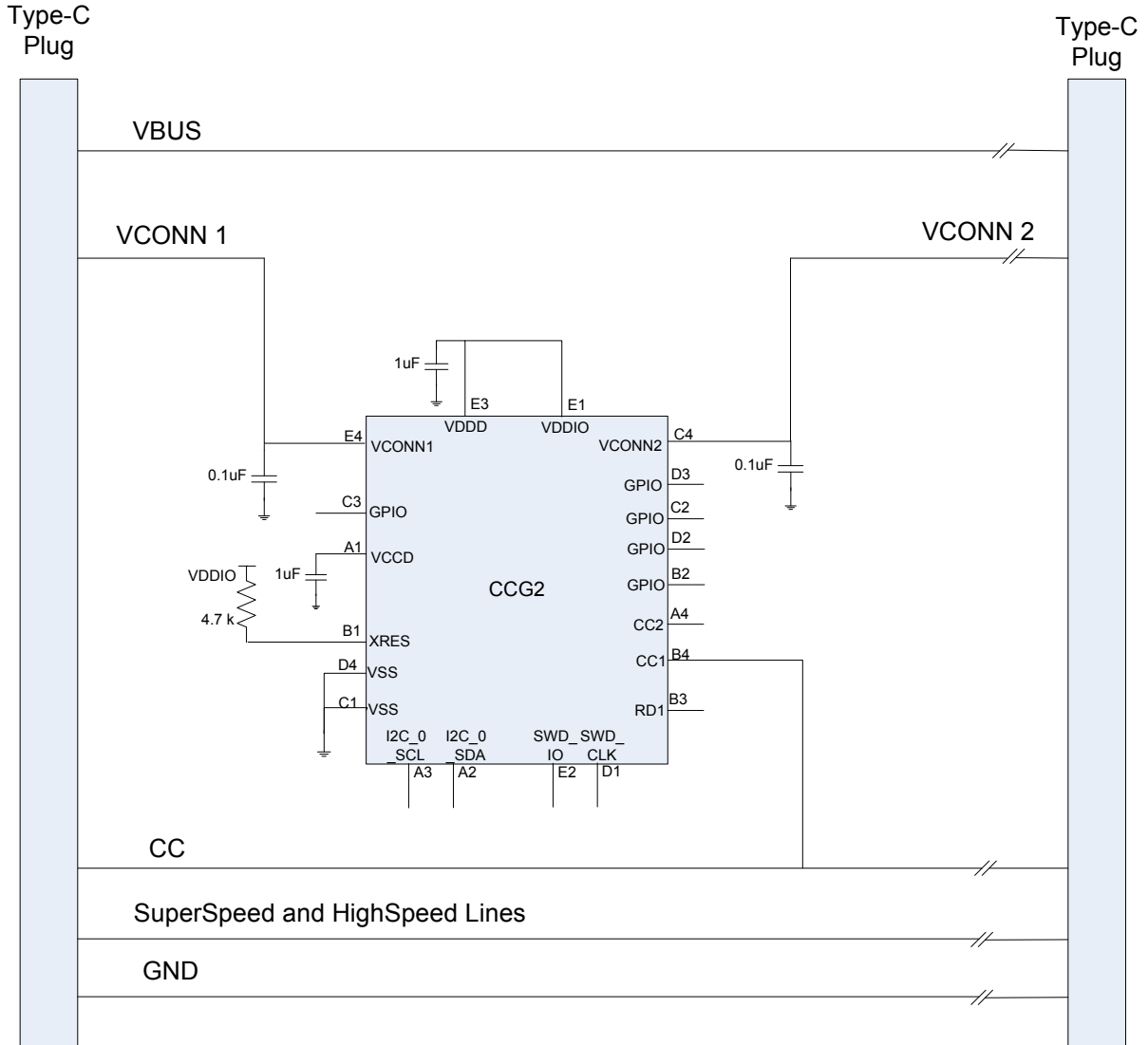


図 8. パッシブ EMCA アプリケーション – プラグごとに単一の EZ-PD CCG2

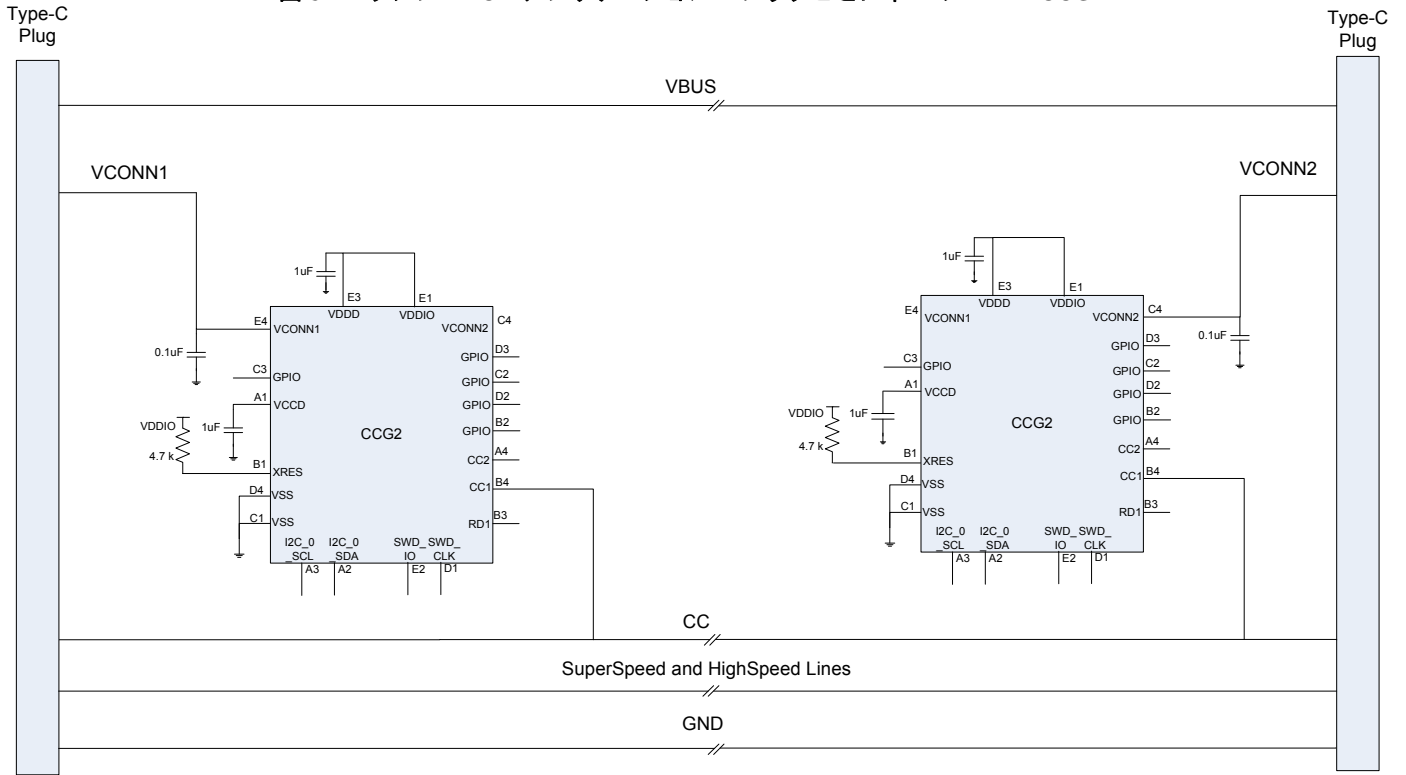


図 9. アップストリーム対向ポート (UFP) アプリケーション – Type-C ポート搭載のタブレット

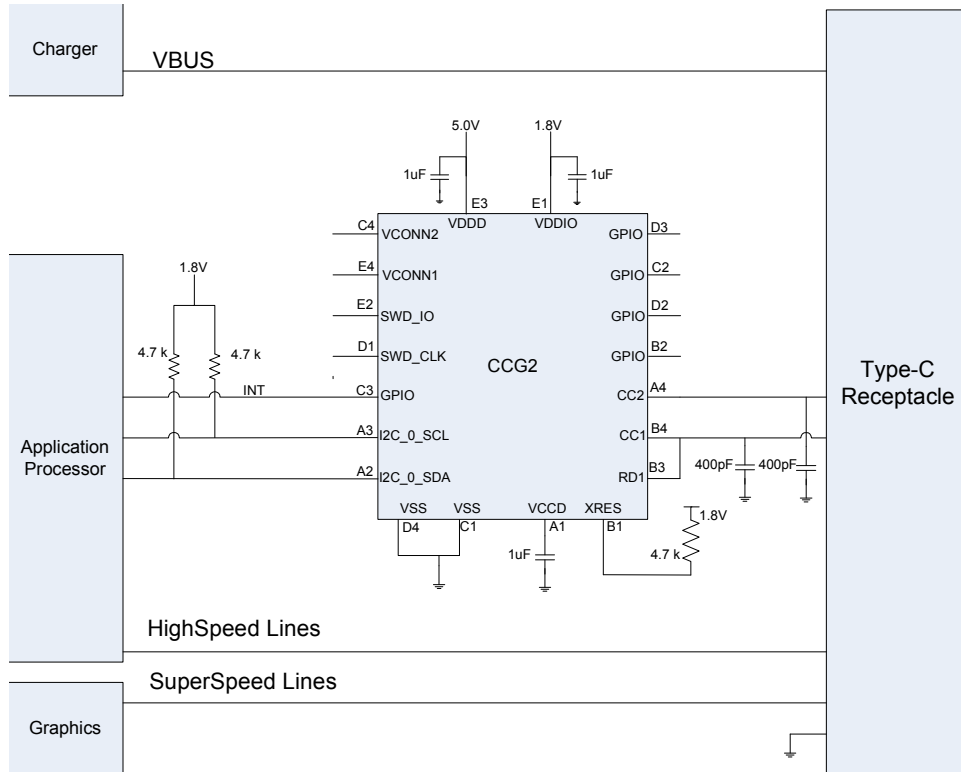


図 10. デュアル ロール ポート (DRP) アプリケーション

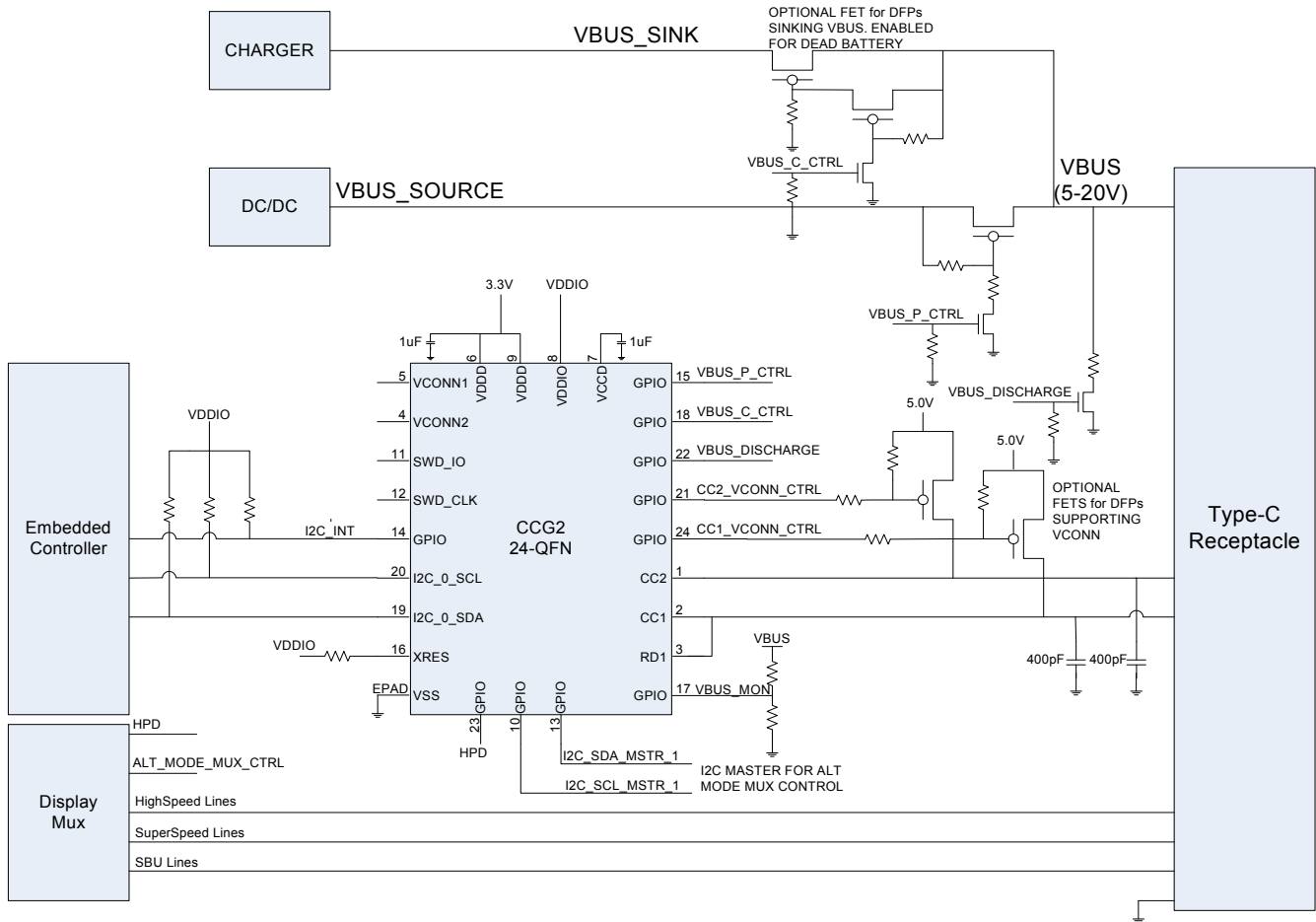
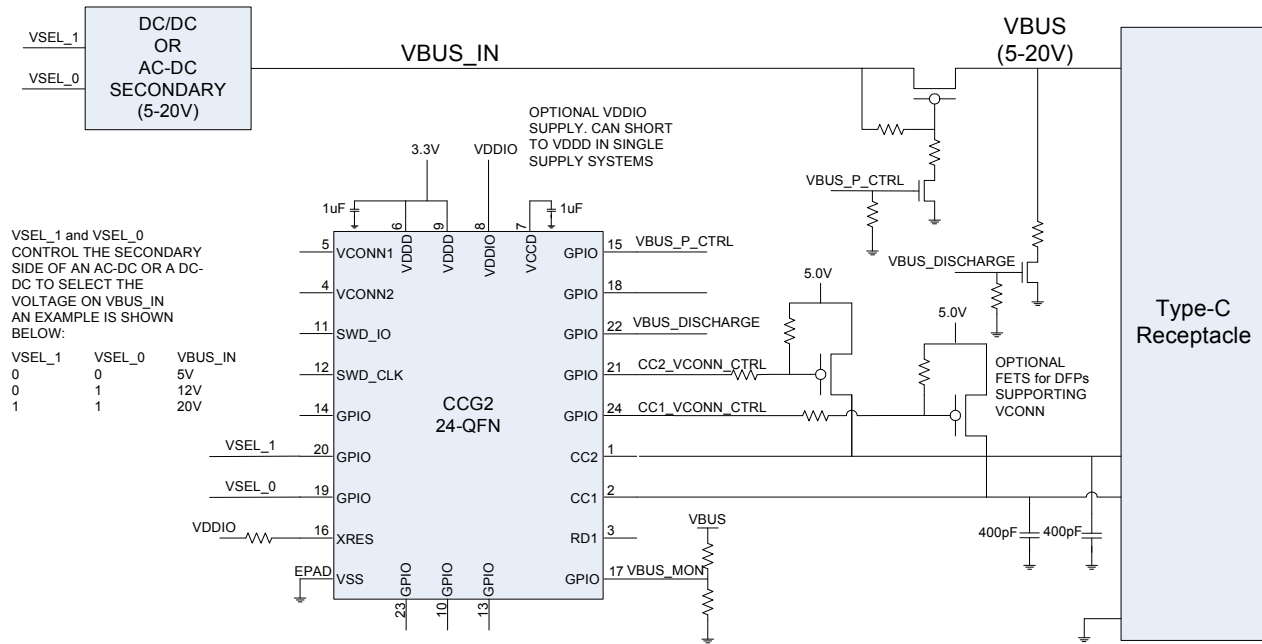


図 11. ダウンストリーム対向ポート (DFP) アプリケーション



## 電氣的仕様

### 絶対最大定格

**表 1. 絶対最大定格<sup>[1]</sup>**

パラメーター	説明	Min	Typ	Max	単位	詳細/条件
V <sub>DDD_MAX</sub>	V <sub>SS</sub> を基準としたデジタル電源電圧	-0.5	-	6	V	絶対最大値
V <sub>CONN1_MAX</sub>	V <sub>SS</sub> を基準にした最大電源電圧			6	V	絶対最大値
V <sub>CONN2_MAX</sub>	V <sub>SS</sub> を基準にした最大電源電圧			6	V	絶対最大値
V <sub>DDIO_MAX</sub>	V <sub>SS</sub> を基準にした最大電源電圧			6	V	絶対最大値
V <sub>GPIO_ABS</sub>	GPIO 電圧	-0.5	-	V <sub>DDIO</sub> + 0.5	V	絶対最大値
I <sub>GPIO_ABS</sub>	GPIO 毎の最大電流	-25	-	25	mA	絶対最大値
I <sub>GPIO_injection</sub>	GPIO 注入電流、V <sub>IH</sub> > V <sub>DDD</sub> の場合は Max、V <sub>IL</sub> < V <sub>SS</sub> の場合は Min	-0.5	-	0.5	mA	絶対最大値、1 ピン当たりの注入された電流
ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-	V	-
LU	ラッチアップ時のピン電流	-200	-	200	mA	-
ESD_IEC_CON	静電気放電 IEC61000-4-2	8000	-	-	V	CC1、CC2、V <sub>CONN1</sub> 、V <sub>CONN2</sub> ピン上の接触放電
ESD_IEC_AIR	静電気放電 IEC61000-4-2	15000	-	-	V	CC1、CC2、V <sub>CONN1</sub> 、V <sub>CONN2</sub> ピンの空中放電

### デバイス レベルの仕様

特記されていない限り、すべての仕様は、-40°C ≤ TA ≤ 85°C および TJ ≤ 100°C の条件で有効です。仕様は、特に注記した場合を除いて、3.0V ~ 5.5V において有効です。

**表 2. DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.PWR#1	V <sub>DDD</sub>	電源入力電圧	2.7	-	5.5	V	UFP アプリケーション
SID.PWR#1_A	V <sub>DDD</sub>	電源入力電圧	3.0	-	5.5	V	DFP/DRP アプリケーション
SID.PWR#23	V <sub>CONN1</sub>	電源入力電圧	4.0	-	5.5	V	-
SID.PWR#23_A	V <sub>CONN2</sub>	電源入力電圧	4.0	-	5.5	V	-
SID.PWR#13	V <sub>DDIO</sub>	GPIO 電源	1.71	-	5.5	V	-
SID.PWR#24	V <sub>CCD</sub>	出力電圧 (コア ロジック用)	-	1.8	-	V	-
SID.PWR#15	C <sub>EFC</sub>	V <sub>CCD</sub> 上のレギュレータ電圧用の外付けバイパス コンデンサ	1	1.3	1.6	μF	X5R セラミックまたはこれより良質のもの
SID.PWR#16	C <sub>EXC</sub>	V <sub>DDD</sub> 上の電源デカップリング コンデンサ	-	1	-	μF	X5R セラミックまたはこれより良質のもの
SID.PWR#25	-	V <sub>CONN1</sub> と V <sub>CONN2</sub> 上の電源デカップリング コンデンサ	-	0.1	-	μF	X5R セラミックまたはこれより良質のもの

**アクティブ モード、V<sub>DDD</sub> = 2.7 ~ 5.5V。標準値は V<sub>DD</sub> = 3.3V での測定結果**

SID.PWR#12	I <sub>DD12</sub>	供給電流	-	7.5	-	mA	V <sub>CONN1</sub> または V <sub>CONN2</sub> = 5V、T <sub>A</sub> = 25°C、CC I/O IN 送信/受信、RA 切断、I/O ソース電流なし、CPU 速度 12MHz
------------	-------------------	------	---	-----	---	----	---

**注**

- 表 1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

**表 2. DC 仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
<b>スリープモード、<math>V_{DD} = 2.7 \sim 5.5V</math></b>							
SID25A	$I_{DD20A}$	I <sup>2</sup> C ウェイクアップ。ウォッチドッグがオン。IMO が 48MHz	-	2.0	3.0	mA	$V_{DDD} = 3.3V$ 、 $T_A = 25^\circ C$ 、CPU 以外のすべてのブロックがオン、CC I/O がオン、I/O ソース電流なし
<b>ディープスリープモード、<math>V_{DD} = 2.7 \sim 3.6V</math> (レギュレータがオン)</b>							
SID_DS_RA	$I_{DD\_DS\_RA}$	$V_{CONN1} = 5.0$ 、RA スイッチが有効	-	100	-	$\mu A$	$V_{CONN1}$ と $V_{CONN2}$ 上で RA スイッチが有効。 $V_{CONN} / V_{CONN2} = 5V$ 、 $T_A = 25^\circ C$
SID34	$I_{DD29}$	$V_{DDD} = 2.7 \sim 3.6V$ 。I <sup>2</sup> C ウェイクアップとウォッチドッグがオン	-	50	-	$\mu A$	$V_{CONN1}$ と $V_{CONN2}$ 上で RA スイッチが無効。 $V_{DDD} = 3.3V$ 、 $T_A = 25^\circ C$
SID_DS	$I_{DD\_DS}$	$V_{DDD} = 2.7 \sim 3.6V$ 。CC ウェイクアップがオン	-	2.5	-	$\mu A$	電源 = $V_{DDD}$ 、Type-C が差し込まず、ウェイクアップ用に CC が有効、 $R_P$ が無効
<b>XRES 電流</b>							
SID307	$I_{DD\_XR}$	XRES がアサートされている時の供給電流	-	1	10	$\mu A$	-

**表 3. AC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#4	$F_{CPU}$	CPU の周波数	DC	-	48	MHz	$3.0V \leq V_{DDD} \leq 5.5V$
SID.PWR#20	$T_{SLEEP}$	スリープモードからの復帰時間	-	0	-	$\mu s$	特性上保証
SID.PWR#21	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	-	-	35	$\mu s$	24MHz の IMO。特性上保証
SID.XRES#5	$T_{XRES}$	外部リセットパルス幅	5	-	-	$\mu s$	特性上保証
SYS.FES#1	$T_{PWR\_RDY}$	電源投入から「I <sup>2</sup> C / CC コマンドの受信が準備できる」まで	-	5	25	ms	特性上保証

I/O

**表 4. I/O の DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GIO#37	$V_{IH}^{[2]}$	入力電圧の HIGH 閾値	$0.7 \times V_{DDIO}$	-	-	V	CMOS 入力
SID.GIO#38	$V_{IL}$	入力電圧の LOW 閾値	-	-	$0.3 \times V_{DDIO}$	V	CMOS 入力
SID.GIO#39	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDIO} < 2.7V$	$0.7 \times V_{DDIO}$	-	-	V	-
SID.GIO#40	$V_{IL}$	LVTTL 入力、 $V_{DDIO} < 2.7V$	-	-	$0.3 \times V_{DDIO}$	V	-
SID.GIO#41	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDIO} \geq 2.7V$	2.0	-	-	V	-
SID.GIO#42	$V_{IL}$	LVTTL 入力、 $V_{DDIO} \geq 2.7V$	-	-	0.8	V	-
SID.GIO#33	$V_{OH}$	出力 HIGH 電圧	$V_{DDIO} - 0.6$	-	-	V	$V_{DDIO}$ が 3V 時の $I_{OH} = 4mA$
SID.GIO#34	$V_{OH}$	出力 HIGH 電圧	$V_{DDIO} - 0.5$	-	-	V	$V_{DDIO}$ が 1.8V 時の $I_{OH} = 1mA$
SID.GIO#35	$V_{OL}$	出力 LOW 電圧	-	-	0.6	V	$V_{DDIO}$ が 1.8V 時の $I_{OL} = 4mA$

注

2.  $V_{IH}$  は  $V_{DDIO} + 0.2V$  を超えてはいけません。

**表 4. I/O の DC 仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GIO#36	V <sub>OL</sub>	出力 LOW 電圧	–	–	0.6	V	V <sub>DDIO</sub> が 3V 時の I <sub>OL</sub> = 8mA
SID.GIO#5	R <sub>PULLUP</sub>	プルアップ抵抗	3.5	5.6	8.5	kΩ	–
SID.GIO#6	R <sub>PULLDOWN</sub>	プルダウン抵抗	3.5	5.6	8.5	kΩ	–
SID.GIO#16	I <sub>IL</sub>	入力リーク電流 ( 絶対値 )	–	–	2	nA	25°C、V <sub>DDIO</sub> = 3.0V
SID.GIO#17	C <sub>IN</sub>	入力容量	–	–	7	pF	–
SID.GIO#43	V <sub>HYSTTL</sub>	入力ヒステリシス LVTTTL	25	40	–	mV	V <sub>DDIO</sub> ≥ 2.7V 特性上保証
SID.GPIO#44	V <sub>HYS CMOS</sub>	入力ヒステリシス CMOS	0.05 × V <sub>DDIO</sub>	–	–	mV	特性上保証
SID69	I <sub>DIODE</sub>	保護ダイオードから V <sub>DDIO</sub> / V <sub>SS</sub> への電流	–	–	100	μA	特性上保証
SID.GIO#45	I <sub>TOT GPIO</sub>	チップの最大合計ソースまたはシンク電流	–	–	200	mA	特性上保証

**表 5. I/O AC 仕様**

( 特性上保証 )

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T <sub>RISE F</sub>	立ち上がり時間	2	–	12	ns	3.3V V <sub>DDIO</sub> 、C <sub>load</sub> = 25pF
SID71	T <sub>FALL F</sub>	立ち下がり時間	2	–	12	ns	3.3V V <sub>DDIO</sub> 、C <sub>load</sub> = 25pF

XRES

**表 6. XRES の DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.XRES#1	V <sub>IH</sub>	入力電圧の HIGH 閾値	0.7 × V <sub>DDIO</sub>	–	–	V	CMOS 入力
SID.XRES#2	V <sub>IL</sub>	入力電圧の LOW 閾値	–	–	0.3 × V <sub>DDIO</sub>	V	CMOS 入力
SID.XRES#3	C <sub>IN</sub>	入力容量	–	–	7	pF	–
SID.XRES#4	V <sub>HYS XRES</sub>	入力ヒステリシス電圧	–	–	0.05 × V <sub>DDIO</sub>	mV	特性上保証



**デジタル ペリフェラル**

次の仕様は、タイマー モードでのタイマー／カウンタ／PWM ペリフェラルに適用されます。

GPIO ピン用パルス幅変調 (PWM)

**表 7. PWM の AC 仕様**

(特性上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.3	T <sub>CPWMFREQ</sub>	動作周波数	–	F <sub>c</sub>	–	MHz	F <sub>c</sub> max = CLK_SYS。最大値 = 48MHz
SID.TCPWM.4	TPWMENEXT	入力トリガーのパルス幅	–	2/F <sub>c</sub>	–	ns	すべてのトリガー イベント
SID.TCPWM.5	T <sub>PWMEXT</sub>	出力トリガーのパルス幅	–	2/F <sub>c</sub>	–	ns	オーバーフロー、アンダーフローおよび CC (カウンタ = 比較値) 出力の最小パルス幅
SID.TCPWM.5A	T <sub>CRES</sub>	カウンタの分解能	–	1/F <sub>c</sub>	–	ns	逐次カウント間の最小時間
SID.TCPWM.5B	PWM <sub>RES</sub>	PWM 分解能	–	1/F <sub>c</sub>	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	QRES	直交位相入力分解能	–	1/F <sub>c</sub>	–	ns	直角位相入力同士間の最小パルス幅

**I<sup>2</sup>C**
**表 8. 固定 I<sup>2</sup>C の DC 仕様**

(特性上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I <sub>I2C1</sub>	100kbps 時のブロック消費電流	–	–	60	μA	–
SID150	I <sub>I2C2</sub>	400kbps 時のブロック消費電流	–	–	185	μA	–
SID151	I <sub>I2C3</sub>	1Mbps 時のブロック消費電流	–	–	390	μA	–
SID152	I <sub>I2C4</sub>	ディープスリープモードで有効にされる I <sup>2</sup> C	–	–	1.4	μA	–

**表 9. 固定 I<sup>2</sup>C の AC 仕様**

(特性上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F <sub>I2C1</sub>	ビットレート	–	–	1	Mbps	–

**表 10. 固定 UART の DC 仕様**

(特性上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID160	I <sub>UART1</sub>	100K ビット / 秒時のブロック消費電流	–	–	125	μA	–
SID161	I <sub>UART2</sub>	1000K ビット / 秒時のブロック消費電流	–	–	312	μA	–

**表 11. 固定 UART の AC 仕様**

(特性上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID162	F <sub>UART</sub>	ビットレート	–	–	1	Mbps	–

**表 12. 固定 SPI の DC 仕様**

(特性上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	I <sub>SPI1</sub>	1M ビット / 秒でのブロック消費電流	-	-	360	μA	-
SID164	I <sub>SPI2</sub>	4M ビット / 秒でのブロック消費電流	-	-	560	μA	-
SID165	I <sub>SPI3</sub>	8M ビット / 秒でのブロック消費電流	-	-	600	μA	-

**表 13. 固定 SPI の AC 仕様**

(特性上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	F <sub>SPI</sub>	SPI 動作周波数 (マスター; 6 倍のオーバーサンプリング)	-	-	8	MHz	-

**表 14. 固定 SPI マスター モードの AC 仕様**

(特性上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID167	T <sub>DMO</sub>	Sclock 駆動エッジからの MOSI 有効期間	-	-	15	ns	-
SID168	T <sub>DSI</sub>	Sclock キャプチャ エッジまでの MISO 有効期間	20	-	-	ns	フルクロック、MISO の遅いサンプリング
SID169	T <sub>HMO</sub>	前の MOSI データ ホールド時間	0	-	-	ns	スレーブ キャプチャ エッジを基準にする

**表 15. 固定 SPI スレーブ モードの AC 仕様**

(特性上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID170	T <sub>DMI</sub>	Sclock キャプチャ エッジまでの MOSI 有効期間	40	-	-	ns	-
SID171	T <sub>DSD</sub>	Sclock 駆動エッジからの MISO 有効期間	-	-	42 + 3*T <sub>CPU</sub>	ns	T <sub>CPU</sub> = 1/F <sub>CPU</sub>
SID171A	T <sub>DSDO_EXT</sub>	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間			48	ns	-
SID172	T <sub>HSD</sub>	前の MISO データ ホールド時間	0	-	-	ns	-
SID172A	T <sub>SSELSCK</sub>	SSEL 有効から最初の SCK 有効エッジまでの時間	100			ns	-

**メモリ**
**表 16. フラッシュの AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.MEM#4	T <sub>ROWWRITE</sub> <sup>[3]</sup>	行 (ブロック) 書き込み時間 (消去+書き込み)	-	-	20	ms	行 (ブロック) = 128 バイト
SID.MEM#3	T <sub>ROWERASE</sub> <sup>[3]</sup>	行消去時間	-	-	13	ms	-
SID.MEM#8	T <sub>ROWPROGRAM</sub> <sup>[3]</sup>	消去後の行プログラム時間	-	-	7	ms	-
SID178	T <sub>BULKERASE</sub> <sup>[3]</sup>	バルク消去時間 (32KB)	-	-	35	ms	-
SID180	T <sub>DEVPROG</sub> <sup>[3]</sup>	デバイス プログラム合計時間	-	-	7.5	s	特性上保証
SID181	F <sub>END</sub>	フラッシュへのアクセス可能回数	100K	-	-	サイクル	特性上保証
SID182	F <sub>RET1</sub>	フラッシュのデータ保持期間。 T <sub>A</sub> ≤ 55°C、プログラム/消去サイクル = 10 万回	20	-	-	年	特性上保証
SID182A	F <sub>RET2</sub>	フラッシュのデータ保存期間。 T <sub>A</sub> ≤ 85°C、プログラム/消去サイクル = 1 万回	10	-	-	年	特性上保証

**システム リソース**

電圧低下時のパワーオン リセット (POR)

**表 17. 低精度パワーオン リセット (PRES)**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID185	V <sub>RISEIPOR</sub>	立ち上がりトリップ電圧	0.80	-	1.50	V	特性上保証
SID186	V <sub>FALLIPOR</sub>	立ち下がりトリップ電圧	0.75	-	1.4	V	特性上保証

**表 18. 高精度パワーオン リセット (POR)**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190	V <sub>FALLPPOR</sub>	アクティブ モードとスリープモードでの BOD トリップ電圧	1.48	-	1.62	V	特性上保証
SID192	V <sub>FALLDPSLP</sub>	ディープスリープ モードでの BOD トリップ電圧	1.1	-	1.5	V	特性上保証

SWD インターフェース

**表 19. SWD インターフェース仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.SWD#1	F <sub>_SWDCLK1</sub>	3.3V ≤ V <sub>DDIO</sub> ≤ 5.5V	-	-	14	MHz	SWDCLK ≤ 1/3 CPU クロック周波数
SID.SWD#2	F <sub>_SWDCLK2</sub>	1.8V ≤ V <sub>DDIO</sub> ≤ 3.3V	-	-	7	MHz	SWDCLK ≤ 1/3 CPU クロック周波数
SID.SWD#3	T <sub>_SWDI_SETUP</sub>	T = 1/f SWDCLK	0.25*T	-	-	ns	特性上保証
SID.SWD#4	T <sub>_SWDI_HOLD</sub>	T = 1/f SWDCLK	0.25*T	-	-	ns	特性上保証
SID.SWD#5	T <sub>_SWDO_VALID</sub>	T = 1/f SWDCLK	-	-	0.5*T	ns	特性上保証
SID.SWD#6	T <sub>_SWDO_HOLD</sub>	T = 1/f SWDCLK	1	-	-	ns	特性上保証

**注**

- フラッシュメモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことを保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにされないことを確認してください。

**内部主発振器**
**表 20. IMO の DC 仕様**  
 (設計上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I <sub>IMO</sub>	48MHz での IMO 動作電流	-	-	1000	μA	-

**表 21. IMO の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#13	F <sub>IMOTOL</sub>	24MHz、36MHz、48MHz での周波数誤差 (トリム済み)	-	-	±2	%	-
SID226	T <sub>STARTIMO</sub>	IMO 起動時間	-	-	7	μs	-
SID229	T <sub>JITRMSIMO</sub>	48MHz での RMS ジッタ	-	145	-	ps	-
F <sub>IMO</sub>	-	IMO 周波数	24	-	48	MHz	-

**内部低速発振器**
**表 22. ILO の DC 仕様**  
 (設計上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231	I <sub>ILO</sub>	32kHz での ILO 動作電流	-	0.3	1.05	μA	特性上保証
SID233	I <sub>ILOLEAK</sub>	ILO リーク電流	-	2	15	nA	設計上保証

**表 23. ILO の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234	T <sub>STARTILO</sub>	ILO 起動時間	-	-	2	ms	特性上保証
SID236	T <sub>ILODUTY</sub>	ILO のデューティ比	40	50	60	%	特性上保証
SID.CLK#5	F <sub>ILO</sub>	ILO 周波数	20	40	80	kHz	-

**電源切断**
**表 24. PD の DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.PD.1	Rp_std	初期設定の USB 供給電流での DFP CC 終端	64	80	96	μA	-
SID.PD.2	Rp_1.5A	1.5A の供給電流での DFP CC 終端	166	180	194	μA	-
SID.PD.3	Rp_3.0A	3.0A の供給電流での DFP CC 終端	304	330	356	μA	-
SID.PD.4	Rd	UFP CC 終端	4.59	5.1	5.61	kΩ	-
SID.PD.5	Rd_DB	UFP から電源供給、CC を RD1 と CC2 に終端	4.08	5.1	6.12	kΩ	すべての電源を切る。RD1 または CC2 に 0.6V を印加
SID.PD.6	Ra	電力ケーブル終端	0.8	1.0	1.2	kΩ	すべての電源を切る。VCONN1 または VCONN2 に 0.2V を印加
SID.PD.7	Ra_OFF	電力ケーブル終端 - 無効	0.4	0.75	-	MΩ	VCONN1 または VCONN2 に 2.7V を印加。R <sub>A</sub> が無効

**表 24. PD の DC 仕様 ( 続き )**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.PD.8	Rleak_1	0.1 $\mu$ F 負荷使用時の VCONN リーク抵抗	-	-	216	k $\Omega$	管理されるアクティブ ケーブル (MAC) 放電
SID.PD.9	Rleak_2	0.5 $\mu$ F 負荷使用時の VCONN リーク抵抗	-	-	41.2	k $\Omega$	
SID.PD.10	Rleak_3	1.0 $\mu$ F 負荷使用時の VCONN リーク抵抗	-	-	19.6	k $\Omega$	
SID.PD.11	Rleak_4	2.0 $\mu$ F 負荷使用時の VCONN リーク抵抗	-	-	9.8	k $\Omega$	
SID.PD.12	Rleak_5	5.0 $\mu$ F 負荷使用時の VCONN リーク抵抗	-	-	4.1	k $\Omega$	
SID.PD.13	Rleak_6	10 $\mu$ F 負荷使用時の VCONN リーク抵抗	-	-	2.0	k $\Omega$	
SID.PD.14	Ileak	ケーブル取り外し時の放電による VCONN1 と VCONN2 のリーク電流	150	-	-	$\mu$ A	-

**アナログ - デジタル変換器**
**表 25. ADC の DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.ADC.1	分解能	ADC 分解能	-	8	-	ビット	-
SID.ADC.2	INL	積分非直線性	-1.5	-	1.5	LSB	-
SID.ADC.3	DNL	微分非直線性	-2.5	-	2.5	LSB	-
SID.ADC.4	ゲイン誤差	ゲイン誤差	-0.5	-	0.5	LSB	-

**表 26. ADC の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.ADC.5	SLEW_Max	サンプルされた電圧信号の変化率	-	-	3	V/ms	-

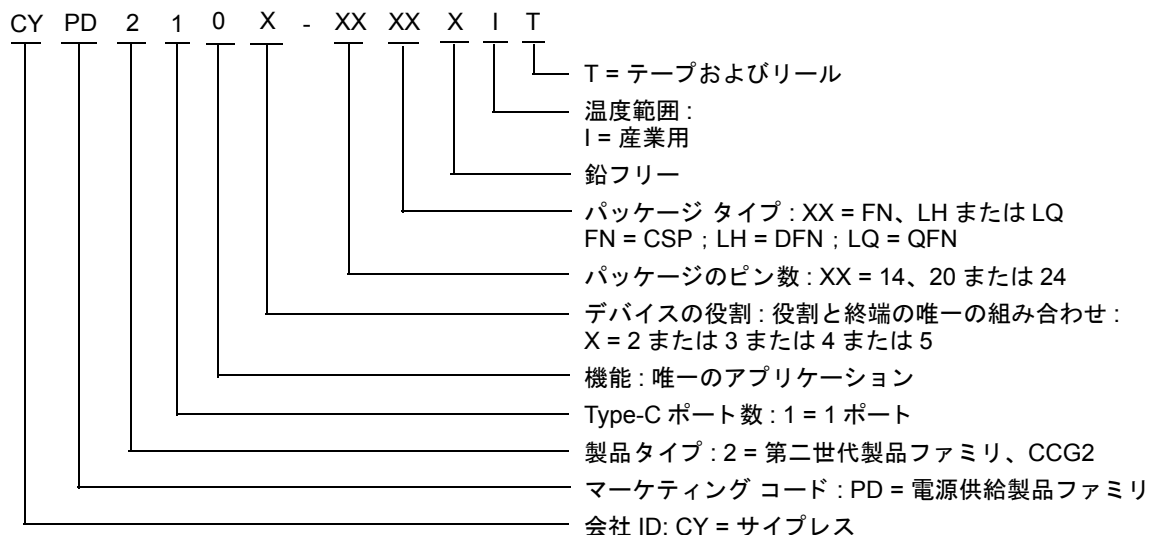
## 注文情報

EZ-PD CCG2 の製品番号と機能は表 27 にリストアップします。

表 27. EZ-PD CCG2 の注文情報

製品番号	アプリケーション	Type-C ポート	終端抵抗	役割	パッケージ
CYPD2103-20FNXIT	ケーブル	1	$R_A^{[4]}$	ケーブル	20 ボール CSP
CYPD2103-14LHXIT	ケーブル	1	$R_A^{[4]}$	ケーブル	14 ピン DFN
CYPD2105-20FNXIT	アクティブ ケーブル	1	$R_A^{[4]}$	アクティブ ケーブル	20 ボール CSP
CYPD2104-20FNXIT	アクセサリ	1	$R_D^{[5]}$	アクセサリ	20 ボール CSP
CYPD2122-20FNXIT	タブレット	1	$R_p^{[6]}$ 、 $R_D^{[5]}$	DRP	20 ボール CSP
CYPD2122-24LQXIT	ノート PC	1	$R_p^{[6]}$ 、 $R_D^{[5]}$	DRP	24 ピン QFN
CYPD2134-24LQXIT	DFP	1	$R_p^{[6]}$	DFP	24 ピン QFN

## 注文コードの定義



### 注

- 終端抵抗は EMCA を意味します。
- 終端抵抗はアクセサリまたはアップストリーム対向ポートを意味します。
- 終端抵抗はダウンストリーム対向ポートを意味します。

## パッケージ

表 28. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T <sub>A</sub>	動作周囲温度	–	-40	25	85	°C
T <sub>J</sub>	動作接合部温度	–	-40	–	100	°C
T <sub>JA</sub>	パッケージの θ <sub>JA</sub> (20 ボール WLCSP)	–	–	66	–	°C/W
T <sub>JC</sub>	パッケージの θ <sub>JC</sub> (20 ボール WLCSP)	–	–	0.7	–	°C/W
T <sub>JA</sub>	パッケージの θ <sub>JA</sub> (14 ピン DFN)	–	–	31	–	°C/W
T <sub>JC</sub>	パッケージの θ <sub>JC</sub> (14 ピン DFN)	–	–	59	–	°C/W
T <sub>JA</sub>	パッケージの θ <sub>JA</sub> (24 ピン QFN)					
T <sub>JC</sub>	パッケージの θ <sub>JC</sub> (24 ピン QFN)					

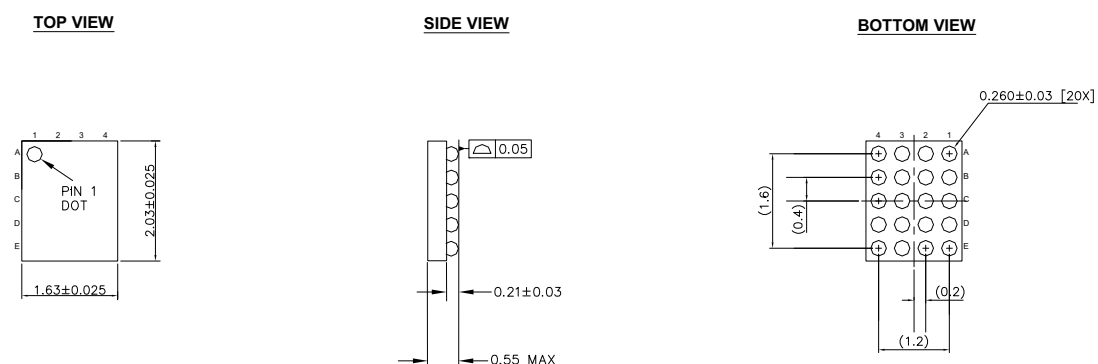
表 29. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度 5°C での最長時間
20 ボール WLCSP	260°C	30 秒
14 ピン DFN	260°C	30 秒
24 ピン QFN	260°C	30 秒

表 30. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
20 ボール WLCSP	MSL 1
14 ピン DFN	MSL 3
24 ピン QFN	MSL 3

図 12. 20 ボール WLCSP (1.63 × 2.03 × 0.55mm) FN20B パッケージ図、001-95010



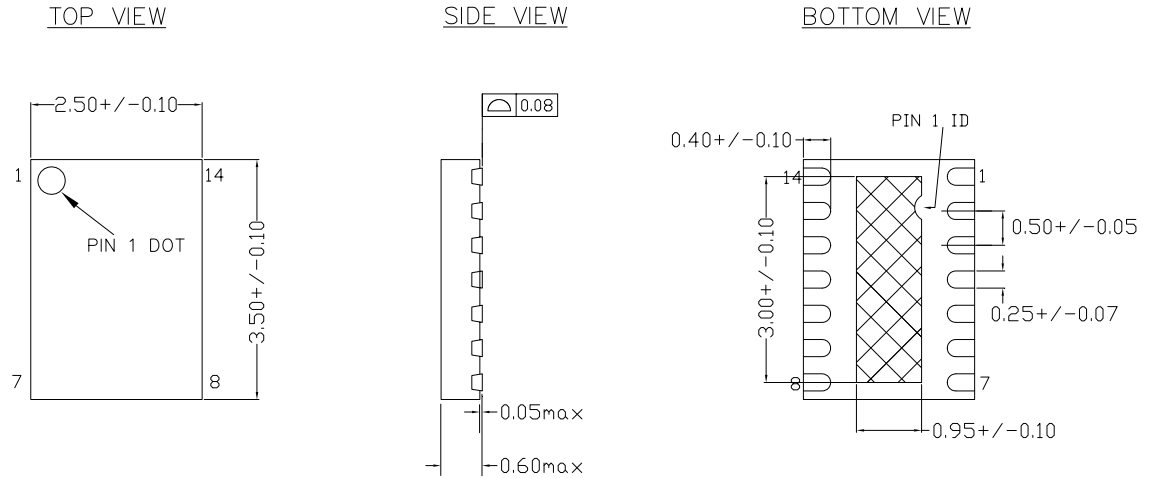
**NOTES:**

1. REFERENCE JEDEC PUBLICATION 95, DESIGN GUIDE 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-95010 \*A



図 13. 14 ピン DFN (2.5 × 3.5 × 0.6mm)、LH14A、0.95 × 3.00 E パッド (Sawn) パッケージ図、001-96312

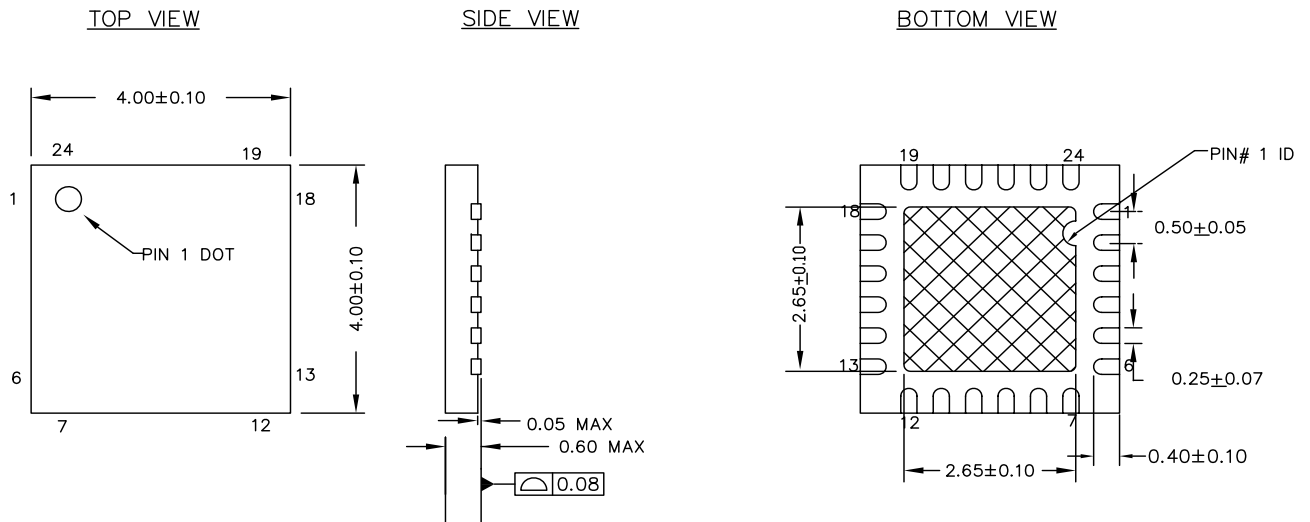


NOTES :


1. HATCH AREA IS SOLDERABLE EXPOSED METAL
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-96312 \*\*

図 14. 24 ピン QFN (4 × 4 × 0.55mm)、LQ24A、2.65 × 2.65 E-Pad (Sawn) パッケージ図、001-13937



NOTES :

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 \*F

**略語**
**表 31. 本書で使用する略語**

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
API	application programming interface (アプリケーションプログラミングインターフェース)
ARM®	advanced RISC machine (高度な RISC マシン ; CPU アーキテクチャの一種)
CC	Configuration Channel (コンフィギュレーションチャンネル)
CCG2	Cable Controller Generation 2 (ケーブルコントローラー第2世代)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査 ; エラーチェックプロトコルの一種)
CS	Current Sense (電流検出)
DIO	digital input/output (デジタル入出力 ; アナログなし、デジタル機能のみを持つ GPIO) GPIO を参照してください。
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMCA	ケーブルの特性 (電流電圧など) を Type-C ポートに報告する IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁妨害)
ESD	electrostatic discharge (静電気放電)
FPB	flash patch and breakpoint (フラッシュパッチおよびブレイクポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I <sup>2</sup> C (別名 : IIC)	Inter-Integrated Circuit (インター インテグレートッド サーキット ; 通信プロトコルの一種)
ILO	internal low-speed oscillator (内部低速発振器)。IMO も参照
IMO	internal main oscillator (内部主発振器)。ILO も参照
I/O	input/output (入出力)。GPIO も参照
LVD	low-voltage detect (低電圧検出)
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MCU	microcontroller unit (マイクロコントローラー ユニット)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可能な割り込み)

**表 31. 本書で使用する略語 (続き)**

略語	説明
NVIC	nested vectored interrupt controller (ネスト可能なベクタ割り込みコントローラー)
オペアンプ	operational amplifier (演算増幅器)
OCP	Overcurrent protection (過電流防止)
OVP	Overvoltage protection (過電圧防止)
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワーデリバリー)
PGA	programmable gain amplifier (プログラマブルゲインアンプ)
PHY	physical layer (物理レイヤー)
POR	power-on reset (パワーオンリセット)
PRES	precise power-on reset (高精度パワーオンリセット)
PSoC®	Programmable System-on-Chip™
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダムアクセスメモリ)
RISC	reduced-instruction-set computing (縮小命令セットコンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイムクロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCL	I <sup>2</sup> C serial clock (I2C シリアルクロック)
SDA	I <sup>2</sup> C serial data (I2C シリアルデータ)
S/H	sample and hold (サンプル/ホールド)
SPI	Serial Peripheral Interface (シリアルペリフェラルインターフェース ; 通信プロトコルの一種)
SRAM	static random access memory (スタティックランダムアクセスメモリ)
SWD	serial wire debug (シリアルワイヤーデバッグ ; テストプロトコルの一種)
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
UART	Universal Asynchronous Transmitter Receiver (汎用非同期トランスミッターレシーバ ; 通信プロトコルの一種)
USB	Universal Serial Bus (ユニバーサルシリアルバス)
USBIO	USB input/output (USB 入力/出力 ; USB ポートへの接続に使用される CCG2 ピン)
XRES	external reset I/O pin (外部リセット I/O ピン)

## 本書の表記法

### 測定単位

表 32. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
V	ボルト

**改訂履歴**

文書番号 : EZ-PD™ CCG2 データシート USB Type-C ポート コントローラー				
文書番号 : 001-97029				
版	ECN	変更者	発行日	変更内容
**	4722828	YYOS	04/14/2015	これは英語版 001-93912 Rev. *E を翻訳した日本語版 001-97029 Rev. ** です。
*A	4788512	HZEN	06/15/2015	これは英語版 001-93912 Rev. *G を翻訳した日本語版 001-97029 Rev. *A です。
*B	5710770	SSAS	04/25/2017	Copyright 情報を更新。最新のテンプレートに更新。

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

### 製品

ARM® Cortex® Microcontrollers .....	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用 .....	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック&バッファ .....	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース .....	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT (モノのインターネット) .....	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ .....	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ .....	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC .....	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用IC .....	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング .....	<a href="http://cypress.com/touch">cypress.com/touch</a>
USBコントローラ .....	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス .....	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

### サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

### テクニカル サポート

[cypress.com/support](http://cypress.com/support)

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2014-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でののみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ、Spansion, Spansion のロゴ及びこれらの組み合わせ、WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。