

概述

EZ-PD™ CCG2 是 USB Type-C 型控制器，它符合最新 USB Type-C 型和 PD 标准。EZ-PD CCG2 为无源线缆、主动线缆和电源配件提供了一个完整的 USB Type-C 和 USB 供电端口控制解决方案。另外，还将它使用在许多上行和下行方向端口的应用中。EZ-PD CCG2 使用赛普拉斯的专用 M0S8 技术，该技术使用了带有 32 KB 闪存的 32 位 48 MHz ARM® Cortex®-M0 处理器；该处理器集成了一个包括 R_P、R_D 和 R_A Type-C 型电阻的完整的 Type-C 型收发器。

应用

- USB Type-C 型的 EMCA 线缆
- USB Type-C 型供电配件
- USB Type-C 型上行方向端口
- USB Type-C 型下行方向端口

特性

32 位 MCU 子系统

- 48 MHz ARM Cortex-M0 CPU
- 32 KB 闪存
- 4 KB SRAM
- 系统内可重复编程

集成数字模块

- 集成定时器和计数器，从而符合 USB-PD 协议所要求的响应时间
- 运行时可重新配置的串行通信模块（SCB）可重新配置为 I²C、SPI 或 UART

时钟和振荡器

- 使用集成振荡器时，则不需要外部时钟

逻辑框图

支持 Type-C 型

- 集成收发器（基带 PHY）
- 集成了 UFP（R_D）和 EMCA（R_A）终端电阻，并集成了 DFP（R_P）的电流源
- 支持一个 USB Type-C 型端口

低功耗操作

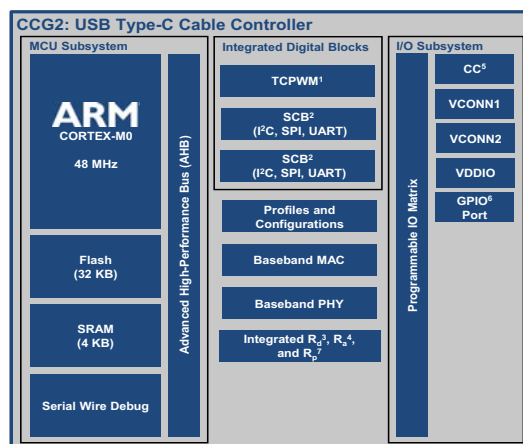
- 工作电压范围：2.7 V ~ 5.5 V
- 两个 VCONN 轨相互独立，从而形成隔离
- GPIO 的独立供电电压引脚允许在 1.71 V 至 5.5 V 电压范围内在 I/O 上发出信号
- 复位：1.0 μA；深度睡眠：2.5 μA；睡眠：2.0 mA

CC 和 VCONN 引脚上的系统级 ESD

- 基于 IEC61000-4-2 的 4C 级标准的 ±8 kV 接触放电和 ±15 kV 空气放电

封装

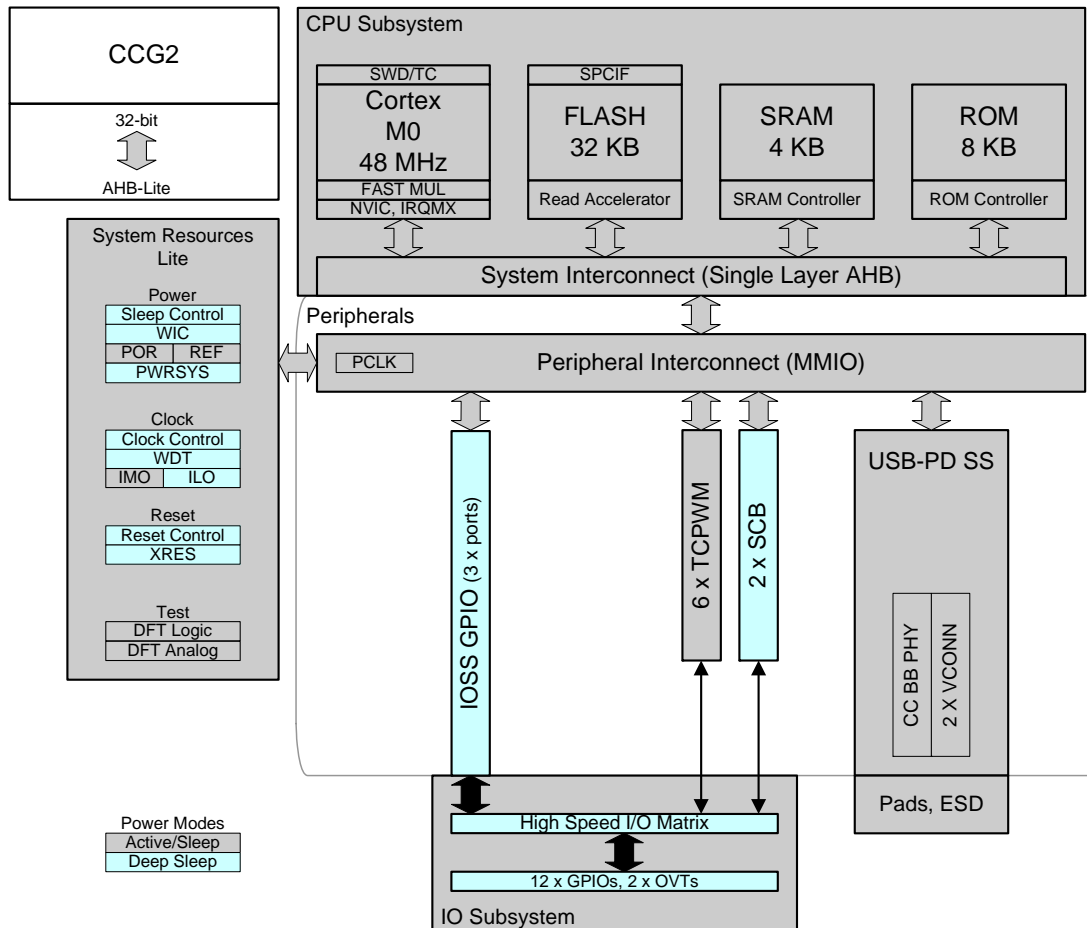
- 1.63 mm × 2.03 mm，20 球型焊盘晶圆级 CSP（WLCSP）（球型引脚间距为 0.4 mm）
- 2.5 mm × 3.5 mm × 0.6 mm 14-DFN
- 4.0 mm × 4.0 mm × 0.55 mm 24-QFN
- 支持工业级温度范围（-40 °C ~ +85 °C）



¹ Timer, counter, pulse-width modulation block
² Serial communication block configurable as UART, SPI, or I²C
³ Termination resistor denoting a UFP
⁴ Termination resistor denoting an EMCA
⁵ Configuration Channel
⁶ General-purpose input/output
⁷ Current Sources to indicate a DFP

目录

功能概述	3	系统资源	18
CPU 和存储器子系统	3	订购信息	21
USB-PD 子系统 (SS)	4	订购代码定义	21
系统资源	4	封装	22
外设	5	缩略语	24
GPIO	5	文档规范	25
引脚分布	6	测量单位	25
电源	8	文档修订记录	26
应用框图	9	销售、解决方案和法律信息	27
电气规范	13	全球销售和设计支持	27
最大绝对额定值	13	产品	27
器件级规范	13	PSoC® 解决方案	27
数字外设	16	赛普拉斯开发者社区	27
存储器	18	技术支持	27

图 1. EZ-PD CCG2 框图


功能概述

CPU 和存储器子系统

CPU

EZ-PD CCG2 中的 Cortex-M0 CPU 是 32 位 MCU 子系统的部分，通过扩展的时钟门控来优化该子系统，从而得到低功耗。它通常使用 16 位指令并可以执行 Thumb-2 指令子集。这样能够将完全兼容的二进制代码导入更高性能的处理器，如 Cortex M3 和 M4。赛普拉斯实现了一个能在一个周期内计算出 32 位结果的硬件乘法器。它包括一个带有 32 个中断输入的嵌套向量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)。通过 WIC 将处理器从深度睡眠模式唤醒，以便芯片处于深度睡眠模式时，可以关闭主处理器的电源。Cortex-M0 CPU 提供一个不可屏蔽中断 (NMI) 输入，该输入未被系统功能使用时可以提供给用户使用。

CPU 还包含一个串行连线调试 (SWD) 接口 — JTAG 的两连线模式。EZ-PD CCG2 的调试配置有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

闪存

EZ-PD CCG2 器件包含一个闪存模块，该模块的闪存加速器与 CPU 紧密耦合在一起，以降低闪存模块的平均访问时间。闪存模块可在工作频率为 48 MHz 的情况下提供一个等待状态 (WS) 的访问时间，并在工作频率为 24 MHz 的情况下提供零等待状态的访问时间。闪存加速器的单周期访问平均占 SRAM 的 85%。如果需要，闪存模块的部分空间可以用于模拟 EEPROM 操作。

SRAM

此外，提供的监控 ROM 还包含引导和配置子程序。

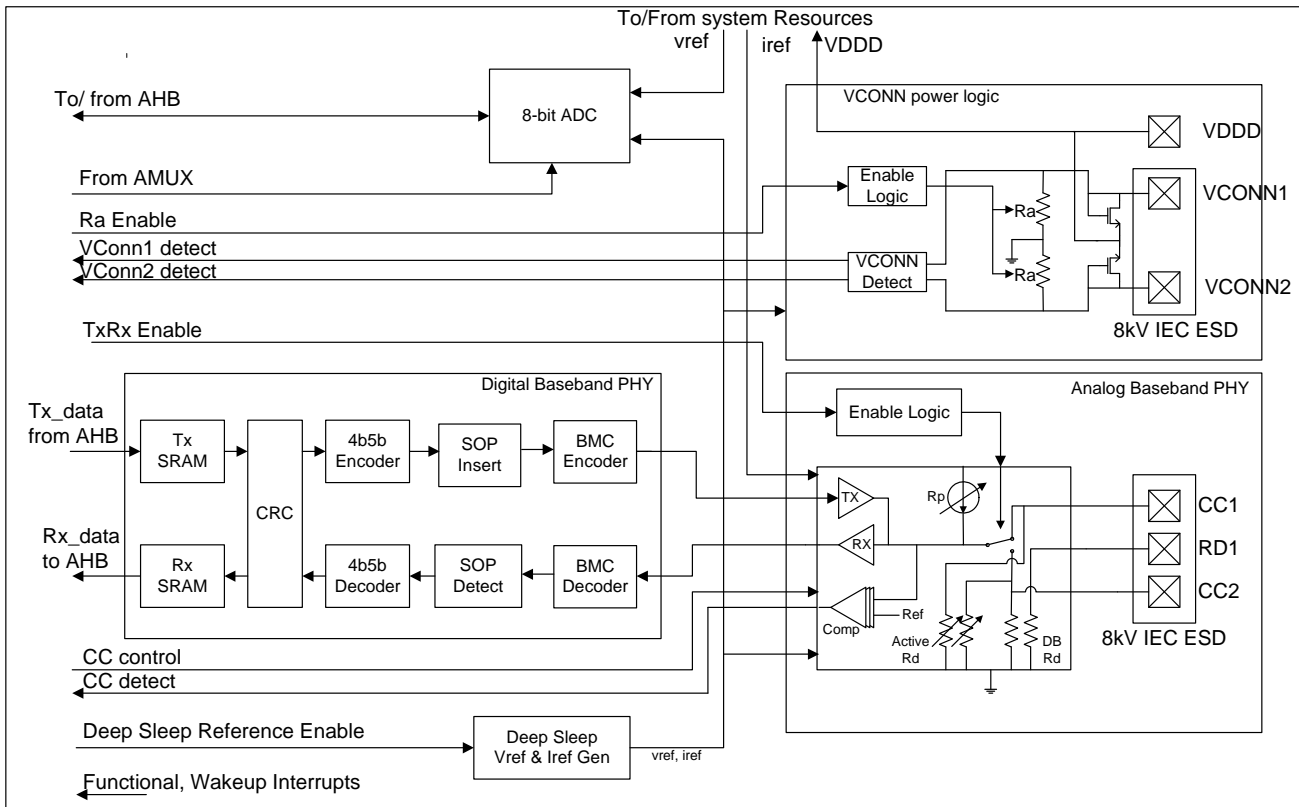
USB-PD 子系统 (SS)

EZ-PD CCG2 具有一个 USB-PD 子系统，该子系统包含一个 USB Type-C 型基带收发器和物理层逻辑。该收发器执行了 BMC 和 4b/5b 编码、解码功能以及 1.2 V 前端。这种子系统集成了所需的终端电阻，可用于识别 EZ-PD CCG2 解决方案的作用。 R_A 用于识别 EZ-PD CCG2 是作为一个配件还是作为一个电子标识的线缆。 R_D 用于识别 EZ-PD CCG2 被作为一根混合线缆还是软件狗中的 UFP。被配置为 DFP 时，集成的电流源会作为 R_P 或上拉电阻。可以编程这些电流源，以便表示 Type-C 型规范所定义的 VBUS 上电流的完整范围。EZ-PD CCG2 响应所

有 USB-PD 通信。可配置 EZ-PD CCG2 USB-PD 子系统来响应 SOP、SOP' 或 SOP'' 信息。

USB-PD 子系统包含一个 8 位 SAR (逐次逼近寄存器) ADC，用于实现模数转换。ADC 包含一个 8 位的 DAC 和一个比较器。DAC 输出作为比较器的正输入，而一个 4 输入的复用器作为比较器的负输入。复用器的四个输入是一对全局模拟复用的总线、内部带隙电压和与绝对温度成比例的内部电压。通过每个 GPIO 上的开关，可以将所有 GPIO 输入连接到全局模拟复用总线上；该开关可以使能复用总线上连接的 GPIO，以供 ADC 使用。不能将 CC1、CC2 和 RD1 引脚连接到复用总线。

图 2. USB-PD 子系统



系统资源

电源系统

有关电源系统的详细信息，请参考第 8 页上的电源章节中所介绍的内容。它确保通过以下两种方法中的一种能使电压电平满足相应模式的要求：延迟模式输入（例如，上电复位（POR））直到电压电平满足正常功能为止，或生成各复位（欠压检测（BOD））或中断（低电压检测（LVD））。EZ-PD CCG2 可以在电压范围为 2.7 到 5.5 V 的三个电源中进行操作，并且它具有三个不同的功耗模式，在电源系统管理的各个功耗模式间切换。EZ-PD CCG2 提供睡眠低功耗模式和深度睡眠低功耗模式。

时钟系统

EZ-PD CCG2 的时钟系统包含内部主振荡器（IMO）和内部低功耗振荡器（ILO）。

外设

串行通信模块 (SCB)

EZ-PD CCG2 共有两个 SCB，可以配置 SCB 来执行 I²C、SPI 或 UART 接口。硬件 I²C 模块实现了一个完整的多主设备和从设备接口（它具有多主设备的校准功能）。在 SPI 模式下，SCB 模块可被配置为主设备或从设备。

在 I²C 模式下，SCB 模块的工作速度高达 1 Mbps（增强型快速模式），另外它还提供各种灵活的缓冲选项，以降低 CPU 的中断开销和延迟。这些模块还支持在 EZ-PD CCG2 存储器中创建缓冲存储器地址范围的 I²C，并且对存储器中的阵列进行读写操作时可以大量降低 I²C 通信。此外，这些模块支持一个深度为 8 字节的 FIFO，用于接收和传送数据。这些模块延长了 CPU 读取数据的时间，从而减少了时钟延展的发生（由于 CPU 没有及时读取数据，因此才导致时钟延展）。

I²C 外设与 I²C 标准模式、快速模式和增强型快速模式器件相兼容，如 NXP I²C 总线规范和用户手册 (UM10204) 中所定义。在开漏模式下，可以使用 GPIO 引脚实现 I²C 总线 I/O。

在以下几方面，EZ-PD CCG2 的 SCB 1 模块上 I²C 端口与 I²C 规范不完全兼容：

- SCB 1 的 I²C 端口的 GPIO 单元没有过压容差功能，因此不能热插拔它或者由其它 I²C 系统单独供电。
- 增强型快速模式在 V_{OL} 为 0.4 V 下有 20 mA 的 I_{OL} 规范。但是 GPIO 单元只能在最大 0.6 V 的 V_{OL} 下支持最大 8 mA 的 I_{OL} 灌电流。
- 快速模式与增强型快速模式指定了不符合 GPIO 单元的最小下降时间。根据总线负载，慢速强驱动模式能够满足该要求。

定时器/计数器/PWM 模块 (TCPWM)

EZ-PD CCG2 具有六个 TCPWM 模块。每个 EZ-PD CCG2 能够实现 16 位定时器、计数器、脉冲宽度调制器 (PWM) 和正交解码器等功能。该模块用于测量输入信号的周期和脉冲宽度 (定时器)，捕获特定事件发生的次数 (计数器)，生成 PWM 信号或解码正交信号。

GPIO

除了可作为 GPIO 使用的 I²C 和 SWD 引脚外，EZ-PD CCG2 还有 10 个 GPIO。SCB 0 的 I²C 引脚具备过压容差功能。不同的封装会有不同的可用 GPIO 数量。GPIO 模块实现下列功能：

■ 七种强驱动模式：

- 仅输入
- 弱上拉和强下拉
- 强上拉和弱下拉
- 开漏和强下拉
- 开漏和强上拉
- 强上拉和强下拉
- 弱上拉和弱下拉

■ 选择输入阈值 (CMOS 或 LVTTTL)

■ 除了各种强驱动模式外，还允许使能/禁用输入和输出缓冲区的单独控制

■ 保持模式，用于锁存前一状态（即保持 I/O 状态处于深度睡眠模式）

■ dV/dt 相关噪声控制的可选转换速率，用以降低 EMI

加电和复位期间，I/O 引脚被强制为禁用状态，从而禁止通电任何输入和/或造成启用时的过电流现象。称为高速度 I/O 矩阵的复用网络用于复用连接至一个 I/O 引脚的多个信号。

引脚分布

组	名称	引脚映射 24-QFN	球形焊盘映射 20-CSP	引脚映射 14-DFN	说明
USB Type-C 型 端口	CC1	2	B4	3	USB PD 连接器检测 / 配置通道 1
	CC2	1	A4	N/A	USB PD 连接器检测 / 配置通道 2
	RD1	3	B3	N/A	用于 CC1 的专用 Rd 电阻引脚 对于线缆应用必须保留不连接状态，并且对于 UFP 或 DFP 电池没电的应用，必须连接到 CC1 球型焊盘。
GPIO 和串行接口	GPIO	22	C3	N/A	GPIO / SPI_0_CLK / UART_0_RX
	GPIO	18	D3	13	GPIO / SPI_0_MOSI / UART_0_TX
	GPIO	13	C2	10	GPIO / I2C_1_SDA / SPI_1_MISO / UART_1_RX
	GPIO	10	D2	N/A	GPIO / I2C_1_SCL / SPI_1_CLK / UART_1_TX
	GPIO	15	B2	11	GPIO / SPI_1_SEL / UART_1_RTS
	GPIO	14	N/A	N/A	GPIO
	GPIO	17	N/A	N/A	GPIO
	GPIO	21	N/A	N/A	GPIO
	GPIO	23	N/A	N/A	GPIO
	GPIO	24	N/A	N/A	GPIO
	I2C_0_SCL	20	A3	1	GPIO / I2C_0_SCL / SPI_0_MISO / UART_0_RTS
	I2C_0_SDA	19	A2	14	GPIO / I2C_0_SDA / SPI_0_SEL / UART_0_CTS
	SWD_IO	11	E2	8	SWD IO / GPIO / UART_1_CTS / SPI_1_MOSI
	SWD_CLK	12	D1	9	SWD 时钟 / GPIO
	复位	XRES	16	B1	12
电源	VCONN1	5	E4	5	VCONN 1 输入 (4.0 V ~ 5.5 V)
	VCONN2	4	C4	4	VCONN 2 输入 (4.0 V ~ 5.5 V)
	VDDIO	8	E1	N/A	给各 I/O 提供的电源电压范围为 1.71 V ~ 5.5 V
	VCCD	7	A1	6	1.8 V 的电压调节器输出，通过滤波电容
	VDDD	9	E3	7	VDDD 电源输入 / 输出 (2.7 V ~ 5.5 V)
	VDDD	6			VDDD 电源输入 / 输出 (2.7 V ~ 5.5 V)
	VSS	EPAD	N/A	EPAD	接地电源
	VSS		D4	2	接地电源
VSS	C1		接地电源		

图 3. 20 球型焊盘 WLCSP EZ-PD CCG2 球型焊盘图 (底视图 (芯片下面的球型焊盘))

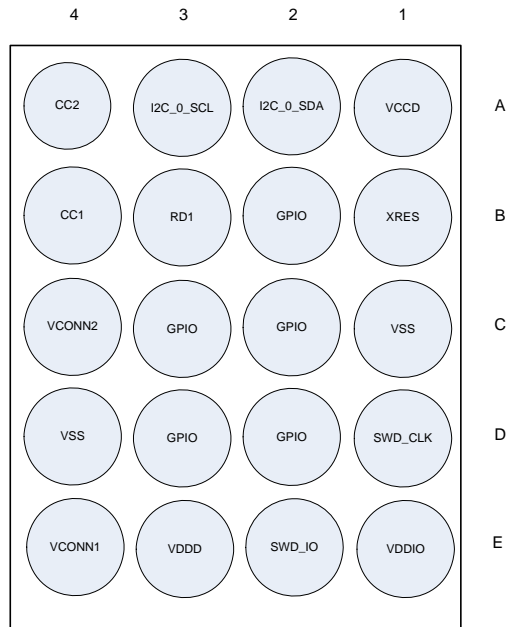


图 4. 14-DFN 引脚映射 (顶视图)

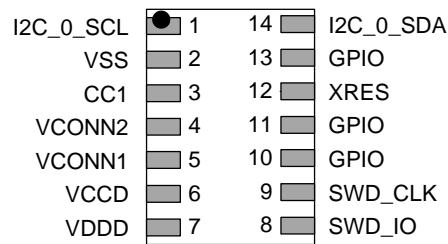
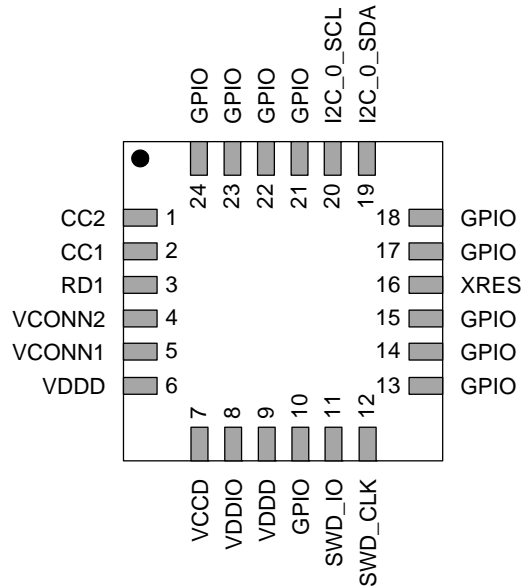


图 5. 24-QFN 引脚映射 (顶视图)



电源

下面的电源系统框图显示了在 EZ-PD CCG2 中实现的电源引脚集。

三个不同电源可以给 EZ-PD CCG2 供电从而进行工作。VCONN1 和 VCONN2 引脚能够连接到 Type-C 型线缆上的 VCONN 引脚或者作为 VCONN 供电配件使用。每个输入支持工作电压范围为 4.0 到 5.5 V。VCONN1 和 VCONN2 引脚间的内部隔离使这两个引脚能够同时在不同的电压电平下进行操作。可以在 EMCA 应用（一个或两个 VCONN 引脚都可作为电源）中使用 CCG2。应用章节中详细介绍了该内容。除了可以作为电源输入外，每个 VCONN 引脚还可以内部连接至 EMCA 和 VCONN_R 供电配件所需要的 A 终端电阻。

当 VDDD 电源引脚给 EZ-PD CCG2 供电时，EZ-PD CCG2 的电压工作范围为 2.7 到 5.5 V。VCONN 供电配件应用要求该 CCG2 以 2.7 V 的电压工作。在这些应用中，应该将 VDDD 和 VCONN 引脚连接至配件中 Type-C 型插头上的 VCONN 引脚。

在 UFP、DFP 和 DRP 应用中，只有 VDDD 电源引脚给 CCG2 供电。在这些应用中，VCONN 引脚保持开路状态。在 DFP 应

用中，由于需要支持高达 2.7 V 的断连检测阈值，因此 CCG2 支持的最低 VDDD 电压级别为 3.0 V。

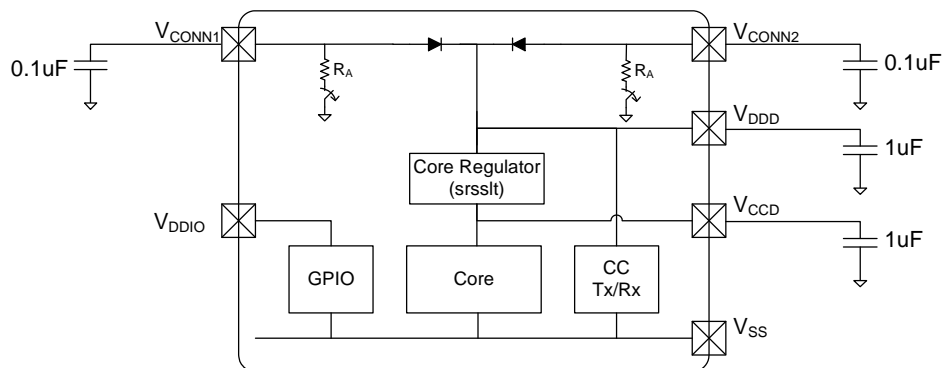
一个单独的 I/O 电源引脚（VDDIO）允许 GPIO 的工作电压范围为 1.71 到 5.5 V。VDDIO 引脚的电压可等于或小于连接至 VCONN1、VCONN2、和 VDDD 引脚的电压。14-DFN 封装中没有提供单独的 VDDIO 电源。在该封装中，VDDIO 轨被内部与 VDDD 轨相连。

必须通过一个外部电容（范围为 1 到 1.6 μF ；X5R 陶瓷电容或性能更好的电容）将 EZ-PD CCG2 的 VCCD 输出旁路接地。

VDDD 和 VCONN 引脚必须通过旁路电容接地，通常选用 0.1 μF 的电容。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路电容寄生需要通过仿真以获得最佳的旁路。

图 6 显示了电源旁路电容的示例。

图 6. EZ-PD CCG2 电源和旁路方案示例



应用框图

图 7. 被动 EMCA 应用 — 每个线缆的单 EZ-PD CCG2

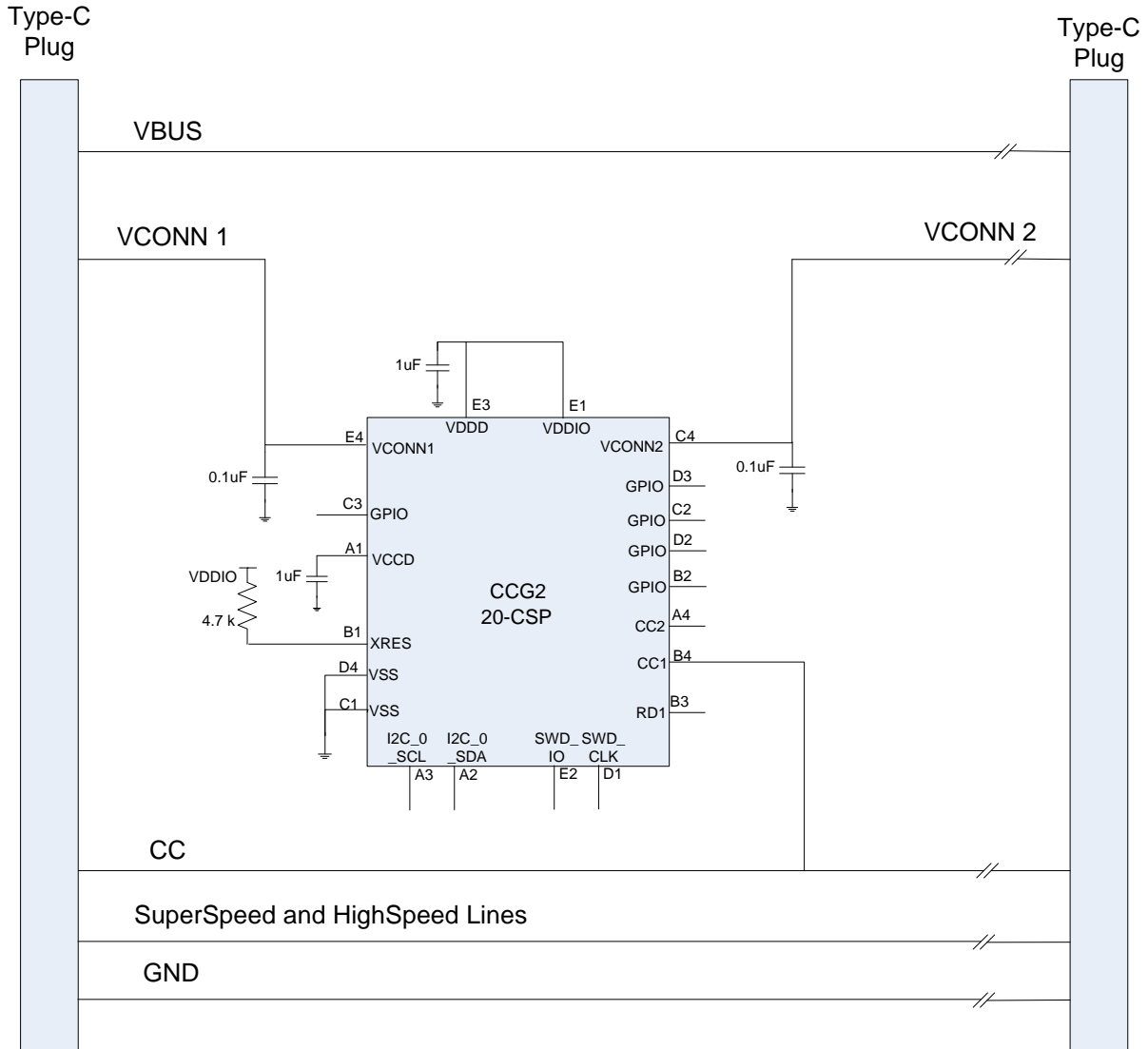


图 8. 被动 EMCA 应用 — 每个插头上的单 EZ-PD CCG2

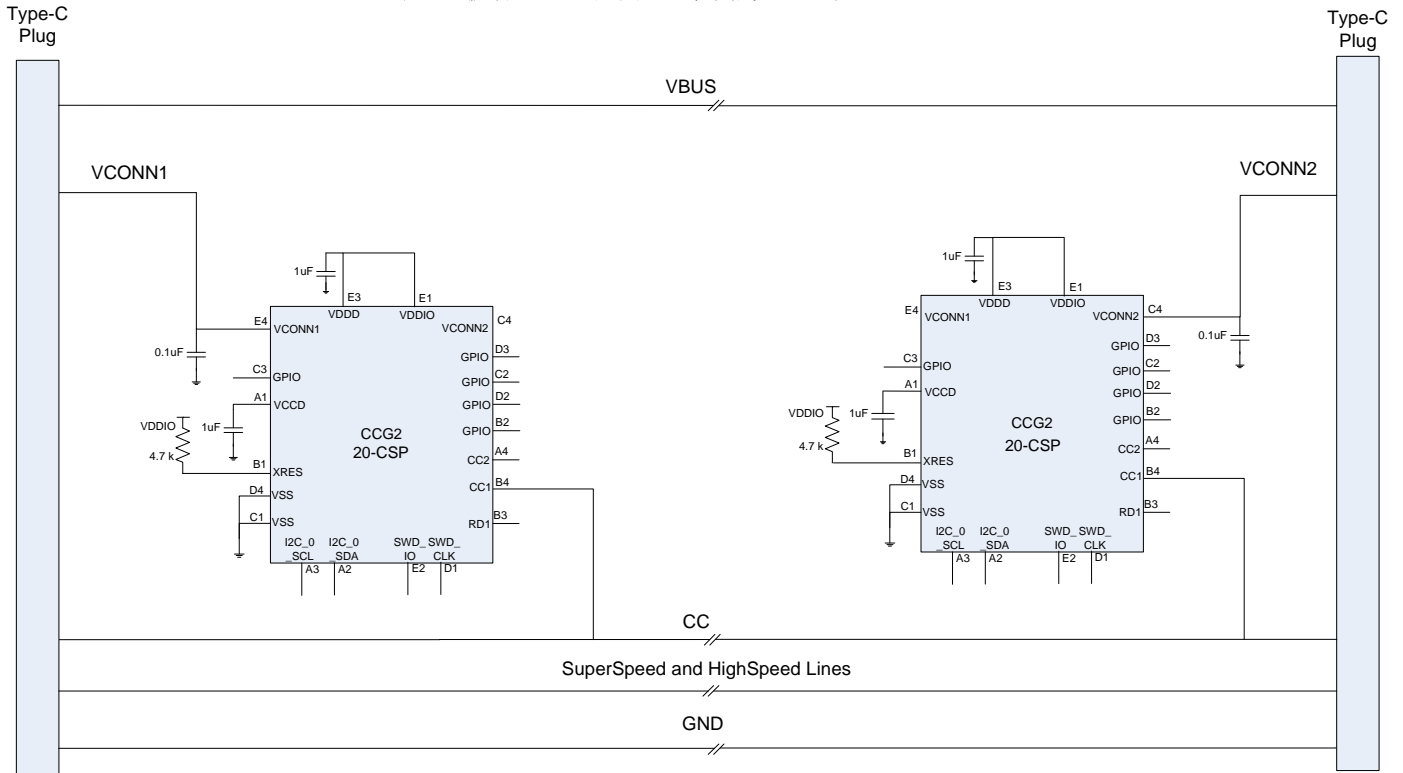


图 9. 上行方向端口（UFP）应用 — 带有 Type-C 型端口的平板电脑

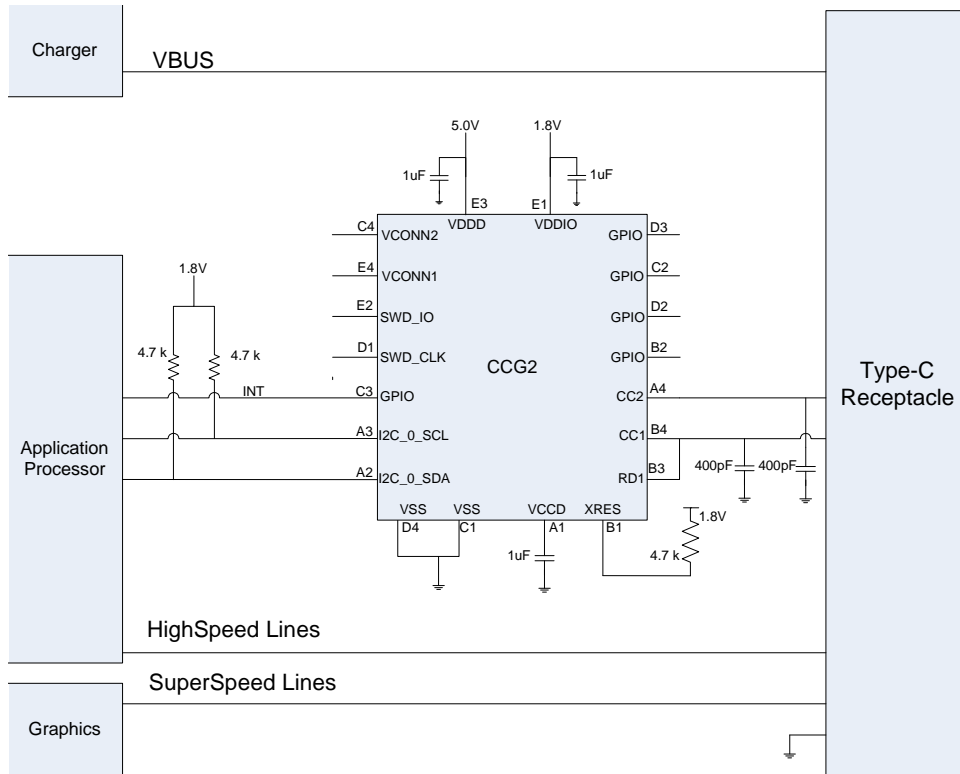


图 10. 双功能端口 (DRP) 应用

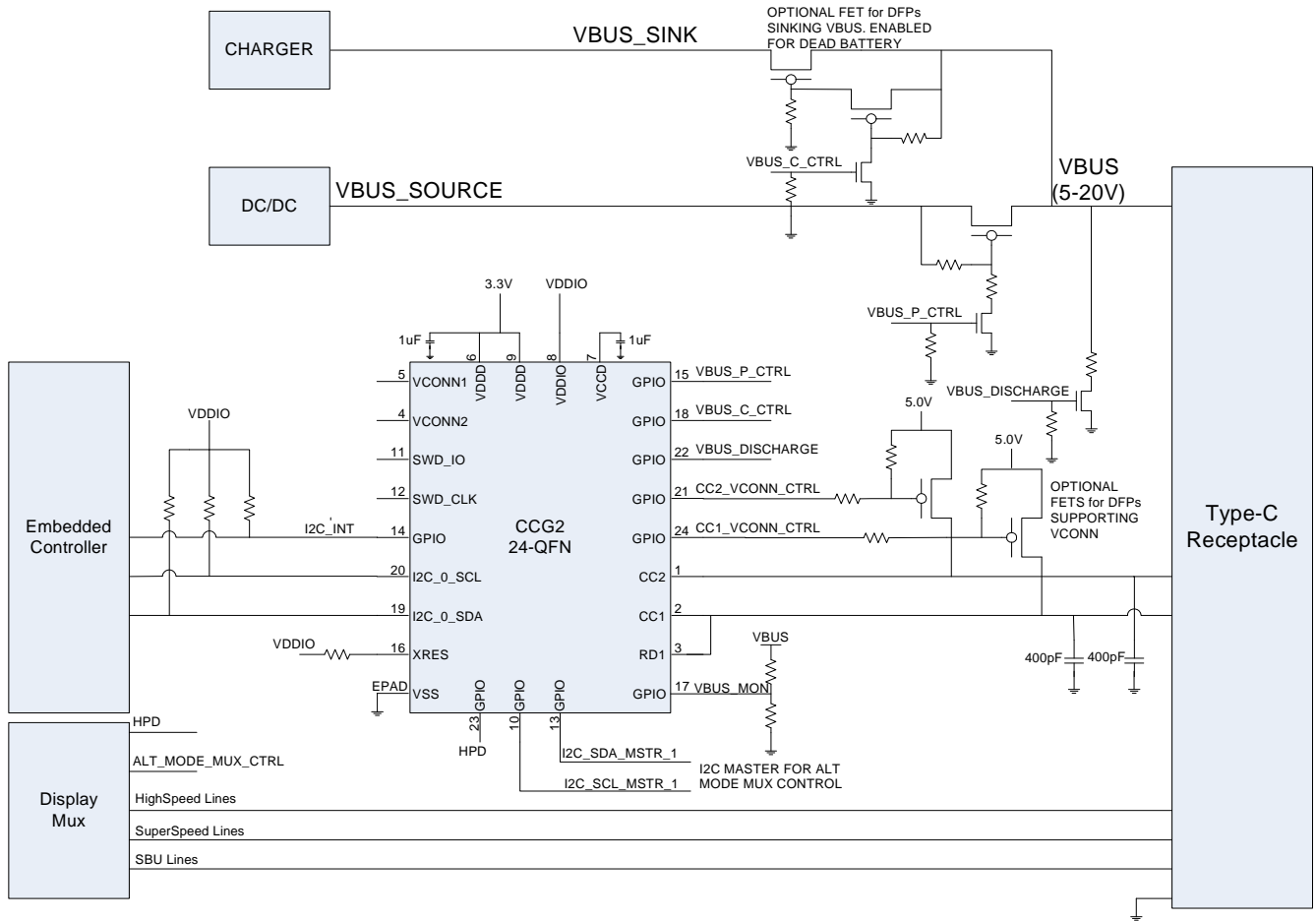
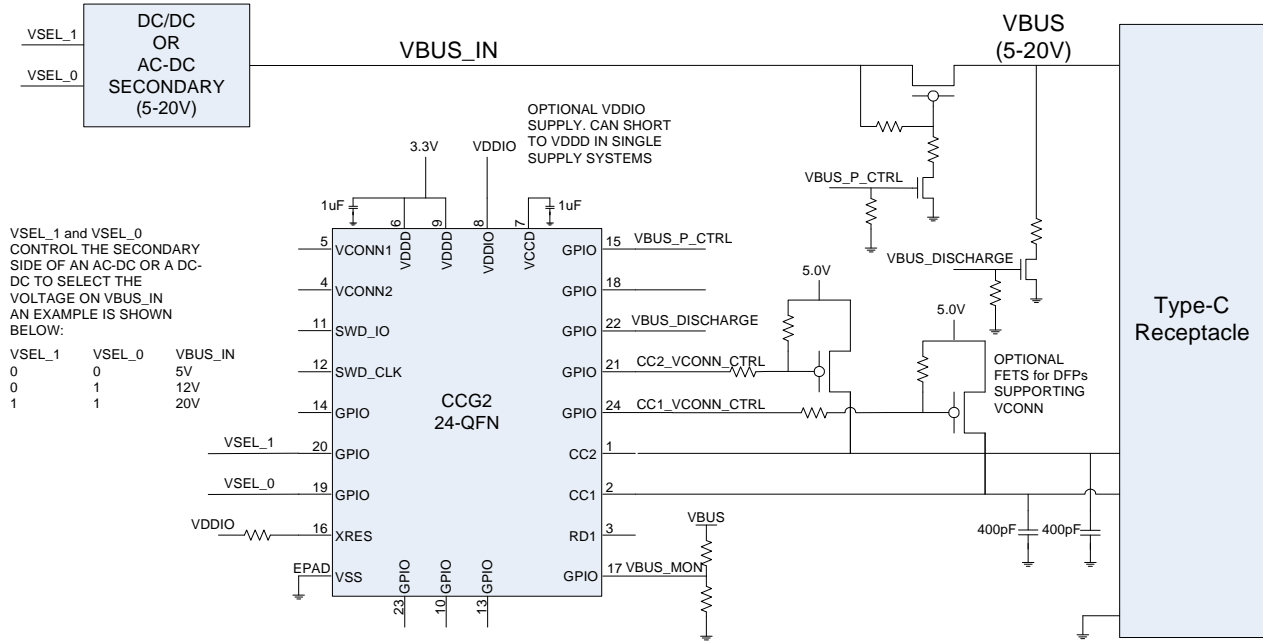


图 11. 上行方向端口（UFP）应用 — 带有 Type-C 型端口的平板电脑



电气规范

最大绝对额定值

表 1. 最大绝对额定值 [1]

参数	说明	最小值	典型值	最大值	单位	详情 / 条件
V _{DDD_MAX}	相对于 V _{SS} 的数字供电电压	-0.5	-	6	V	最大绝对值
V _{CONN1_MAX}	相对于 V _{SS} 的最大供电电压			6	V	最大绝对值
V _{CONN2_MAX}	相对于 V _{SS} 的最大供电电压			6	V	最大绝对值
V _{DDIO_MAX}	相对于 V _{SS} 的最大供电电压			6	V	最大绝对值
V _{GPIO_ABS}	GPIO 电压	-0.5	-	V _{DDIO} + 0.5	V	最大绝对值
I _{GPIO_ABS}	每个 GPIO 上最大的电流	-25	-	25	mA	最大绝对值
I _{GPIO_injection}	GPIO 注入电流, V _{IH} > V _{DDD} 时, 该值最大; V _{IL} < V _{SS} 时, 该值最小	-0.5	-	0.5	mA	最大绝对值, 每个引脚上注入的电流
ESD_HBM	人体静电放电模型	2200	-	-	V	-
ESD_CDM	静电放电的带电器件模型	500	-	-	V	-
LU	栓锁的引脚电流	-200	-	200	mA	-
ESD_IEC_CON	静电放电 IEC61000-4-2	8000	-	-	V	在 CC1、CC2、VCONN1 以及 VCONN2 引脚上进行接触放电
ESD_IEC_AIR	静电放电 IEC61000-4-2	15000	-	-	V	在 CC1、CC2、VCONN1 以及 VCONN2 引脚上进行空气放电

器件级规范

除非另有说明, 否则规范的适用温度是 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 且 $T_J \leq 100\text{ }^{\circ}\text{C}$ 。除非另有说明, 否则这些规范的适用范围为 3.0 V 到 5.5 V。

表 2. 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.PWR#1	V _{DDD}	供电输入电压	2.7	-	5.5	V	UFP 应用
SID.PWR#1_A	V _{DDD}	电源输入电压	3.0	-	5.5	V	DFP/DRP 应用
SID.PWR#23	V _{CONN1}	供电输入电压	4.0	-	5.5	V	-
SID.PWR#23_A	V _{CONN2}	供电输入电压	4.0	-	5.5	V	-
SID.PWR#13	V _{DDIO}	GPIO 供电电源	1.71	-	5.5	V	-
SID.PWR#24	V _{CCD}	输出电压 (供给内核逻辑)	-	1.8	-	V	-
SID.PWR#15	C _{EFC}	V _{CCD} 引脚上的外部电压调节器旁路	1	1.3	1.6	μF	X5R 陶瓷电容或更好的电容
SID.PWR#16	C _{EXC}	V _{DDD} 引脚上的电源去耦电容	-	1	-	μF	X5R 陶瓷电容或更好的电容
SID.PWR#25		在 V _{CONN1} 和 V _{CONN2} 引脚上的电源去耦电容	-	0.1	-	μF	X5R 陶瓷电容或更好的电容

活动模式, V_{DDD} = 2.7 ~ 5.5 V。典型值在 V_{DD} = 3.3 V 时测量。

注释:

1. 器件在高于表 1 中所列出的最大绝对值工作可能会造成永久性的损害。长期使用最大绝对值可能会影响器件的可靠性。最大存放温度是 150°C, 符合 JEDEC 标准 JESD22-A103 — 高温存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值, 则器件不能正常工作。

表 2. 直流规范 (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.PWR#12	I_{DD12}	供电电流	-	7.5	-	mA	V_{CONN1} 或 $V_{CONN2} = 5\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$, CC I/O IN 传输或接收, R_A 已断开, 无 I/O 源电流, CPU 频率为 12 MHz
睡眠模式, $V_{DDD} = 2.7 \sim 5.5\text{ V}$							
SID25A	I_{DD20A}	I ² C 唤醒。打开 WDT。IMO 的频率为 48 MHz	-	2.0	3.0	mA	$V_{DDD} = 3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$, 所有模块 (CPU 除外) 使能, CC I/O 使能, 无 I/O 源电流
深度睡眠模式, $V_{DDD} = 2.7 \sim 3.6\text{ V}$ (使能电压调节器)							
SID_DS_RA	$I_{DD_DS_RA}$	$V_{CONN1} = 5.0$, 使能 R_A 开关	-	100	-	μA	在 V_{CONN1} 和 V_{CONN2} 引脚上使能 R_A 开关 $V_{CONN1} / V_{CONN2} = 5\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$
SID34	I_{DD29}	$V_{DDD} = 2.7 \sim 3.6\text{ V}$ 。 I ² C 唤醒和打开 WDT	-	50	-	μA	在 V_{CONN1} 和 V_{CONN2} 引脚上禁用 R_A 开关。 $V_{DDD} = 3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$
SID_DS	I_{DD_DS}	$V_{DDD} = 2.7 \sim 3.6\text{ V}$ 。 CC 唤醒被使能	-	2.5	-	μA	电源 = V_{DDD} , 不附加 Type-C 型, 使能 CC 进行唤醒, 禁用 R_P
XRES 电流							
SID307	I_{DD_XR}	触发 XRES 时的供电电流	-	1	10	μA	-

表 3. 交流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.CLK#4	F_{CPU}	CPU 频率	DC	-	48	MHz	$3.0\text{ V} \leq V_{DDD} \leq 5.5\text{ V}$
SID.PWR#20	T_{SLEEP}	从睡眠模式唤醒的时间	-	0	-	μs	由特性决定
SID.PWR#21	$T_{DEEPSLEEP}$	从深度睡眠模式唤醒的时间	-	-	35	μs	24 MHz IMO。由特性决定
SID.XRES#5	T_{XRES}	外部复位脉冲宽度	5	-	-	μs	由特性决定
SYS.FES#1	T_{PWR_RDY}	从启动 (加电) 到 “接收 I2C/CC 指令” 的时间	-	5	25	ms	由特性决定

I/O

表 4. 直流 I/O 的规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.GIO#37	$V_{IH}^{[2]}$	输入电压为高时的阈值	$0.7 \times V_{DDIO}$	-	-	V	CMOS 输入
SID.GIO#38	V_{IL}	输入电压为低时的阈值	-	-	$0.3 \times V_{DDIO}$	V	CMOS 输入
SID.GIO#39	$V_{IH}^{[2]}$	LVTTL 输入, $V_{DDIO} < 2.7\text{ V}$	$0.7 \times V_{DDIO}$	-	-	V	-
SID.GIO#40	V_{IL}	LVTTL 输入, $V_{DDIO} < 2.7\text{ V}$	-	-	$0.3 \times V_{DDIO}$	V	-
SID.GIO#41	$V_{IH}^{[2]}$	LVTTL 输入, $V_{DDIO} \geq 2.7\text{ V}$	2.0	-	-	V	-
SID.GIO#42	V_{IL}	LVTTL 输入, $V_{DDIO} \geq 2.7\text{ V}$	-	-	0.8	V	-
SID.GIO#33	V_{OH}	输出为高电平时的输出电压	$V_{DDIO} - 0.6$	-	-	V	当 V_{DDIO} 为 3 V 时, $I_{OH} = 4\text{ mA}$

注释:

 2. V_{IH} 必须不超过 $V_{DDIO} + 0.2\text{ V}$ 。

表 4. 直流 I/O 的规范 (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.GIO#34	V_{OH}	输出为高电平时的输出电压	$V_{DDIO} - 0.5$	-	-	V	V_{DDIO} 为 1.8 V 时, $I_{OH} = 1 \text{ mA}$
SID.GIO#35	V_{OL}	输出低电平时的电压	-	-	0.6	V	V_{DDIO} 为 1.8 V 时, $I_{OL} = 4 \text{ mA}$
SID.GIO#36	V_{OL}	输出低电平时的电压	-	-	0.6	V	V_{DDIO} 为 3 V 时, $I_{OL} = 8 \text{ mA}$
SID.GIO#5	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	k Ω	-
SID.GIO#6	$R_{PULLDOWN}$	下拉电阻	3.5	5.6	8.5	k Ω	-
SID.GIO#16	I_{IL}	输入漏电流 (绝对值)	-	-	2	nA	25 °C, $V_{DDIO} = 3.0 \text{ V}$
SID.GIO#17	C_{IN}	输入电容	-	-	7	pF	-
SID.GIO#43	V_{HYSTTL}	输入迟滞 LVTTTL 电平	25	40	-	mV	$V_{DDIO} \geq 2.7 \text{ V}$ 。 由特性决定
SID.GPIO#44	$V_{HYSCMOS}$	输入迟滞 CMOS 电平	$0.05 \times V_{DDIO}$	-	-	mV	由特性决定
SID69	I_{DIODE}	通过保护二极管到达 V_{DDIO}/V_{SS} 的电流	-	-	100	μA	由特性决定
SID.GIO#45	I_{TOT_GPIO}	芯片的最大源电流或灌电流	-	-	200	mA	由特性决定

表 5. 交流 I/O 规范

(由特性保证)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID70	T_{RISEF}	上升时间	2	-	12	ns	3.3 V V_{DDIO} , $C_{load} = 25 \text{ pF}$
SID71	T_{FALLF}	下降时间	2	-	12	ns	3.3 V V_{DDIO} , $C_{load} = 25 \text{ pF}$

XRES
表 6. XRES 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.XRES#1	V_{IH}	输入电压为高时的阈值	$0.7 \times V_{DDIO}$	-	-	V	CMOS 输入
SID.XRES#2	V_{IL}	输入电压为低时的阈值	-	-	$0.3 \times V_{DDIO}$	V	CMOS 输入
SID.XRES#3	C_{IN}	输入电容	-	-	7	pF	-
SID.XRES#4	$V_{HYSXRES}$	输入电压迟滞	-	-	$0.05 \times V_{DDIO}$	mV	由特性决定

数字外设

下列规范适用于定时器模式下的定时器 / 计数器 / PWM 外设。

GPIO 引脚的脉冲宽度调制 (PWM)
表 7. PWM 交流规范

(由特性保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.TCPWM.3	T _{CPWMFREQ}	工作频率	–	F _c	–	MHz	F _c 最大值 = CLK_SYS。 最大值 = 48 MHz
SID.TCPWM.4	T _{PWMENEXT}	输入触发脉冲宽度	–	2/F _c	–	ns	用于所有触发事件
SID.TCPWM.5	T _{PWMEXT}	输出触发脉冲宽度	–	2/F _c	–	ns	上溢、下溢和 CC (计数值等于比较值) 输出的 最小宽度
SID.TCPWM.5A	T _{CRES}	计数器的分辨率	–	1/F _c	–	ns	连续计数间的最短时间
SID.TCPWM.5B	PWM _{RES}	PMW 分辨率	–	1/F _c	–	ns	PWM 输出的最小脉冲宽度
SID.TCPWM.5C	Q _{RES}	正交输入分辨率	–	1/F _c	–	ns	正交相位输入间的最小脉冲 宽度

I²C
表 8. 固定 I²C 直流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID149	I _{I2C1}	速度为 100 kbps 时的模块电流消耗	–	–	60	μA	–
SID150	I _{I2C2}	速度为 400 kbps 时的模块电流消耗	–	–	185	μA	–
SID151	I _{I2C3}	速度为 1 Mbps 时的模块电流消耗	–	–	390	μA	–
SID152	I _{I2C4}	在深度睡眠模式下使能 I ² C	–	–	1.4	μA	–

表 9. 固定 I²C 交流规范

(由特性保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID153	F _{I2C1}	比特率	–	–	1	Mbps	–

表 10. 固定 UART 直流规范

(由特性保证)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID160	I _{UART1}	在速度为 100 Kbits/ 秒下的模块电流消耗	–	–	125	μA	–
SID161	I _{UART2}	在速度为 1000 Kbits/ 秒下的模块电流消耗	–	–	312	μA	–

表 11. 固定 UART 交流规范

(由特性保证)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID162	F _{UART}	比特率	–	–	1	Mbps	–

表 12. 固定 SPI 直流规范

(由特性保证)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID163	I _{SPI1}	速度为 1 Mbits/ 秒时的模块 电流消耗	–	–	360	μA	–

表 12. 固定 SPI 直流规范

(由特性保证) (续)

SID164	I _{SPI2}	速度为 4 Mbps 时的模块电流消耗	-	-	560	μA	-
SID165	I _{SPI3}	速度为 8 Mbps/ 秒时的模块电流消耗	-	-	600	μA	-

表 13. 固定 SPI 交流规范

(由特性保证)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID166	F _{SPI}	SPI 工作频率 (主设备; 6X 过采样)	-	-	8	MHz	-

表 14. SPI 主设备模式的固定交流规范

(由特性保证)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID167	T _{DMO}	SClock 驱动沿后的 MOSI 有效时间	-	-	15	ns	-
SID168	T _{DSI}	SClock 捕获沿前 MISO 有效的的时间	20	-	-	ns	全时钟、MISO 推迟采样
SID169	T _{HMO}	先前的 MOSI 数据保持时间	0	-	-	ns	请参考从设备捕获边沿

表 15. SPI 从设备模式的固定交流规范

(由特性保证)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID170	T _{DMI}	SClock 捕获沿前的 MOSI 有效时间	40	-	-	ns	-
SID171	T _{DSO}	SClock 驱动沿后的 MISO 有效时间	-	-	42 + 3*T _{CPU}	ns	T _{CPU} = 1/F _{CPU}
SID171A	T _{D_{SO}_EXT}	在外部时钟模式下 SClock 驱动沿后 MISO 的有效时间。			48	ns	-
SID172	T _{H_{SO}}	先前的 MISO 数据保持时间	0	-	-	ns	-
SID172A	T _{SSEL_{SCK}}	从 SSEL 有效到第一个 SCK 沿有效的的时间	100			ns	-

存储器
表 16. 闪存交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.MEM#4	T _{ROWWRITE} ^[3]	行（模块）编写时间 （擦除和编程）	–	–	20	ms	行（模块）= 128 个字节
SID.MEM#3	T _{ROWERASE} ^[3]	行擦除时间	–	–	13	ms	–
SID.MEM#8	T _{ROWPROGRAM} ^[3]	擦除后的行编程时间	–	–	7	ms	–
SID178	T _{BULKERASE} ^[3]	批量擦除时间（32 KB）	–	–	35	ms	–
SID180	T _{DEVPROG} ^[3]	器件总编程时间	–	–	7.5	秒	由特性保证
SID181	F _{END}	闪存耐久性	100 K	–	–	周期	由特性保证
SID182	F _{RET1}	闪存数据保持时间。T _A ≤ 55 °C, 100 K 个编程 / 擦除周期	20	–	–	年	由特性保证
SID182A	F _{RET2}	闪存数据保持时间。T _A ≤ 85 °C, 10 K 个编程 / 擦除周期	10	–	–	年	由特性保证

系统资源

欠压时的上电复位（POR）

表 17. 非精密上电复位（PRES）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID185	V _{RISEIPOR}	上升触发电压	0.80	–	1.50	V	由特性保证
SID186	V _{FALLIPOR}	下降触发电压	0.75	–	1.4	V	由特性决定

表 18. 精密上电复位（POR）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID190	V _{FALLPPOR}	活动模式和睡眠模式下的 BOD 触发电压	1.48	–	1.62	V	由特性保证
SID192	V _{FALLDPSLP}	深度睡眠模式下的 BOD 触发电压	1.1	–	1.5	V	由特性决定

注释：

- 它可能需要最多 20 毫秒来写入到闪存。在这段时间内请勿复位器件，否则会中断闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。

SWD 接口
表 19. SWD 接口规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.SWD#1	F_SWDCCLK1	$3.3\text{ V} \leq V_{\text{DDIO}} \leq 5.5\text{ V}$	–	–	14	MHz	SWDCCLK ≤ CPU 时钟频率的 1/3
SID.SWD#2	F_SWDCCLK2	$1.8\text{ V} \leq V_{\text{DDIO}} \leq 3.3\text{ V}$	–	–	7	MHz	SWDCCLK ≤ CPU 时钟频率的 1/3
SID.SWD#3	T_SWDI_SETUP	$T = 1/f\text{ SWDCCLK}$	$0.25 * T$	–	–	ns	由特性决定
SID.SWD#4	T_SWDI_HOLD	$T = 1/f\text{ SWDCCLK}$	$0.25 * T$	–	–	ns	由特性决定
SID.SWD#5	T_SWDO_VALID	$T = 1/f\text{ SWDCCLK}$	–	–	$0.5 * T$	ns	由特性决定
SID.SWD#6	T_SWDO_HOLD	$T = 1/f\text{ SWDCCLK}$	1	–	–	ns	由特性决定

内部主振荡器
表 20. IMO 直流规范

(由设计保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID218	I _{IMO}	频率为 48 MHz 时的 IMO 工作电流	–	–	1000	μA	–

表 21. IMO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.CLK#13	F _{IMOTOL}	在频率为 24、36 或 48 MHz 时测量频率差异 (出厂调整后)	–	–	±2	%	–
SID226	T _{STARTIMO}	IMO 启动时间	–	–	7	μs	–
SID229	T _{JITRMSIMO}	频率为 48 MHz 时的 RMS 抖动	–	145	–	ps	–
F _{IMO}	–	IMO 频率	24	–	48	MHz	–

内部低速振荡器
表 22. ILO 直流规范

(由设计保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID231	I _{ILO}	频率为 32 kHz 时的 ILO 工作电流	–	0.3	1.05	μA	由特性决定
SID233	I _{ILOLEAK}	ILO 漏电流	–	2	15	nA	由设计保证

表 23. ILO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID234	T _{STARTILO}	ILO 启动时间	–	–	2	ms	由特性保证
SID236	T _{ILODUTY}	ILO 占空比	40	50	60	%	由特性决定
SID.CLK#5	F _{ILO}	ILO 频率	20	40	80	kHz	–

断电
表 24. PD 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.PD.1	Rp_std	默认 USB 电源时的 DFP CC 终端电阻	64	80	96	μA	–
SID.PD.2	Rp_1.5A	1.5 A 电源时的 DFP CC 终端电阻	166	180	194	μA	–
SID.PD.3	Rp_3.0A	3.0 A 电源时的 DFP CC 终端电阻	304	330	356	μA	–
SID.PD.4	Rd	UFP CC 终端电阻	4.59	5.1	5.61	kΩ	–
SID.PD.5	Rd_DB	RD1 和 CC2 上的 UFP Dead Battery CC 终端电阻	4.08	5.1	6.12	kΩ	所有电源被强制为 0 V，并 RD1 或 CC2 上采用 0.6 V
SID.PD.6	R _A	电源线缆终端电阻	0.8	1.0	1.2	kΩ	所有电源被强制为 0 V，并 V _{CONN1} 或 V _{CONN2} 上采用 0.2 V
SID.PD.7	Ra_OFF	电源线缆终端电阻 — 禁用	0.4	0.75	–	MΩ	R _A 被禁用时，V _{CONN1} 或 V _{CONN2} 的电压为 2.7 V
SID.PD.8	Rleak_1	负载电容为 0.1 μF 时的 V _{CONN} 漏电阻	–	–	216	kΩ	受管理的有效线缆（MAC）放电
SID.PD.9	Rleak_2	负载电容为 0.5 μF 时的 V _{CONN} 漏电阻	–	–	41.2	kΩ	
SID.PD.10	Rleak_3	负载电容为 1.0 μF 时的 V _{CONN} 漏电阻	–	–	19.6	kΩ	
SID.PD.11	Rleak_4	负载电容为 2.0 μF 时的 V _{CONN} 漏电阻	–	–	9.8	kΩ	
SID.PD.12	Rleak_5	负载电容为 5.0 μF 时的 V _{CONN} 漏电阻	–	–	4.1	kΩ	
SID.PD.13	Rleak_6	负载电容为 10 μF 时的 V _{CONN} 漏电阻	–	–	2.0	kΩ	
SID.PD.14	Ileak	拔掉线缆时放电引起的 V _{CONN1} 和 V _{CONN2} 上的漏电流	150	–	–	μA	

模数转换器
表 25. ADC 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.ADC.1	分辨率	ADC 分辨率	–	8	–	位	–
SID.ADC.2	INL	积分非线性	–1.5	–	1.5	LSB	–
SID.ADC.3	DNL	微分非线性	–2.5	–	2.5	LSB	–
SID.ADC.4	增益误差	增益误差	–0.5	–	0.5	LSB	–

表 26. ADC 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.ADC.5	SLEW_Max	采样电压信号变化率	–	–	3	V/ms	–

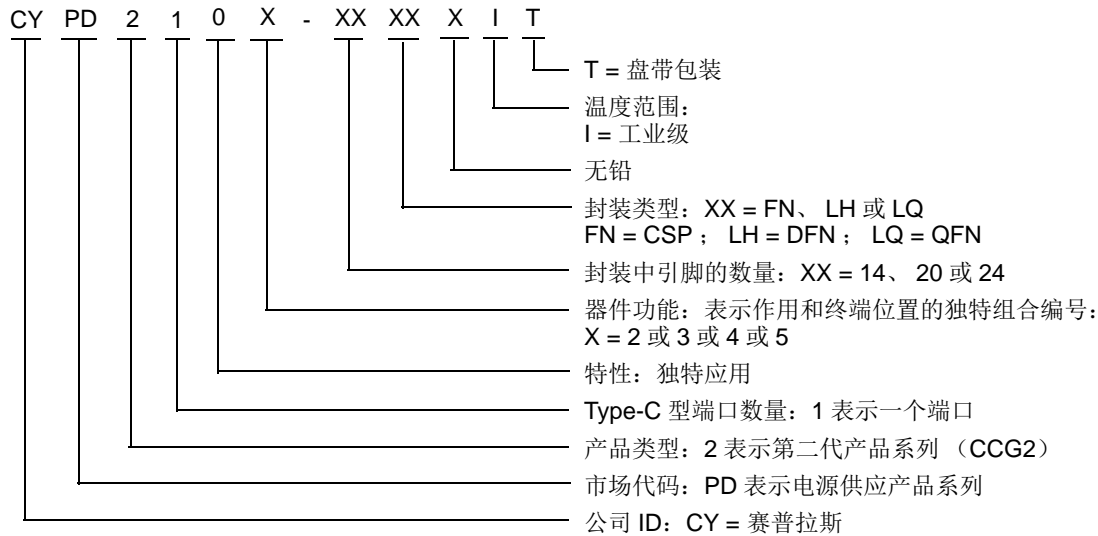
订购信息

表 27 中列出了 EZ-PD CCG2 器件的型号和特性。

表 27. EZ-PD CCG2 订购信息

器件型号	应用	Type-C 型端口	终端电阻	角色	封装
CYPD2103-20FNXIT	线缆	1	$R_A^{[4]}$	线缆	20 球型焊盘 CSP
CYPD2103-14LHXIT	线缆	1	$R_A^{[4]}$	线缆	14-DFN
CYPD2105-20FNXIT	有效线缆	1	$R_A^{[4]}$	有效线缆	20 球型焊盘 CSP
CYPD2104-20FNXIT	配件	1	$R_D^{[5]}$	配件	20 球型焊盘 CSP
CYPD2122-20FNXIT	平板电脑	1	$R_P^{[6]}$ 、 $R_D^{[5]}$	DRP	20 球型焊盘 CSP
CYPD2122-24LQXIT	笔记本电脑	1	$R_P^{[6]}$ 、 $R_D^{[5]}$	DRP	24-QFN
CYPD2134-24LQXIT	DFP	1	$R_P^{[6]}$	DFP	24-QFN

订购代码定义



注释：

4. 终端电阻表示一个 EMCA。
5. 终端电阻表示一个配件或 UFP。
6. 终端电阻表示一个 DFP。

封装

表 28. 封装特性

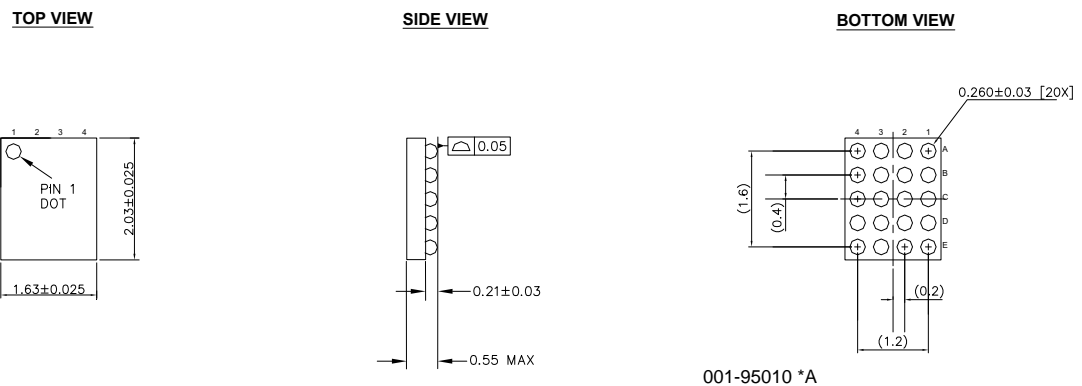
参数	说明	条件	最小值	典型值	最大值	单位
T _A	工作环境温度	—	-40	25	85	°C
T _J	工作结温	—	-40	—	100	°C
T _{JA}	封装 θ _{JA} (20 球型焊盘 WLCSP)	—	—	66	—	°C/W
T _{JC}	封装 θ _{JC} (20 球型焊盘 WLCSP)	—	—	0.7	—	°C/W
T _{JA}	封装 θ _{JA} (14 引脚 DFN)	—	—	31	—	°C/W
T _{JC}	封装 θ _{JC} (14-DFN)	—	—	59	—	°C/W
T _{JA}	封装 θ _{JA} (24-QFN)	—	—	22	—	°C/W
T _{JC}	封装 θ _{JC} (24-QFN)	—	—	29	—	°C/W

表 29. 回流焊峰值温度

封装	最高峰值温度	峰值温度为 5 °C 的最长时间
20 球型焊盘 WLCSP	260 °C	30 秒
14-DFN	260 °C	30 秒
24-QFN	260 °C	30 秒

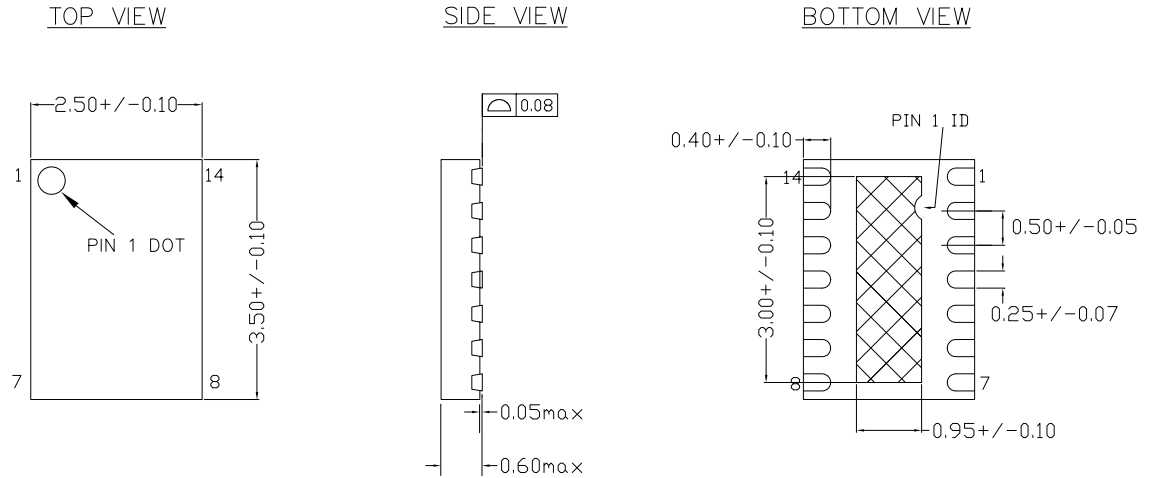
封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

封装	MSL
20 球型焊盘 WLCSP	MSL 1
14-DFN	MSL 3
24-QFN	MSL 3

图 12. 20 球型焊盘 WLCSP (1.63 × 2.03 × 0.55 mm) FN20B 封装外形, 001-95010

NOTES:

1. REFERENCE JEDEC PUBLICATION 95, DESIGN GUIDE 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

图 13. 14-DFN (2.5 × 3.5 × 0.6 mm), LH14A, 0.95 × 3.00 E-Pad (Sawn 版本) 封装外形, 001-96312

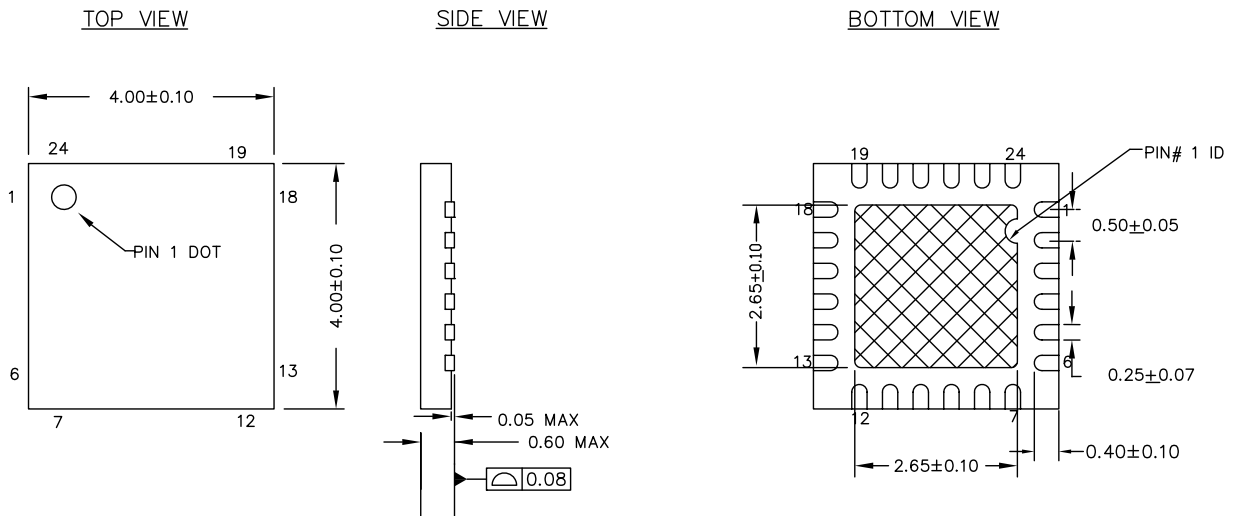


NOTES :


1. HATCH AREA IS SOLDERABLE EXPOSED METAL
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-96312 **

图 14. 24-QFN (4 × 4 × 0.55 mm), LQ24A, 2.65 × 2.65 E-Pad (Sawn 版本) 封装外形, 001-13937



NOTES :

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *F

缩略语

表 30. 本文中使用的缩略语

缩略语	说明
ADC	模数转换器
API	应用编程接口
ARM®	高级 RISC 机器，即为一种 CPU 架构
CC	配置通道
CCG2	第二代线缆控制器
CPU	中央处理器
CRC	循环冗余校验，即为一种错误校验协议
CS	电流感应
DFP	下行方向端口
DIO	数字输入 / 输出，GPIO 只具有数字功能，无模拟功能。请参见 GPIO。
DRP	双功能端口
EEPROM	电可擦除可编程只读存储器
EMCA	是一种 USB 线缆，它包含一个可将线缆特性（如电流比率）报告给 Type-C 型接口的 IC。
EMI	电磁干扰
ESD	静电放电
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出
IC	集成电路
IDE	集成开发环境
I ² C 或 IIC	内部集成电路，即为一种通信协议
ILO	内部低速振荡器，另请参见 IMO
IMO	内部主振荡器，另请参见 ILO
I/O	输入 / 输出，另请参见 GPIO
LVD	低压检测
LVTTL	低压晶体管 — 晶体管逻辑
MCU	微控制器
NC	无连接
NMI	不可屏蔽的中断
NVIC	嵌套向量中断控制器

表 30. 本文中使用的缩略语 (续)

缩略语	说明
opamp	运算放大器
OCP	过流保护
OVP	过压保护
PCB	印刷电路板
PD	电源供应
PGA	可编程增益放大器
PHY	物理层
POR	上电复位
PRES	精密上电复位
PSoC®	Programmable System-on-Chip™ (可编程片上系统)
PWM	脉冲宽度调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RX	接收
SAR	逐次逼近寄存器
SCL	I ² C 串行时钟
SDA	I ² C 串行数据
S/H	采样和保持
SPI	串行外设接口，即为一种通信协议
SRAM	静态随机存取存储器
SWD	串行线调试，即为一种测试协议
TX	发送
Type-C	USB 连接器更细长，并且线缆可反向的新标准，能够提供高达 100 W 的电源
UART	通用异步发送器接收器，它是一种通信协议
USB	通用串行总线
USBIO	USB 输入 / 输出，用于连接至 USB 端口的 CCG2 引脚
XRES	外部复位 I/O 引脚

文档规范

测量单位

表 31. 测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
KB	1024 字节
kHz	千赫兹
kΩ	千欧
Mbps	每秒兆比特
MHz	兆赫
MΩ	兆欧姆
Msps	每秒兆次采样
μA	微安
μF	微法
μs	微秒
μV	微伏
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	每秒采样数
V	伏特

文档修订记录

说明标题: EZ-PD™ CCG2 数据手册 USB Type-C 型端口控制器				
文档编号: 001-97028				
版本	ECN	变更者	提交日期	变更说明
**	4722821	WEIZ	04/15/2015	本文档版本号为 Rev**, 译自英文版 001-93912 Rev*E。
*A	4791639	WEIZ	06/15/2015	本文档版本号为 Rev*A, 译自英文版 001-93912 Rev*G。
*B	5710771	SSAS	04/25/2017	更新版权信息。更新模板到最新。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

赛普拉斯开发者社区

[论坛](#) | [WICED IoT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/go/support

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© 赛普拉斯半导体公司，2014-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权使用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。