

**エラー訂正コード (ECC) 付 16M ビット (1M ワード × 16 ビット / 2M ワード × 8 ビット) スタティック RAM**
**特長**

- 超低スタンバイ電流
  - 標準スタンバイ電流 : 5.5µA
  - 最大スタンバイ電流 : 16µA
- 高速 : 45ns / 55ns
- シングルビット エラー訂正用の組込みエラー訂正コード (ECC)
- 広い電圧範囲 : 1.65V ~ 2.2V, 2.2V ~ 3.6V および 4.5V ~ 5.5V
- 1.0V データ保持
- トランジスタ-トランジスタ ロジック (TTL) と互換性のある入出力
- 1 ビット エラー検出と訂正を示すエラー通知 (ERR) ピン
- 1M×16 または 2M×8 SRAM として構成可能な 48 ピン TSOP I パッケージ
- 鉛フリー48ボールVFBGAおよび48ピンTSOP Iパッケージで実装

**機能の説明**

CY62167G および CY62167GE は組込み ECC<sup>[1]</sup> を備えた高性能 CMOS、低消費電力 (MoBL®) SRAM デバイスです。両方のデバイスは、シングルとデュアル チップ イネーブル方式で、複数ピン構成で提供されます。CY62167GE デバイスは、読み出しサイクル中にシングル ビット エラー検出と訂正イベントを通知する ERR ピンを備えています。

シングル チップ イネーブル入力を持つデバイスは、チップ イネーブル入力 ( $\overline{CE}$ ) を LOW にアサートすることでアクセスします。デュアル チップ イネーブル デバイスは、両方のチップ イネーブル入力を ( $\overline{CE}_1$  を LOW に、 $\overline{CE}_2$  を HIGH に) アサートしてアクセスします。

データ書き込みは、書き込みイネーブル ( $\overline{WE}$ ) 入力を LOW にアサートし、データとアドレスをデバイスのそれぞれデータピン ( $I/O_0 \sim I/O_{15}$ ) とアドレスピン ( $A_0 \sim A_{19}$ ) に提供して実行します。上位バイト イネーブル (BHE) と下位バイト イネーブル

(BLE) 入力はバイト書き込みを制御し、対応する I/O ライン上のデータを指定されたメモリ位置に書き込みます。BHE は  $I/O_0 \sim I/O_{15}$  を制御し、BLE は  $I/O_0 \sim I/O_7$  を制御します。

データ読み出しは、出力イネーブル (OE) 入力をアサートし、アドレスライン上に必要なアドレスを提供して実行します。読み出しデータは I/O ライン ( $I/O_0 \sim I/O_{15}$ ) 上でアクセスできます。バイト アクセスは、必要なバイト イネーブル信号 (BHE または BLE) をアサートし、指定されたアドレス位置からデータの上位バイトまたは下位バイトのいずれかを読み出すことで実行します。

全ての I/O ( $I/O_0 \sim I/O_{15}$ ) は、デバイスが選択解除される (シングル チップ イネーブル デバイスでは  $\overline{CE}$  HIGH、デュアル チップ イネーブル デバイスでは  $\overline{CE}_1$  HIGH /  $\overline{CE}_2$  LOW)、または制御信号 ( $\overline{OE}$ 、 $\overline{BLE}$ 、 $\overline{BHE}$ ) がアサート解除される時、高インピーダンス状態になります。

これらのデバイスは、独自の「Byte Power down」機能を備えています。この機能を使用すると、両方のバイト イネーブル (BHE と BLE) が無効になった場合、デバイスはチップ イネーブルの状態に関係なく、途切れずにスタンバイモードに切り替わるため、消費電力を節約できます。

CY62167GE デバイスでは、アクセスされた位置におけるシングル ビット エラーの検出および訂正は、ERR 出力のアサート (ERR=HIGH) により行われます。読み出しモードと書き込みモードの詳細な説明については [16 ページの 真理値表 - CY62167G / CY62167GE](#) をご参照ください。

CY62167G と CY62167GE デバイスは鉛フリー 48 ピン TSOP I パッケージと 48 ボール VFBGA パッケージで提供されています。論理ブロック図は 2 ページに示されています。

48 ピン TSOP I パッケージに実装されたデバイスは、2M ワード × 8 ビット デバイスとして機能するように設定することもできます。詳細についてはピン配置の節をご参照ください。

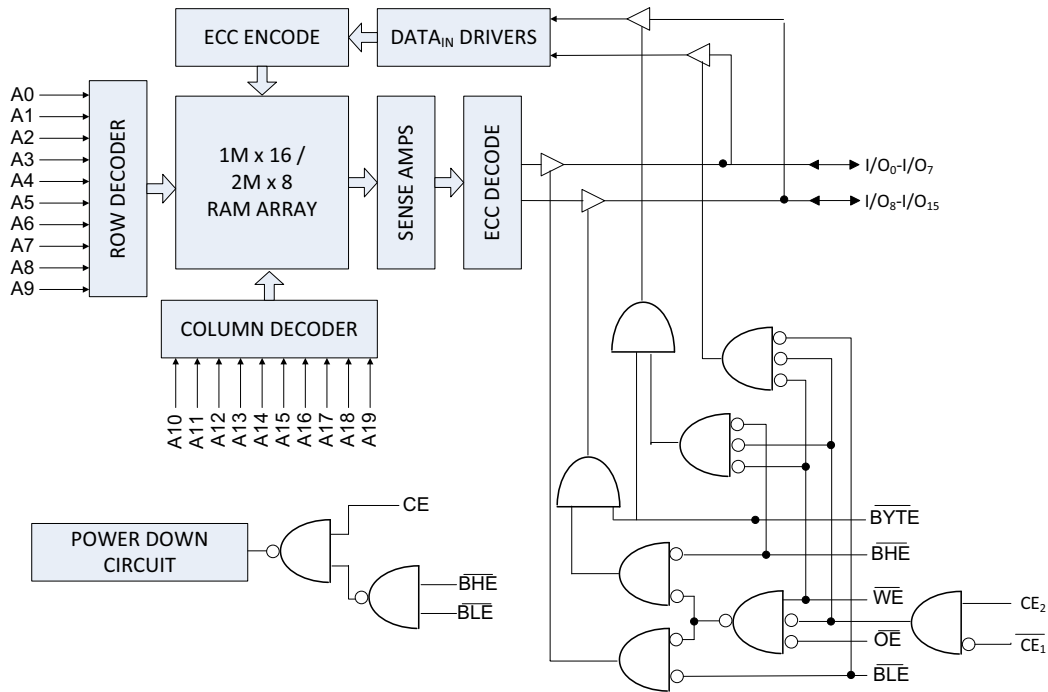
全ての関連資料の一覧を表示するには、[ここをクリックしてください](#)。

**製品ポートフォリオ**

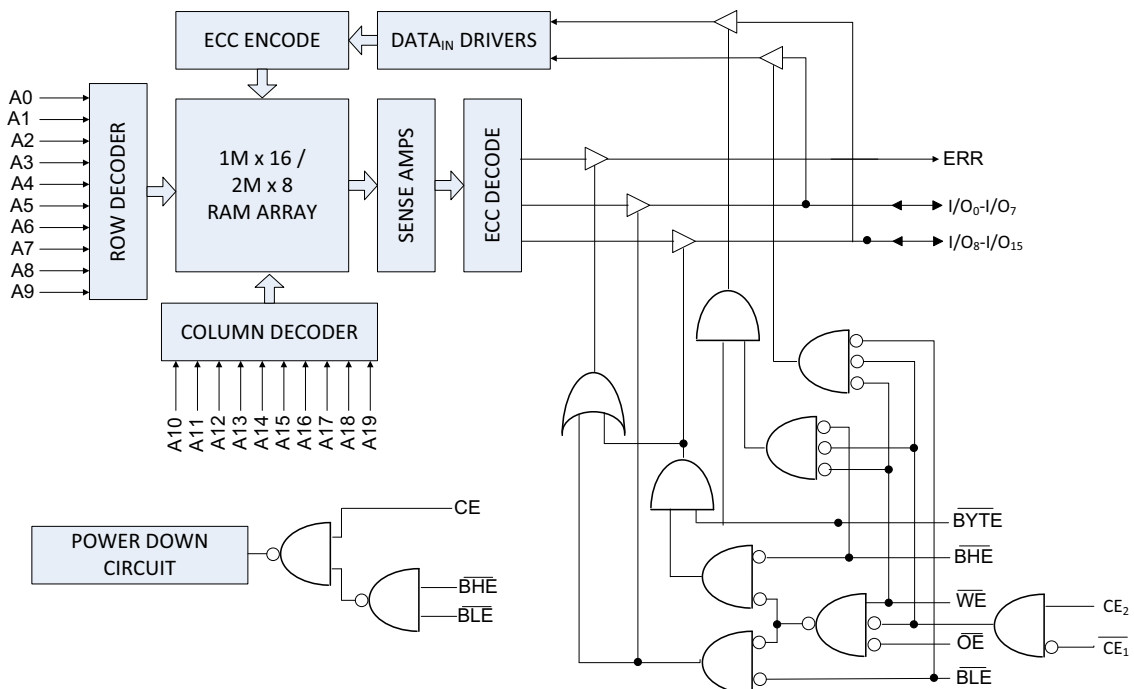
製品	特長とオプション (ピン配置の節をご参照 ください)	範囲	V <sub>CC</sub> の範囲 (V)	速度 (ns)	消費電流			
					動作時 I <sub>CC</sub> (mA)		スタンバイ時 I <sub>SB2</sub> (µA)	
					f=f <sub>max</sub>			
					Typ <sup>[2]</sup>	Max	Typ <sup>[2]</sup>	Max
CY62167G(E)18	シングルまたはデュアル チップ イネーブル オプションの ERR ピン	産業用	1.65V ~ 2.2V	55	29	32	7	26
CY62167G(E)30			2.2V ~ 3.6V	45	29	36	5.5	16
CY62167G(E)			4.5V ~ 5.5V					

- 注:
- このデバイスは、エラー検出時の自動再書き込みをサポートしません。
  - Typ 値は単に参考値であり、保証またはテストされていません。Typ 値は、V<sub>CC</sub>=1.8V (V<sub>CC</sub> が 1.65V ~ 2.2V の場合)、V<sub>CC</sub>=3V (V<sub>CC</sub> が 2.2V ~ 3.6V の場合)、V<sub>CC</sub>=5V (V<sub>CC</sub> が 4.5V ~ 5.5V の場合)、T<sub>A</sub>=25°C で測定しています。

論理ブロック図 - CY62167G



論理ブロック図 - CY62167GE



## 目次

ピン配置 – CY62167G .....	4	注文コードの定義 .....	18
ピン配置 – CY62167GE .....	5	パッケージ図 .....	19
最大定格 .....	7	略語 .....	21
動作範囲 .....	7	本書の表記法 .....	21
DC 電気的特性 .....	7	測定単位 .....	21
静電容量 .....	9	改訂履歴 .....	22
熱抵抗 .....	9	セールス、ソリューション、および法律情報 .....	23
AC テストの負荷と波形 .....	9	ワールドワイドな販売と設計サポート .....	23
データ保持特性 .....	10	製品 .....	23
データ保持波形 .....	10	PSoC <sup>®</sup> ソリューション .....	23
スイッチング特性 .....	11	サイプレス開発者コミュニティ .....	23
スイッチング波形 .....	12	テクニカル サポート .....	23
真理値表 – CY62167G / CY62167GE .....	16		
ERR 出力 – CY62167GE .....	16		
注文情報 .....	17		

ピン配置 – CY62167G

図 1. 48 ボール VFBGA ピン配置 (ERR なしのデュアル チップ イネーブル) – CY62167G [3]

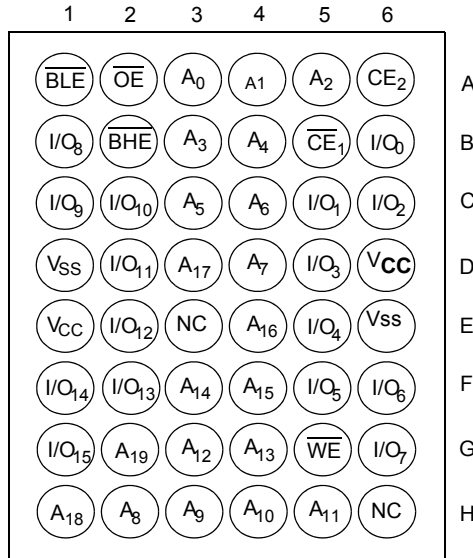
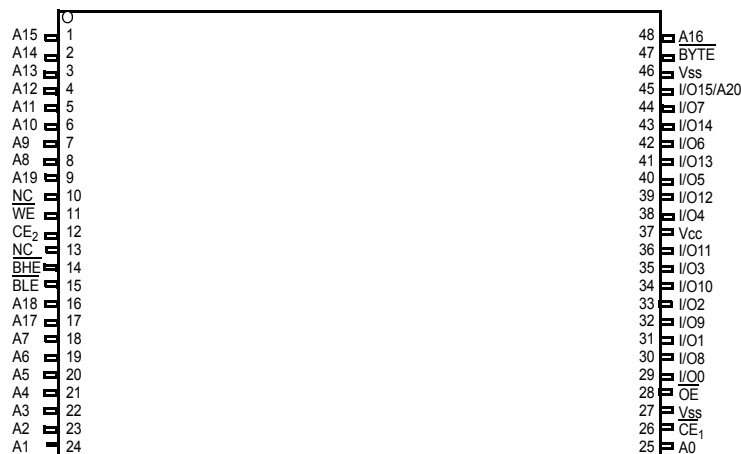


図 2. 48 ピン TSOP I ピン配置 (ERR なしのデュアル チップ イネーブル) – CY62167G [3, 4]



- 注:
- NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使われます。ピン配置についてはそれぞれのデータシートをご参照ください。
  - デバイスを 1M×16 SRAM として使用するためには、48 ピン TSOP I パッケージ内の  $\overline{\text{BYTE}}$  ピンを  $V_{\text{CC}}$  に接続します。48 ピン TSOP I パッケージは、 $V_{\text{SS}}$  に  $\overline{\text{BYTE}}$  信号を接続することにより 2M×8 SRAM として使用することもできます。2M×8 構成の SRAM においては、45 ピンは余分なアドレス ライン A20 であり、一方 BHE、BLE および  $\text{I/O}_8 \sim \text{I/O}_{14}$  ピンは未使用であり、開放のままにすることができます。

ピン配置 – CY62167GE

図 3. 48 ボール VFBGA ピン配置 (ERR 付きのシングル チップ イネーブル) – CY62167GE [5, 6]

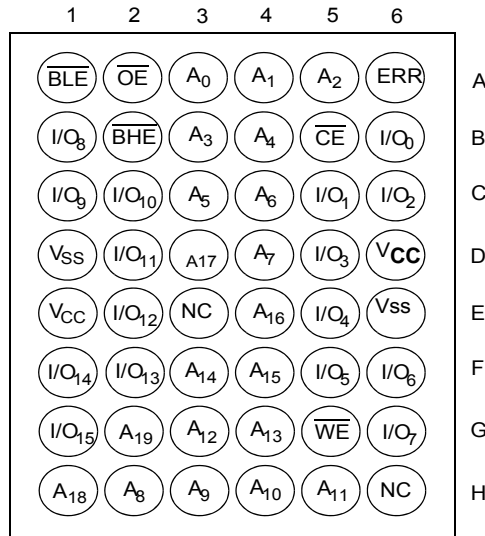
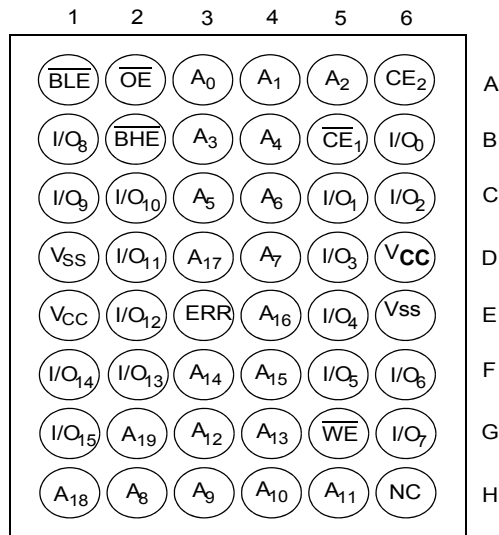
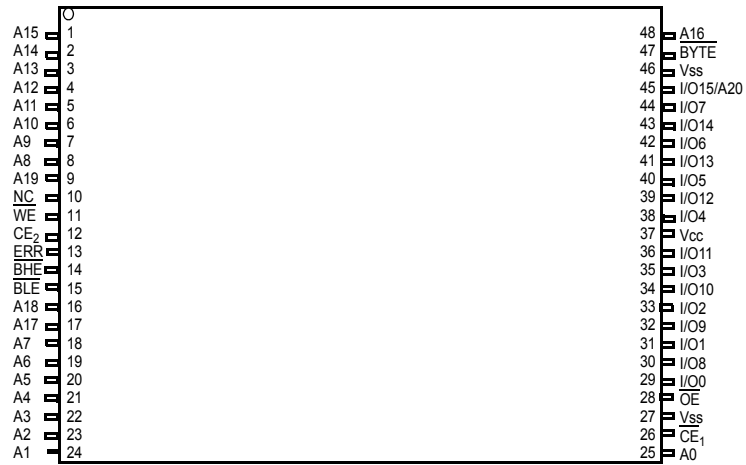


図 4. 48 ボール VFBGA ピン配置 (ERR 付きのデュアル チップ イネーブル) – CY62167GE [5, 6]



- 注:
- 5. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートをご参照ください。
  - 6. ERR は出力ピンです。このピンを使用しない場合、開放にする必要があります。

**ピン配置 – CY62167GE( 続き )**
**図 5. 48 ピン TSOP I ピン配置 (ERR 付きのデュアル チップ イネーブル) – CY62167GE [7、8]**

**注:**

7. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートをご参照ください。
8. デバイスを 1M×16 SRAM として使用するためには、48 ピン TSOP I パッケージ内の BYTE ピンを V<sub>CC</sub> に接続します。48 ピン TSOP I パッケージは、V<sub>SS</sub> に BYTE 信号を接続することにより 2M×8 SRAM として使用することもできます。2M×8 構成の SRAM においては、ピン 45 は余分なアドレスライン A20 であり、一方 BHE、BLE および I/O<sub>8</sub> ~ I/O<sub>14</sub> ピンは未使用であり、開放のままにすることができます。

## 最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザーガイドラインはテストされていません。

保存温度 ..... -65°C ~ +150°C

通電時の周囲温度 ..... -55°C ~ +125°C

グラウンド電位に対する

電源電圧 ..... -0.5V ~  $V_{CC}+0.5V$

High Z 状態の DC 出力

に印加される電圧<sup>[9]</sup> ..... -0.5V ~  $V_{CC}+0.5V$

DC 入力電圧<sup>[9]</sup> ..... -0.5V ~  $V_{CC}+0.5V$

出力 (LOW) への電流 ..... 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) ..... > 2001V

ラッチアップ電流 ..... >140mA

## 動作範囲

グレード	周囲温度	$V_{CC}$ <sup>[10]</sup>
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

## DC 電気的特性

動作範囲 -40°C ~ 85°C

パラメーター	説明	テスト条件	45 / 55ns			単位	
			Min	Typ <sup>[11]</sup>	Max		
$V_{OH}$	出力 HIGH 電圧	1.65V ~ 2.2V	$V_{CC}=\text{Min}$ 、 $I_{OH}=-0.1\text{mA}$	1.4	-	-	V
		2.2V ~ 2.7V	$V_{CC}=\text{Min}$ 、 $I_{OH}=-0.1\text{mA}$	2.0	-	-	
		2.7V ~ 3.6V	$V_{CC}=\text{Min}$ 、 $I_{OH}=-1.0\text{mA}$	2.4	-	-	
		4.5V ~ 5.5V	$V_{CC}=\text{Min}$ 、 $I_{OH}=-1.0\text{mA}$	2.4	-	-	
		4.5V ~ 5.5V	$V_{CC}=\text{Min}$ 、 $I_{OH}=-0.1\text{mA}$	$V_{CC} - 0.4$ <sup>[12]</sup>	-	-	
$V_{OL}$	出力 LOW 電圧	1.65V ~ 2.2V	$V_{CC}=\text{Min}$ 、 $I_{OL}=0.1\text{mA}$	-	-	0.2	
		2.2V ~ 2.7V	$V_{CC}=\text{Min}$ 、 $I_{OL}=0.1\text{mA}$	-	-	0.4	
		2.7V ~ 3.6V	$V_{CC}=\text{Min}$ 、 $I_{OL}=2.1\text{mA}$	-	-	0.4	
		4.5V ~ 5.5V	$V_{CC}=\text{Min}$ 、 $I_{OL}=2.1\text{mA}$	-	-	0.4	
$V_{IH}$	入力 HIGH 電圧 <sup>[9]</sup>	1.65V ~ 2.2V	-	1.4	-	$V_{CC}+0.2$	
		2.2V ~ 2.7V	-	1.8	-	$V_{CC}+0.3$	
		2.7V ~ 3.6V	-	2.0	-	$V_{CC}+0.3$	
		4.5V ~ 5.5V	-	2.2	-	$V_{CC}+0.5$	
$V_{IL}$	入力 LOW 電圧 <sup>[9]</sup>	1.65V ~ 2.2V	-	-0.2	-	0.4	
		2.2V ~ 2.7V	-	-0.3	-	0.6	
		2.7V ~ 3.6V	-	-0.3	-	0.8	
		4.5V ~ 5.5V	-	-0.5	-	0.8	
$I_{IX}$	入力リーク電流	$GND \leq V_{IN} \leq V_{CC}$	-1.0	-	+1.0	$\mu\text{A}$	
$I_{OZ}$	出力リーク電流	$GND \leq V_{OUT} \leq V_{CC}$ 、出力無効	-1.0	-	+1.0		
$I_{CC}$	$V_{CC}$ の動作時電源電流	$V_{CC}=\text{Max}$ 、 $I_{OUT}=0\text{mA}$ 、 CMOS レベル	f=22.22MHz (45ns)	-	29.0	36.0	mA
			f=18.18MHz (55ns)	-	29.0	32.0	
			f=1MHz	-	7.0	9.0	

注:

9. 20ns 未満のパルス幅の場合、 $V_{IL(\text{min})}=2.0V$ 、 $V_{IH(\text{max})}=V_{CC}+2V$ 。

10. 完全なデバイスの AC 動作では、0V から  $V_{CC}(\text{min})$  までのランプ時間が 100 $\mu\text{s}$ 、 $V_{CC}$  がその動作電圧で安定した後の待ち時間が 200 $\mu\text{s}$  であることを前提にします。

11. 3.0V、25°C での分布の中央値で、完全にはテストされていない値。

12. このパラメーターは設計保証であり、テストは行われていません。

**DC 電気的特性 (続き)**

動作範囲 -40°C ~ 85°C

パラメーター	説明	テスト条件	45 / 55ns			単位
			Min	Typ <sup>[11]</sup>	Max	
I <sub>SB1</sub> <sup>[13]</sup>	自動電源切断時の電流 - CMOS 入力 ; V <sub>CC</sub> = 2.2V ~ 3.6V および 4.5V ~ 5.5V	CE <sub>1</sub> ≥ V <sub>CC</sub> - 0.2V または CE <sub>2</sub> ≤ 0.2V または (BHE と BLE) ≥ V <sub>CC</sub> - 0.2V、 V <sub>IN</sub> ≥ V <sub>CC</sub> - 0.2V、V <sub>IN</sub> ≤ 0.2V、	-	5.5	16.0	μA
	自動電源切断時の電流 - CMOS 入力 V <sub>CC</sub> = 1.65V ~ 2.2V	f = f <sub>max</sub> (アドレスおよびデータのみ)、 f = 0 (OE および WE)、V <sub>CC</sub> = V <sub>CC(max)</sub>	-	7.0	26.0	
I <sub>SB2</sub> <sup>[13]</sup>	自動電源切断時の電流 - CMOS 入力 V <sub>CC</sub> = 2.2V ~ 3.6V および 4.5V ~ 5.5V	CE <sub>1</sub> ≥ V <sub>CC</sub> - 0.2V または CE <sub>2</sub> ≤ 0.2V または (BHE と BLE) ≥ V <sub>CC</sub> - 0.2V、 V <sub>IN</sub> ≥ V <sub>CC</sub> - 0.2V または V <sub>IN</sub> ≤ 0.2V、 f = 0、V <sub>CC</sub> = V <sub>CC(max)</sub>	25°C	-	5.5	6.5 <sup>[14]</sup>
			40°C	-	6.3	8.0 <sup>[14]</sup>
			70°C	-	8.4	12.0 <sup>[14]</sup>
			85°C	-	12.0	16.0
	自動電源切断時の電流 - CMOS 入力 V <sub>CC</sub> = 1.65V ~ 2.2V	CE <sub>1</sub> ≥ V <sub>CC</sub> - 0.2V または CE <sub>2</sub> ≤ 0.2V または (BHE と BLE) ≥ V <sub>CC</sub> - 0.2V、 V <sub>IN</sub> ≥ V <sub>CC</sub> - 0.2V または V <sub>IN</sub> ≤ 0.2V、 f = 0、V <sub>CC</sub> = V <sub>CC(max)</sub>	-	7.0	26.0	

**注:**

 13. I<sub>SB1</sub> / I<sub>SB2</sub> / I<sub>CCDR</sub> の仕様を満たすために、チップ イネーブル (CE<sub>1</sub> と CE<sub>2</sub>) および BYTE は CMOS レベルである必要があります。他の入力は開放のままにすることができます。

 14. 25°C、40°C および 70°C での I<sub>SB2</sub> の Max 値は設計保証であり、完全にはテストされていません。



### 静電容量

パラメーター <sup>[15]</sup>	説明	テスト条件	Max	単位
$C_{IN}$	入力容量	$T_A=25^\circ\text{C}$ 、 $f=1\text{MHz}$ 、 $V_{CC}=V_{CC(\text{Typ})}$	10.0	pF
$C_{OUT}$	出力容量		10.0	pF

### 熱抵抗

パラメーター <sup>[15]</sup>	説明	テスト条件	48 ボール VFBGA	48 ピン TSOP I	単位
$\Theta_{JA}$	熱抵抗 (接合部と周囲間)	無風状態、3×4.5 インチの 4 層プリント回路基板にはんだ付け	31.50	57.99	$^\circ\text{C/W}$
$\Theta_{JC}$	熱抵抗 (接合部とケース間)		15.75	13.42	$^\circ\text{C/W}$

### AC テストの負荷と波形

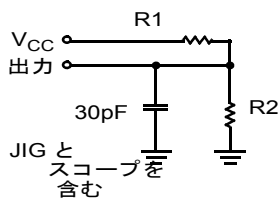
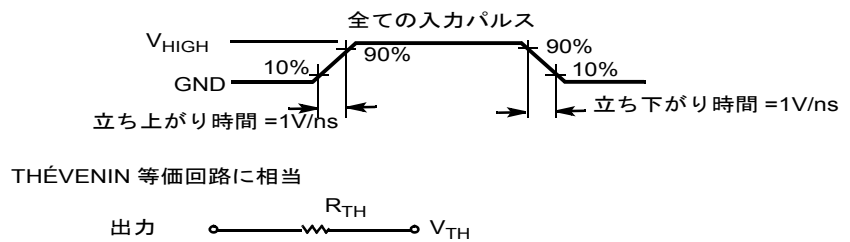


図 6. AC テストの負荷と波形



パラメーター	1.8V	2.5V	3.0V	5.0V	単位
R1	13500	16667	1103	1800	$\Omega$
R2	10800	15385	1554	990	$\Omega$
$R_{TH}$	6000	8000	645	639	$\Omega$
$V_{TH}$	0.80	1.20	1.75	1.77	V
$V_{HIGH}$	1.8	2.5	3.0	5.0	V

**注:**

15. 開発時、およびこれらのパラメーターに影響を与える可能性がある設計/プロセス変更があった後にテストされます。

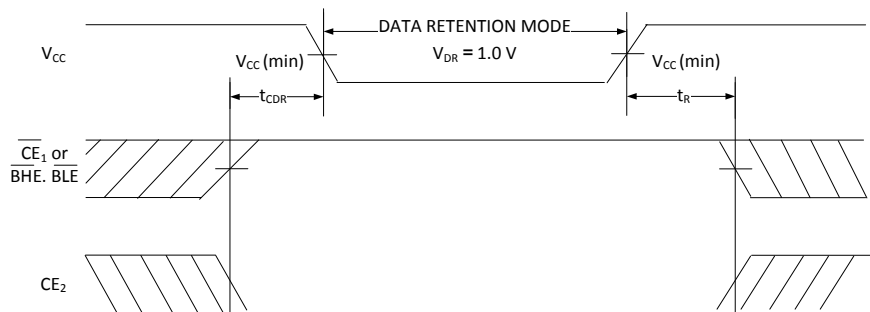
## データ保持特性

### 動作範囲

パラメーター	説明	条件	Min	Typ <sup>[16]</sup>	Max	単位
$V_{DR}$	データ保持用の $V_{CC}$	—	1.0	—	—	V
$I_{CCDR}$ <sup>[17, 18]</sup>	データ保持電流	1.2V ≤ $V_{CC}$ ≤ 2.2V、 $\overline{CE}_1$ ≥ $V_{CC}$ - 0.2V または $CE_2$ ≤ 0.2V または $(\overline{BHE}$ と $\overline{BLE})$ ≥ $V_{CC}$ - 0.2V、 $V_{IN}$ ≥ $V_{CC}$ - 0.2V または $V_{IN}$ ≤ 0.2V	—	7.0	26.0	μA
		2.2V < $V_{CC}$ ≤ 3.6V または 4.5V ≤ $V_{CC}$ ≤ 5.5V、 $\overline{CE}_1$ ≥ $V_{CC}$ - 0.2V または $CE_2$ ≤ 0.2V、 または $(\overline{BHE}$ と $\overline{BLE})$ ≥ $V_{CC}$ - 0.2V、 $V_{IN}$ ≥ $V_{CC}$ - 0.2V または $V_{IN}$ ≤ 0.2V	—	5.5	16.0	μA
$t_{CDR}$ <sup>[19]</sup>	チップ選択解除からデータ保持までの時間	—	0.0	—	—	—
$t_R$ <sup>[19, 20]</sup>	動作回復時間	—	45 / 55	—	—	ns

## データ保持波形

図 7. データ保持波形<sup>[21]</sup>



- 注:
16. 3.0V、25°Cでの分布の中央値で、完全にはテストされていない値。
  17.  $I_{SB1}$  /  $I_{SB2}$  /  $I_{CCDR}$  の仕様を満たすために、チップイネーブル ( $\overline{CE}_1$  と  $CE_2$ ) および  $\overline{BYTE}$  は CMOS レベルである必要があります。他の入力は開放のままにすることができます。
  18.  $I_{CCDR}$  は、デバイスが最初に  $V_{CC(min)}$  まで電源投入され、その後  $V_{DR}$  に下げられた後でのみ保証されています。
  19. これらのパラメーターは設計保証であり、テストは行われていません。
  20. 完全なデバイス動作には、 $V_{DR}$  から  $V_{CC(min)}$  までの  $V_{CC}$  直線ランプ時間が 100μs、または  $V_{CC(min)}$  で安定する時間が 100μs が必要です。
  21.  $\overline{BHE}$ . $\overline{BLE}$  は  $\overline{BHE}$  と  $\overline{BLE}$  の論理和です。チップを選択解除するために、チップイネーブル信号を無効にするか、または  $\overline{BHE}$  と  $\overline{BLE}$  の両方を無効にします。

**スイッチング特性**

パラメーター <sup>[22]</sup>	説明	45ns		55ns		単位
		Min	Max	Min	Max	
<b>読み出しサイクル</b>						
$t_{RC}$	読み出しサイクル時間	45.0	–	55.0	–	ns
$t_{AA}$	アドレスからデータ有効までの時間／アドレスから ERR 有効までの時間	–	45.0	–	55.0	ns
$t_{OHA}$	アドレス変更からのデータ ホールド時間／アドレス変更からの ERR ホールド時間	10.0	–	10.0	–	ns
$t_{ACE}$	$\overline{CE}_1$ LOW および $CE_2$ HIGH からデータ有効までの時間／ $\overline{CE}$ LOW から ERR 有効までの時間	–	45.0	–	55.0	ns
$t_{DOE}$	$\overline{OE}$ LOW からデータ有効までの時間／ $\overline{OE}$ LOW から ERR 有効までの時間	–	22.0	–	25.0	ns
$t_{LZOE}$	$\overline{OE}$ LOW から Low Z までの時間 <sup>[23, 24]</sup>	5.0	–	5.0	–	ns
$t_{HZOE}$	$\overline{OE}$ HIGH から High Z までの時間 <sup>[23, 24, 25]</sup>	–	18.0	–	18.0	ns
$t_{LZCE}$	$\overline{CE}_1$ LOW および $CE_2$ HIGH から Low Z までの時間 <sup>[23, 24]</sup>	10.0	–	10.0	–	ns
$t_{HZCE}$	$\overline{CE}_1$ HIGH および $CE_2$ LOW から High Z までの時間 <sup>[23, 24, 25]</sup>	–	18.0	–	18.0	ns
$t_{PU}$	$\overline{CE}_1$ LOW および $CE_2$ HIGH から電源投入までの時間 <sup>[26]</sup>	0.0	–	0.0	–	ns
$t_{PD}$	$\overline{CE}_1$ HIGH および $CE_2$ LOW から電源切断までの時間 <sup>[26]</sup>	–	45.0	–	55.0	ns
$t_{DBE}$	$\overline{BLE}$ / $\overline{BHE}$ LOW からデータ有効までの時間	–	45.0	–	55.0	ns
$t_{LZBE}$	$\overline{BLE}$ / $\overline{BHE}$ LOW から Low Z までの時間 <sup>[23]</sup>	5.0	–	5.0	–	ns
$t_{HZBE}$	$\overline{BLE}$ / $\overline{BHE}$ HIGH から High Z までの時間 <sup>[23, 25]</sup>	–	18.0	–	18.0	ns
<b>書き込みサイクル<sup>[27, 28]</sup></b>						
$t_{WC}$	書き込みサイクル時間	45.0	–	55.0	–	ns
$t_{SCE}$	$\overline{CE}_1$ LOW および $CE_2$ HIGH から書き込み終了までの時間	35.0	–	40.0	–	ns
$t_{AW}$	アドレス セットアップから書き込み終了までの時間	35.0	–	40.0	–	ns
$t_{HA}$	書き込み終了からのアドレス ホールド時間	0	–	0	–	ns
$t_{SA}$	アドレス セットアップから書き込み開始までの時間	0	–	0	–	ns
$t_{PWE}$	$\overline{WE}$ パルス幅	35.0	–	40.0	–	ns
$t_{BW}$	$\overline{BLE}$ / $\overline{BHE}$ LOW から書き込み終了までの時間	35.0	–	40.0	–	ns
$t_{SD}$	データ セットアップから書き込み終了までの時間	25.0	–	25.0	–	ns
$t_{HD}$	書き込み終了からのデータ ホールド時間	0.0	–	0.0	–	ns
$t_{HZWE}$	$\overline{WE}$ LOW から High Z までの時間 <sup>[23, 24, 25]</sup>	–	18.0	–	20.0	ns
$t_{LZWE}$	$\overline{WE}$ HIGH から Low Z までの時間 <sup>[23, 24]</sup>	10.0	–	10.0	–	ns

**注:**

22. テスト条件は、信号遷移時間 (立ち上がり/立ち下がり) が 3ns 以下、タイミング参照レベルが 1.5V ( $V_{CC} \geq 3V$  の場合) および  $V_{CC}/2$  ( $V_{CC} < 3V$  の場合)、入力パルスレベルが 0V から 3V まで ( $V_{CC} \geq 3V$  の場合) および 0V から  $V_{CC}$  まで ( $V_{CC} < 3V$  の場合) であることを前提としています。読み出しサイクル用のテスト条件は、特に記載がない限り、9 ページの図 6 に示した出力負荷を使用します。
23. いかなる温度と電圧条件でも、いかなるデバイスでも、 $t_{HZCE}$  は  $t_{LZCE}$  より短く、 $t_{HZBE}$  は  $t_{LZBE}$  より短く、 $t_{HZOE}$  は  $t_{LZOE}$  より短く、 $t_{HZWE}$  は  $t_{LZWE}$  より短いです。
24. 開発時、およびこれらのパラメーターに影響を与える可能性がある設計/プロセス変更があった後にテストされます。
25.  $t_{HZOE}$ 、 $t_{HZCE}$ 、 $t_{HZBE}$  および  $t_{HZWE}$  遷移は、出力が高インピーダンス状態に入る時に測定されます。
26. これらのパラメーターは設計保証であり、テストは行われていません。
27. メモリの内部書き込み時間は  $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、 $\overline{BHE}$  または  $\overline{BLE}$  または両方とも  $= V_{IL}$  および  $CE_2 = V_{IH}$  の条件が同時に発生する時に定義されます。書き込みを開始するにはすべての信号はアクティブでなければなりません。これらの信号のいずれかが非アクティブになると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照しなければなりません。
28. 書き込みサイクル 1 ( $\overline{WE}$  制御、 $\overline{OE}$  LOW) の最小のパルス幅は  $t_{HZWE}$  と  $t_{SD}$  の和です。

スイッチング波形

図 8. CY62167G の読み出しサイクル 1 (アドレス遷移制御) [29、30]

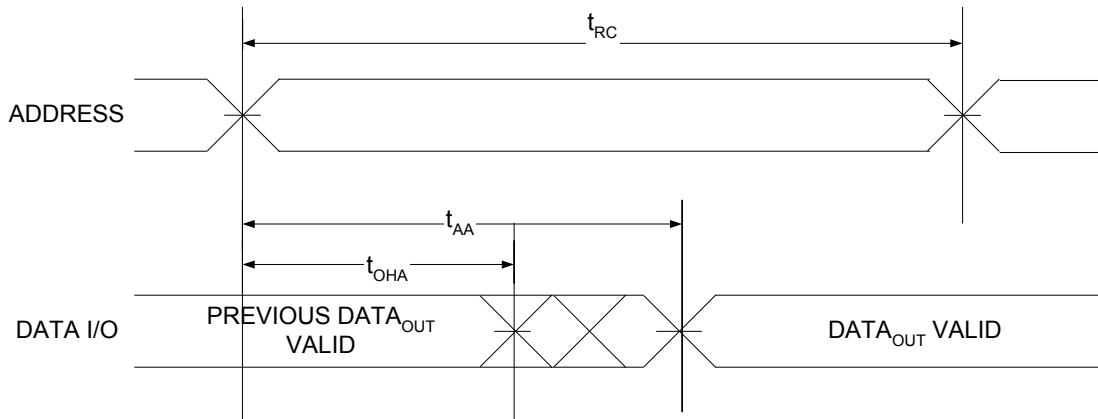
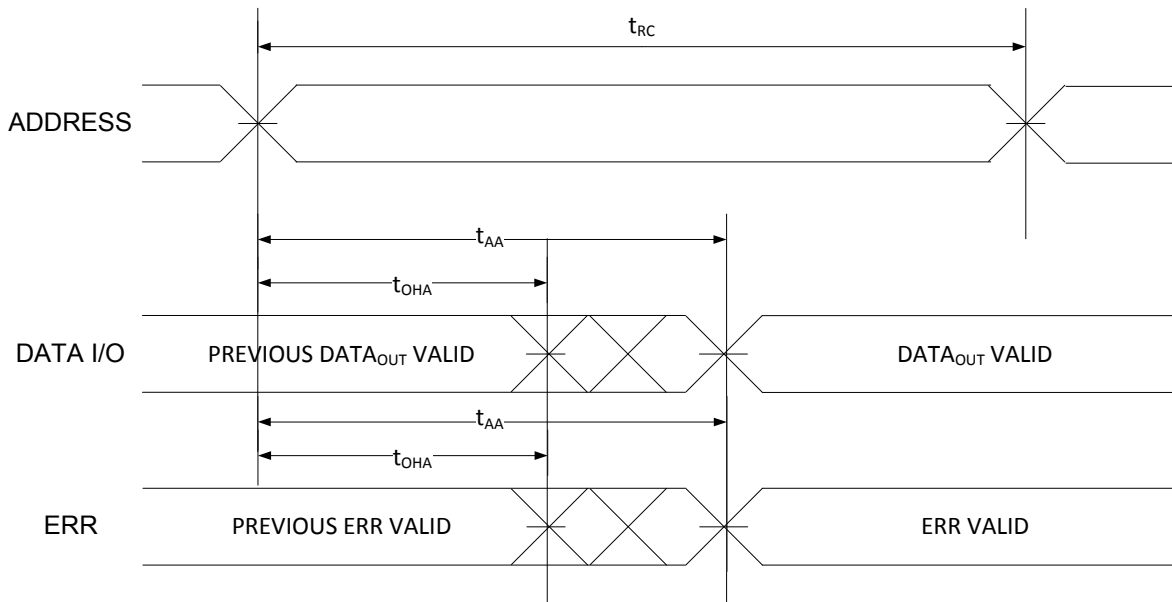


図 9. CY62167GE の読み出しサイクル 1 (アドレス遷移制御) [29、30]



注:

29. デバイスは継続して選択されています。OE=V<sub>IL</sub>、CE=V<sub>IL</sub>、BHE または BLE または両方=V<sub>IL</sub>。

30. 読み出しサイクルの間、WE は HIGH です。

スイッチング波形 ( 続き )

図 10. 読み出しサイクル 2 (OE 制御) [31、32、33、35]

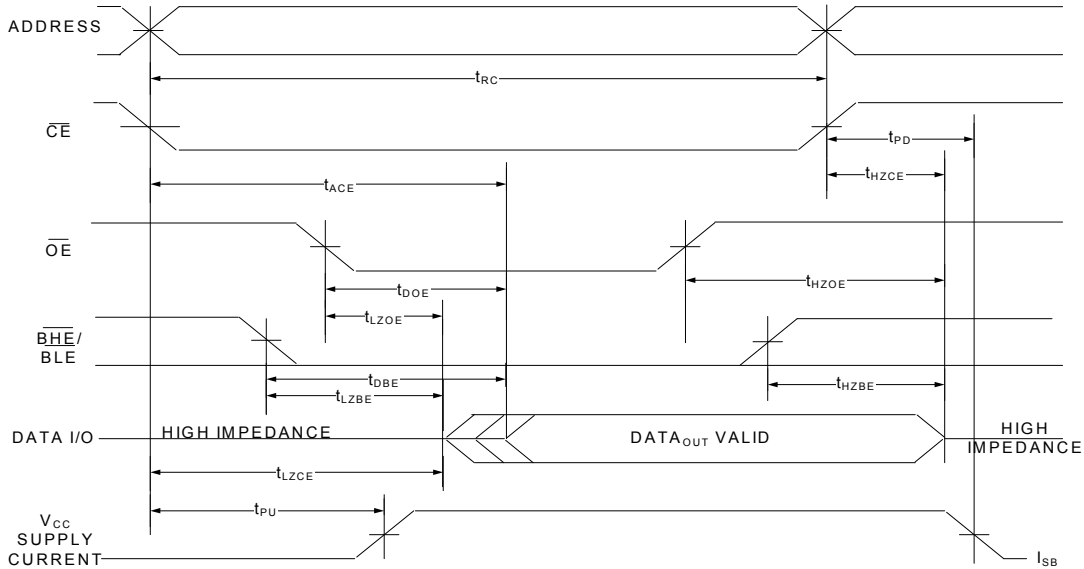
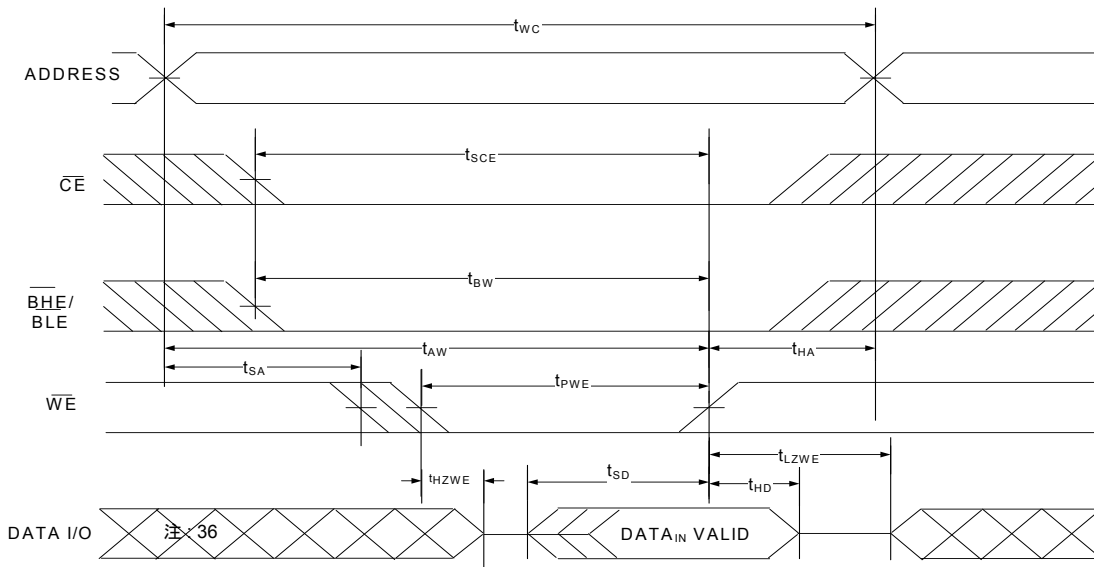


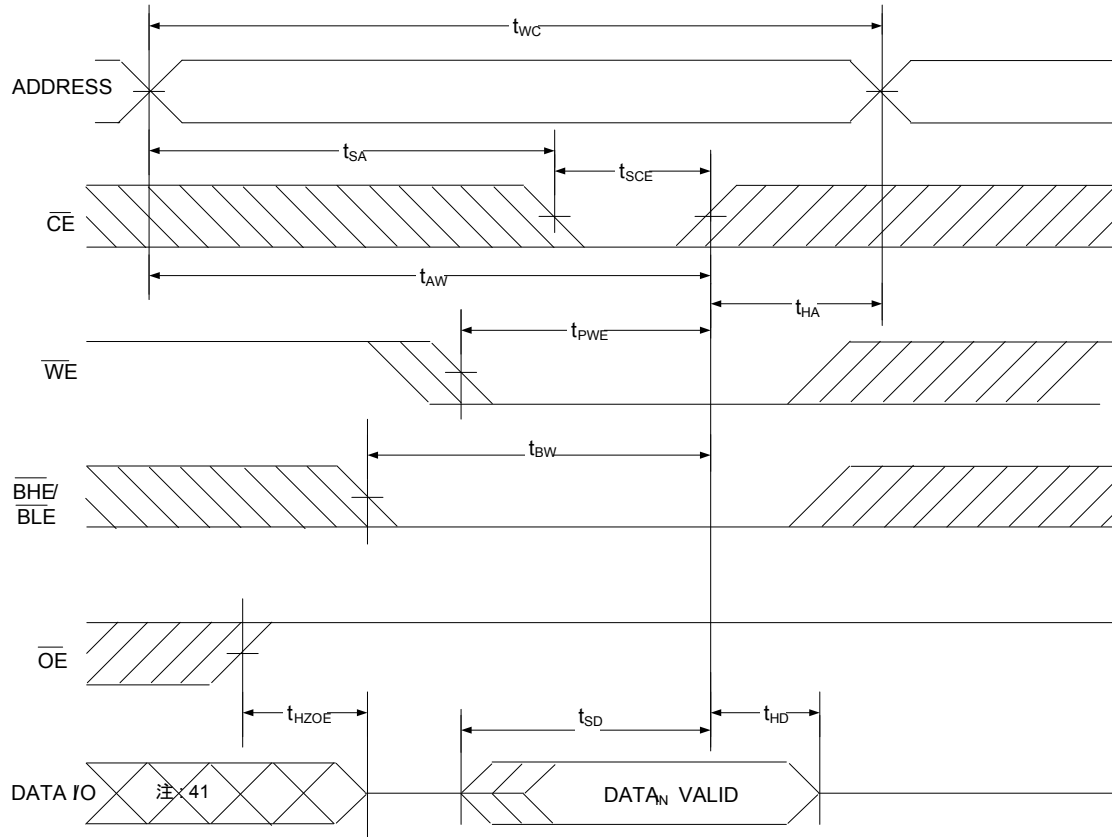
図 11. 書き込みサイクル 1 (WE 制御、OE LOW) [32、34、35、33]



- 注:
- 31. 読み出しサイクルの間、 $\overline{WE}$  は HIGH です。
  - 32. 全てのデュアルチップイネーブルデバイスでは、 $\overline{CE}$  は  $\overline{CE}_1$  と  $CE_2$  の論理結合です。 $\overline{CE}_1$  が LOW で  $CE_2$  が HIGH の場合、 $\overline{CE}$  は LOW ;  $\overline{CE}_1$  が HIGH または  $CE_2$  が LOW の場合、 $\overline{CE}$  は HIGH です。
  - 33. アドレスは  $\overline{CE}$  の LOW 遷移前、または遷移と同時に有効です。
  - 34. メモリの内部書き込み時間は  $WE=V_{IL}$ 、 $CE_1=V_{IL}$ 、 $BHE$  または  $BLE$  または両方とも  $=V_{IL}$ 、および  $CE_2=V_{IH}$  の条件が同時に発生する時に定義されます。書き込みを開始するにはすべての信号はアクティブでなければなりません。これらの信号のいずれかが非アクティブになると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
  - 35. データ I/O は、 $CE=V_{IH}$  または  $OE=V_{IH}$  または  $BHE$ 、および/または  $BLE=V_{IH}$  の場合、高インピーダンス状態に入ります。
  - 36. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。
  - 37. 最小の書き込みサイクルのパルス幅は  $t_{HZWE}$  と  $t_{SD}$  の和です。

## スイッチング波形 ( 続き )

図 12. 書き込みサイクル 2 (CE 制御) [38、39、40]



- 注:
38. 全てのデュアルチップイネーブルデバイスでは、 $\overline{CE}$  は  $\overline{CE}_1$  と  $CE_2$  の論理結合です。 $\overline{CE}_1$  が LOW で  $CE_2$  が HIGH の場合、 $\overline{CE}$  は LOW ;  $\overline{CE}_1$  が HIGH または  $CE_2$  が LOW の場合、 $\overline{CE}$  は HIGH です。
  39. メモリの内部書き込み時間は  $WE=V_{IL}$ 、 $\overline{CE}_1=V_{IL}$ 、 $\overline{BHE}$  または  $\overline{BLE}$  または両方とも  $=V_{IL}$  および  $CE_2=V_{IH}$  の条件が同時に発生する時に定義されます。書き込みを開始するにはすべての信号はアクティブでなければなりません。これらの信号のいずれかが非アクティブになると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
  40. データ I/O は、 $CE=V_{IH}$  または  $OE=V_{IH}$  または  $BHE$ 、および/または  $\overline{BLE}=V_{IH}$  の場合、高インピーダンス状態に入ります。
  41. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

スイッチング波形 ( 続き )

図 13. 書き込みサイクル 4 (BHE / BLE 制御、OE LOW) [42、43、44]

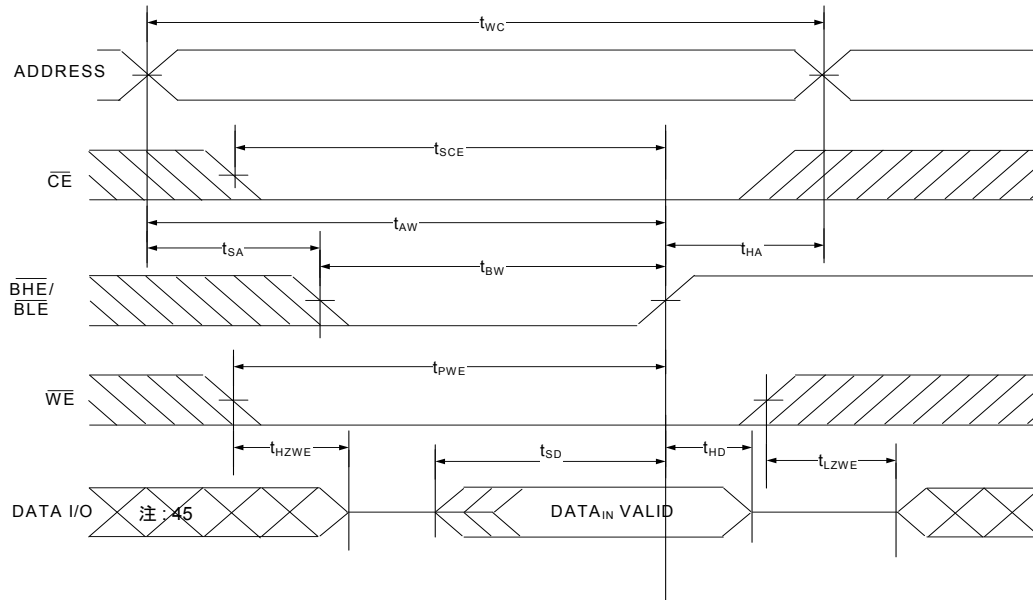
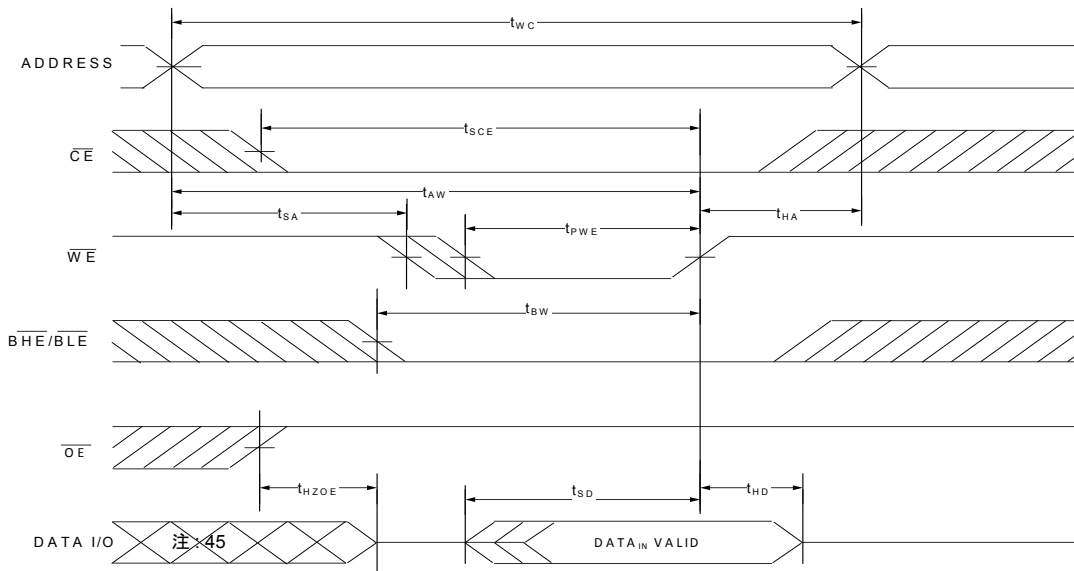


図 14. 書き込みサイクル 5 (WE 制御) [42、43、44]



注:

- 42. 全てのデュアル チップイネーブル デバイスでは、 $\overline{CE}$  は  $\overline{CE}_1$  と  $CE_2$  の論理結合です。  $\overline{CE}_1$  が LOW で  $CE_2$  が HIGH の場合、  $\overline{CE}$  は LOW ;  $\overline{CE}_1$  が HIGH または  $CE_2$  が LOW の場合、  $CE$  は HIGH です。
- 43. メモリの内部書き込み時間は  $WE=V_{LL}$ 、  $\overline{CE}_1=V_{LL}$ 、  $\overline{BHE}$  または  $\overline{BLE}$  または両方とも  $=V_{LL}$  および  $CE_2=V_{IH}$  の条件が同時に発生する時に定義されます。書き込みを開始するにはすべての信号はアクティブでなければなりません。これらの信号のいずれかが非アクティブになると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしななければなりません。
- 44. データ I/O は、  $\overline{CE}=V_{IH}$  または  $OE=V_{IH}$  または  $\overline{BHE}$ 、 および/または  $\overline{BLE}=V_{IH}$  の場合、高インピーダンス状態に入ります。
- 45. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

**真理値表 – CY62167G / CY62167GE**

BYTE <sub>[46]</sub>	CE <sub>1</sub>	CE <sub>2</sub>	WE	OE	BHE	BLE	入力/出力	モード	電源	コンフィギュレーション
X <sup>[47]</sup>	H	X <sup>[47]</sup>	X	X	X	X	High-Z	デバイス選択解除/ パワーダウン	スタンバイ (I <sub>SB</sub> )	2M×8 / 1M×16
X	X <sup>[47]</sup>	L	X	X	X	X	High-Z	デバイス選択解除/ パワーダウン	スタンバイ (I <sub>SB</sub> )	2M×8 / 1M×16
X	X <sup>[47]</sup>	X <sup>[47]</sup>	X	X	H	H	High-Z	デバイス選択解除/ パワーダウン	スタンバイ (I <sub>SB</sub> )	1M×16
H	L	H	H	L	L	L	データ出力 (I/O <sub>0</sub> ~ I/O <sub>15</sub> )	読み出し	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	H	L	H	L	データ出力 (I/O <sub>0</sub> ~ I/O <sub>7</sub> ) ; High-Z (I/O <sub>8</sub> ~ I/O <sub>15</sub> )	読み出し	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	H	L	L	H	High-Z (I/O <sub>0</sub> ~ I/O <sub>7</sub> ) ; データ出力 (I/O <sub>8</sub> ~ I/O <sub>15</sub> )	読み出し	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	H	H	L	H	High-Z	出力無効	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	H	H	H	L	High-Z	出力無効	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	H	H	L	L	High-Z	出力無効	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	L	X	L	L	データ入力 (I/O <sub>0</sub> ~ I/O <sub>15</sub> )	書き込み	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	L	X	H	L	データ入力 (I/O <sub>0</sub> ~ I/O <sub>7</sub> ) ; High-Z (I/O <sub>8</sub> ~ I/O <sub>15</sub> )	書き込み	アクティブ (I <sub>CC</sub> )	1M×16
H	L	H	L	X	L	H	High-Z (I/O <sub>0</sub> ~ I/O <sub>7</sub> ) ; データ入力 (I/O <sub>8</sub> ~ I/O <sub>15</sub> )	書き込み	アクティブ (I <sub>CC</sub> )	1M×16
L	L	H	H	L	X	X	データ出力 (I/O <sub>0</sub> ~ I/O <sub>7</sub> )	読み出し	アクティブ (I <sub>CC</sub> )	2M×8
L	L	H	H	H	X	X	High-Z	出力無効	アクティブ (I <sub>CC</sub> )	2M×8
L	L	H	L	X	X	X	データ入力 (I/O <sub>0</sub> ~ I/O <sub>7</sub> )	書き込み	アクティブ (I <sub>CC</sub> )	2M×8

**ERR 出力 – CY62167GE**

出力 <sup>[48]</sup>	モード
0	読み出し動作、保存データにはシングルビットエラーなし
1	読み出し動作、シングルビットエラーが検出され、訂正済み
High-Z	デバイス選択解除/出力無効/書き込み動作

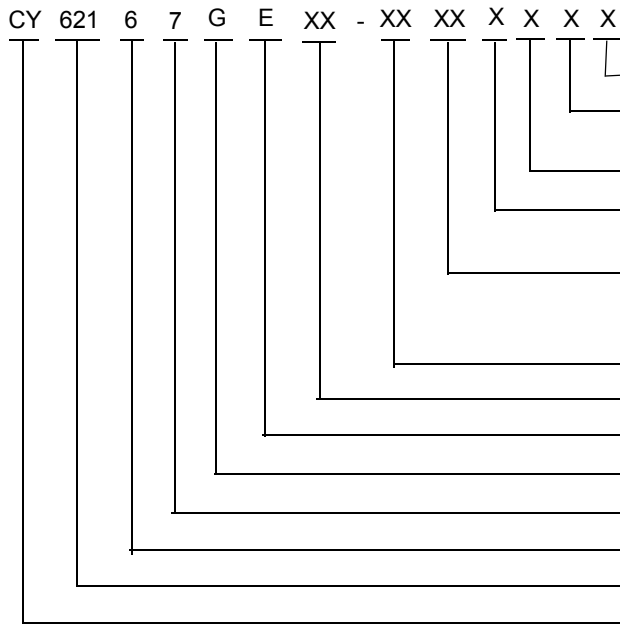
注:  
 46. このピンは 48 ピン TSOP I のパッケージでのみ利用できます。デバイスを 1M×16 オプションに設定するために、 $\overline{\text{BYTE}}$  を V<sub>CC</sub> に接続します。48 ピン TSOP I パッケージは、V<sub>SS</sub> に  $\overline{\text{BYTE}}$  信号を接続することにより 2M×8 SRAM として使用することもできます。  
 47. チップ イネーブルの「X」(ドント ケア) 状態は、論理状態 (HIGH または LOW) を意味します。これらのピンでの中間電圧レベルは許可されていません。  
 48. ERR は出力ピンです。このピンを使用しない場合、開放にする必要があります。



**注文情報**

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージタイプ (すべて鉛フリー)	主な特長/ 差別化	ERR ピン/ ボール	動作範囲		
45	2.2V ~ 3.6V	CY62167GE30-45BV1XI	51-85150	48 ボール VFBGA	シングル チップ イネーブル	有	産業用		
		CY62167GE30-45BV1XIT				デュアル チップ イネーブル		有	
		CY62167GE30-45BVXI						無	
		CY62167GE30-45BVXIT							
		CY62167G30-45BVXI			51-85183			48 ピン TSOP I	デュアル チップ イネーブル
		CY62167G30-45BVXIT				無			
		CY62167GE30-45ZXI							
		CY62167GE30-45ZXIT							
	4.5V ~ 5.5V	CY62167G-45BVXI	51-85150	48 ボール VFBGA	デュアル チップ イネーブル	無			
								CY62167G-45BVXIT	
		CY62167G-45ZXI	51-85183	48 ピン TSOP I	デュアル チップ イネーブル	無			
								CY62167G-45ZXIT	
								CY62167GE-45ZXI	有
								CY62167GE-45ZXIT	
55	1.65V ~ 2.2V	CY62167GE18-55BVXI	51-85150	48 ボール VFBGA	デュアル チップ イネーブル	有			
						CY62167GE18-55BVXIT	無		
						CY62167G18-55BVXI			
						CY62167G18-55BVXIT			
		CY62167G18-55ZXI	51-85183	48 ピン TSOP I			無		
								CY62167G18-55ZXIT	

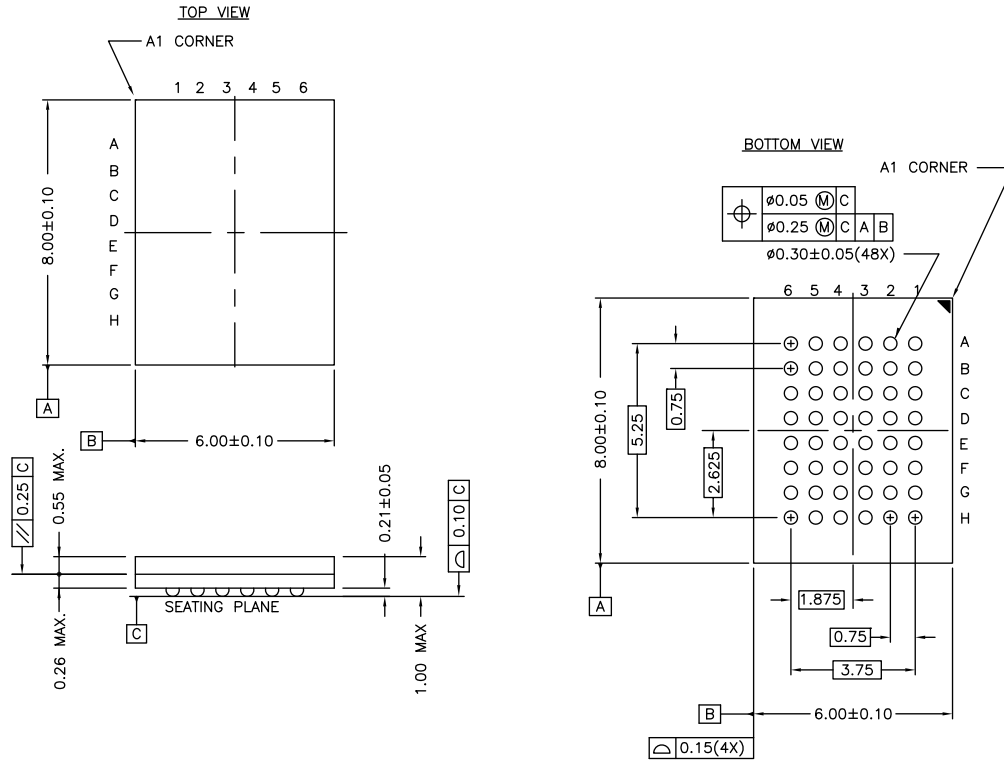
注文コードの定義



- X: テープ&リール ; T= テープ&リール、空白 = バルク
- 温度グレード : X=I  
I= 産業用
- 鉛フリー
- X= 空白または 1  
空白 = デュアル チップ イネーブル ; 1= シングル チップ イネーブル
- パッケージ タイプ : XX=BV または Z  
BV=48 ボール VFBGA  
Z=48 ピン TSOP I
- スピード グレード : XX: 45=45ns ; 55=55ns
- 電圧範囲 : 30=3V (Typ) ; 18=1.8V (Typ) ; 文字なし =5V (Typ)
- ERR 出力 : シングル ビット エラー訂正インジケータ
- プロセス技術 : G=65nm
- バス幅 : 7=×16
- 密度 : 6=16M ビット
- ファミリ コード : MoBL<sup>®</sup> SRAM ファミリ
- 会社 ID: CY= サイプレス

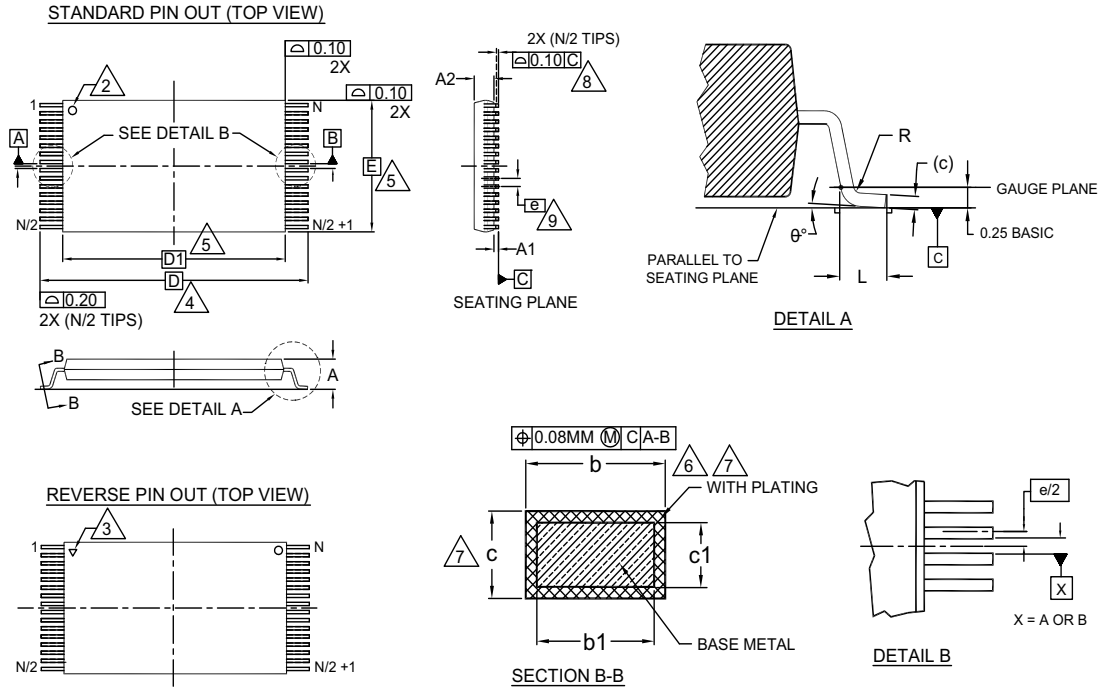
パッケージ図

図 15. 48 ボール VFBGA (6×8×1.0mm) BV48 / BZ48 パッケージ外形図、51-85150



NOTE:  
 PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD)  
 posted on the Cypress web.

51-85150 \*H

**パッケージ図 ( 続き )**
**図 16. 48 ピン TSOP I (12×18.4×1.0mm) Z48A パッケージ外形図、51-85183**


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b1	0.17	0.20	0.23
b	0.17	0.22	0.27
c1	0.10	—	0.16
c	0.10	—	0.21
D	20.00 BASIC		
D1	18.40 BASIC		
E	12.00 BASIC		
e	0.50 BASIC		
L	0.50	0.60	0.70
θ	0°	—	8
R	0.08	—	0.20
N	48		

**NOTES:**

- ① DIMENSIONS ARE IN MILLIMETERS (mm).
- ② PIN 1 IDENTIFIER FOR STANDARD PIN OUT (DIE UP).
- ③ PIN 1 IDENTIFIER FOR REVERSE PIN OUT (DIE DOWN): INK OR LASER MARK.
- ④ TO BE DETERMINED AT THE SEATING PLANE [C-]. THE SEATING PLANE IS DEFINED AS THE PLANE OF CONTACT THAT IS MADE WHEN THE PACKAGE LEADS ARE ALLOWED TO REST FREELY ON A FLAT HORIZONTAL SURFACE.
- ⑤ DIMENSIONS D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
- ⑥ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF b DIMENSION AT MAX. MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.07mm .
- ⑦ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- ⑧ LEAD COPLANARITY SHALL BE WITHIN 0.10mm AS MEASURED FROM THE SEATING PLANE.
- ⑨ DIMENSION "e" IS MEASURED AT THE CENTERLINE OF THE LEADS.
10. JEDEC SPECIFICATION NO. REF: MO-142(D)DD.

51-85183 \*F

## 略語

略語	説明
BHE	Byte High Enable (上位バイト イネーブル)
BLE	Byte Low Enable (下位バイト イネーブル)
CE	Chip Enable (チップ イネーブル)
CMOS	Complementary metal oxide semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力/出力)
OE	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TSOP	Thin Small Outline Package (小型薄型パッケージ)
VFBGA	Very fine-pitch ball grid array (超微細ピッチ ボール グリッドアレイ)
WE	Write Enable (書き込みイネーブル)

## 本書の表記法

### 測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

**改訂履歴**

文書名 : CY62167G / CY62167GE MoBL <sup>®</sup> 、エラー訂正コード (ECC) 付 16M ビット (1M ワード ×16 ビット / 2M ワード ×8 ビット) スタティック RAM 文書番号 : 001-92124				
版	ECN 番号	変更者	発行日	変更内容
**	4345048	HZEN	04/14/2014	これは英語版 001-81537 Rev. *C を翻訳した日本語版 Rev. ** です。
*A	4471864	HZEN	08/12/2014	これは英語版 001-81537 Rev. *G を翻訳した日本語版 Rev. *A です。
*B	5693891	HZEN	04/20/2017	これは英語版 001-81537 Rev. *O を翻訳した日本語版 001-92124 Rev. *B です。

## セールス、ソリューション、および法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

ARM® Cortex® マイクロコントローラー	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック & バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT (モノのインターネット)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用 IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス/RF	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

### サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

### テクニカル サポート

[cypress.com/support](http://cypress.com/support)

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)を含む)は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。

文書番号: 001-92124 Rev. \*B

改訂日 2017 年 4 月 20 日

ページ 23 / 23

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。