

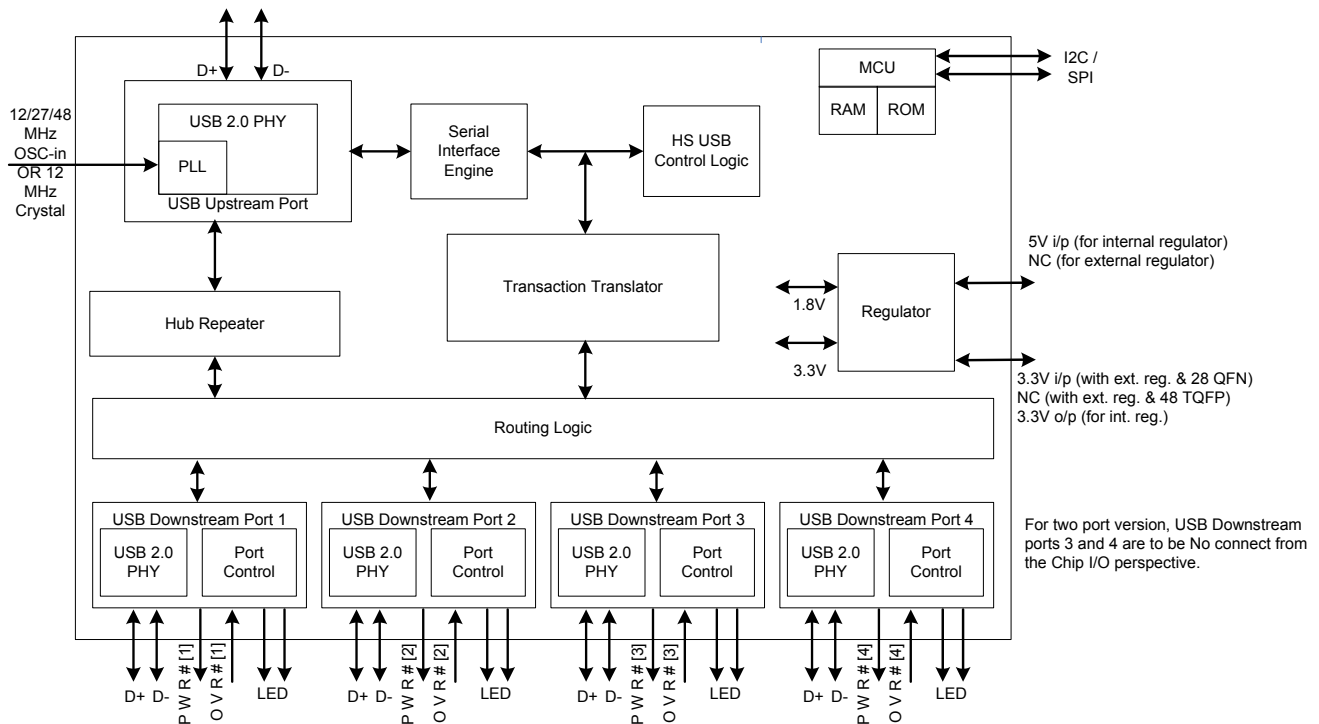
HX2VL™ 超低消費電力 USB 2.0 ハブ コントローラー

特長

- 最小限の部品表 (BOM) による低コスト設計を実現した高性能, 低消費電力 USB 2.0 ハブ
- USB 2.0 ハブ コントローラー
 - USB 2.0 仕様に準拠, TID# 30000060
 - 最大 4 つのダウンストリーム ポートをサポート
 - ダウンストリーム ポートは FS, LS と下位互換性あり
 - 低コストの単一トランザクション トランスレータ (TT) 搭載
- 超低消費電力
 - バス給電と自己給電モードをサポート
 - バス給電と自己給電を自動切り替え
 - 2K ROM と 64 バイト RAM による単一 MCU 搭載
 - 最小消費電力
- 高度に統合したソリューションで BOM コスト削減
 - 内部レギュレータ - 単一電源電圧 5V のみが必要
 - 外部レギュレータと 3.3V 接続も提供
 - アップストリーム プルアップ抵抗を内蔵
 - すべてのダウンストリーム ポート用のプルダウン抵抗を内蔵
 - アップストリーム/ダウンストリーム 終端抵抗を内蔵
 - ポート ステータス インジケータ コントローラーを内蔵

- 駆動レベル 600µW の 12MHz +/- 500ppm 外部水晶振動子 (内蔵 PLL 用) 入力クロックで、オプションとして 27/48MHz 振動子クロック入力
- ESD 回復用の電源障害検知機能を搭載
- ダウンストリーム ポート管理
 - 個別とギャング モードの電源管理をサポート
 - 過電流検出
 - ダウンストリーム ポートごとに 2 つのポートステータス インジケータ搭載
- コンフィギュレーションの多様性
 - VID と PID は外部 EEPROM によりコンフィギュレーション可能
 - ポート数, 取り外し可能/取り外し不可ポートは、EEPROM および I/O ピン設定によりコンフィギュレーション可能
 - ギャング/個別モードの電源切り替え, リファレンス クロック ソースおよび電源切り替えイネーブル ピンの極性は I/O ピンでコンフィギュレーション可能
 - コンフィギュレーション オプションはマスク ROM を通しても利用可能
- 省スペースの 48 ピン TQFP (7 × 7mm) および 28 ピン QFN (5 × 5mm) パッケージが利用可能
- 温度範囲 0°C ~ 70°C をサポート

ブロック図 - CY7C6563X



詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な HX2VL デバイスを選択し、デバイスをデザインに迅速かつ効果的に統合する手助けをしています。リソースの包括的な一覧については、知識ベース記事 <http://www.cypress.com/?id=2411> を参照してください。

- 概要 : USB ポートフォリオ , USB ロードマップ
- USB 2.0 ハブ コントローラー セレクター : HX2LP, HX2VL
- アプリケーション ノート : サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の USB アプリケーション ノートを提供しています。以下は HX2VL 入門用の推奨アプリケーション ノートです。
 - [AN72332](#) - サイプレスの USB 2.0 ハブ (HX2VL) を使用したシステム デザインのガイドライン
 - [AN69235](#) - HX2/HX2LP から HX2VL への移植
- 参考デザイン :
 - 4 ポートハブ開発キットに対応する CY4608 HX2VL 超低電力 USB 2.0
 - 4 ポートハブ開発キットに対応する CY4607 HX2VL 超低電力 USB 2.0
- モデル : HX2VL (CY7C65632/34/42) - IBIS

HX2VL 開発キット

HX2VL 開発キット基板は、HX2VL デバイス (CY7C65632, CY7C65634) の特長を説明するツールです。完全設計の段階に入る前の最初の設計段階では、この基板により、開発者がチップの特長と制限を十分把握できるようになります。開発キットは、ボードハードウェア、PC アプリケーション ソフトウェアにかかわる補助ドキュメント、および EEPROM コンフィギュレーション データ (.iic) ファイルを含みます。

目次

はじめに	4	ポート番号コンフィギュレーション	17
HX2VLアーキテクチャ	4	取り外し不可ポートのコンフィギュレーション	17
USBシリアル インターフェース エンジン	4	リファレンス クロック コンフィギュレーション	18
HS USB制御ロジック	4	絶対最大定格	19
ハブ リピータ	4	動作条件	19
MCU	4	電気的特性	19
トランザクション トランスレータ	4	DC電気的特性	19
ポート制御	4	AC電気的特性	21
アプリケーション	4	熱抵抗	21
機能の概要	5	注文情報	22
システムの初期化	5	注文コードの定義	22
エニユメレーション	5	パッケージ図	23
アップストリーム ポート	5	略語	25
ダウンストリーム ポート	5	本書の表記法	25
電源切り替え	5	測定単位	25
過電流検出	5	HX2VL, CY7C65632	
ポート インジケータ	5	製品ファミリのシリコン エラッタ	26
電源レギュレータ	6	影響を受ける部品番号	26
外部レギュレータ使用の場合	6	HX2VL認定状態	26
内蔵レギュレータ使用の場合	6	HX2VLエラッタのまとめ	26
ピン コンフィギュレーション	7	改訂履歴	27
ピン機能	11	セールス, ソリューションおよび法律情報	28
ピン機能	14	ワールドワイドな販売と設計サポート	28
EEPROMコンフィギュレーション オプション	16	製品	28
ピン コンフィギュレーション オプション	17	PSoC®ソリューション	28
パワーオン リセット	17	サイプレス開発者コミュニティ	28
ギャング/個別電源切り替えモード	17	テクニカル サポート	28
電源切り替えイネーブル ピンの極性	17		

はじめに

HX2VL™ は、サイプレスの高性能で超低消費電力な USB 2.0 ハブ コントローラーの次世代ファミリです。HX2VL は、アップストリームとダウンストリーム トランシーバー、USB シリアル インターフェース エンジン (SIE)、USB ハブ制御とリピータ ロジック、そしてトランザクション トランスレータ (TT) ロジックを内蔵しています。さらに、電圧レギュレータやプルアップ/プルダウン抵抗などの外付け部品も統合しており、USB ハブ システムの実装に必要なとされる全体的な部品数の削減を実現します。

CY7C6563X は HX2VL ポートフォリオの一部です。このデバイス オプションは、超低消費電力であるが、最大 4 つのダウンストリーム ポートを必要とする高性能アプリケーションに適します。すべてのダウンストリーム ポートは単一のトランザクション トランスレータを共有します。CY7C6563X は、48 ピン TQFP パッケージと 28 ピン QFN パッケージオプションで利用可能です。

すべてのデバイス オプションは、サイプレスの世界レベルの参考デザイン キットによりサポートされています。このキットには、ボード回路図、部品表、ガーバー ファイル、Orcad ファイル、および完全な設計資料が含まれています。

HX2VL アーキテクチャ

1 ページの「ブロック図 - CY7C6563X」には、HX2VL の単一 TT ハブのアーキテクチャを示しています。

USB シリアル インターフェース エンジン

シリアル インターフェース エンジン (SIE) により、HX2VL は USB ホストと通信することができます。SIE はハブ制御ブロックから独立して以下の USB 動作を処理します。

- ビットスタッフィングおよびアンスタッフィング
- チェックサム生成と確認
- トークンタイプの識別
- アドレスのチェック

HS USB 制御ロジック

「ハブ制御」ブロックはエニュメレーション、一時停止、および再開を処理します。ホストがハブへアクセスするために、ステータスとコントロール信号を生成します。また、ハブをホストに同期させるフレーム タイマーも内蔵しています。MCU のファームウェアへのインターフェースとして機能するステータス/制御レジスタを備えています。

ハブ リピータ

ハブ リピータは、同じ速度で動作している互いに対応したアップストリームとダウンストリーム間の接続性を調整します。フルスピードとハイスピードの接続をサポートします。USB 2.0 仕様では、ハブ リピータは以下の機能を備えています：

- パケット境界での接続を設定/解除
- 適切なリモート ウェイクアップ処理を含む「一時停止」状態への出入りのエンタリを順に処理

MCU

HX2VL は、2K ROM および 64 バイト RAM を備えた MCU を搭載しています。MCU は 12MHz クロックで動作し、ホストからの USB コマンドをデコードし、ホストに応答します。また MCU は、GPIO 設定を処理してさらなる柔軟性を提供し、拡張コンフィギュレーション オプションを持つ EEPROM からの読み取りを制御します。MCU は、顧客のニーズに応じて工場製造されている間にプログラム可能です。

トランザクション トランスレータ

トランザクション トランスレータはある速度から別の速度へとデータを変換します。ハブがハイスピードで動作しており (アップストリーム ポートがハイスピード ホスト コントローラーに接続されている)、フルスピードまたはロースピードのデバイスが取り付けられている場合、TT は、ハイスピードのスプリット トランザクションをフルスピードまたはロースピードのトランザクションに変換します。ダウンストリームポートに取り付けているデバイスの動作速度に応じて、ルーティング ロジックはポートを TT に接続するか、あるいはハブ リピータに接続するかを決めます。アップストリーム ホストとダウンストリーム デバイスが異なる速度で機能している場合、データは TT を経由します。その他すべての場合において、データはリピータを通して転送されます。例えば、フルスピードまたはロースピードのデバイスがハイスピードでホストアップストリームにハブを介して接続される場合、データ転送ルートには TT が含まれます。ハイスピードのデバイスがハブ経由でハイスピードのホストアップストリームに接続している場合、データ転送ルートはリピータを含みます。ハブがフルスピードのホスト コントローラー アップストリームに接続されている場合、ハイスピードのペリフェラルはその性能を完全に発揮することはできません。これらのデバイスはフルスピードでのみ動作します。このハブに接続したフルスピードおよびロースピードのデバイスは、その通常速度で動作します。

ポート制御

ダウンストリーム「ポート制御」ブロックは、接続/切断、過電流検出、並びに電源供給有無と LED 制御を処理します。また、ダウンストリーム トランシーバーの制御信号も生成します。

アプリケーション

HX2VL デバイス ファミリの代表的なアプリケーション：

- ドッキングステーション
- スタンドアロンハブ
- モニターハブ
- 多機能プリンター
- デジタルテレビ
- 高機能ポートレプリケータ
- キーボードハブ
- ゲームコンソール

機能の概要

サイプレス CY7C6563X USB 2.0 ハブは、USB 用の低消費電力のハブ ソリューションであり、最大の転送効率を実現します。CY7C6563X USB 2.0 ハブは、フルスピード動作用に 1.5kΩ アップストリーム プルアップ抵抗を備え、すべてのアップストリームおよびダウストリーム D+ と D- ピン上にダウストリーム 15kΩ プルダウン抵抗と直列終端抵抗を内蔵しています。このように、USB 2.0 仕様に組み込み式サポートを提供して、システム費用を最適化することができます。

システムの初期化

電源投入時に、CY7C6563X は、マスク ROM 内のデフォルト設定、または外付け EEPROM からコンフィギュレーション情報を読み込むことによりエニユメレーションされます。最も基本的なレベルでは、この EEPROM はお客様のアプリケーション向けにベンダー ID (VID) と製品 ID (PID) を持っています。さらに専用化したアプリケーションでは、その他のコンフィギュレーション オプションを指定することができます。詳細については、16 ページの「EEPROM コンフィギュレーション オプション」を参照してください。CY7C6563X は、EEPROM の内容をディスクリプタとして読み込む前にチェックサムを確認します。

エニユメレーション

CY7C6563X は D+ でのプルアップ抵抗を有効にし、アップストリーム ハブに対してその存在を示します。その後は、USB バス リセットが予測されます。USB バス リセット後に、CY7C6563X はアドレス指定されず、未設定状態になります (コンフィギュレーション値は「0」に設定)。エニユメレーション過程では、ホストはハブのアドレスとコンフィギュレーションを設定します。ハブのコンフィギュレーションが完了すると、ハブの全機能を利用することが可能になります。

アップストリーム ポート

アップストリーム ポートにはトランスミッターおよびレシーバ ステート マシンが含まれます。トランスミッターとレシーバは、ハブの現行のコンフィギュレーションに応じてハイスピードおよびフルスピードで動作します。トランスミッター ステート マシンはアップストリーム側ポートを監視し、同時にハブ リピータはアップストリーム側に接続します。このステート マシンは、このハブのダウストリーム側ポートに発生したバブルや切断イベントが伝播して、このハブを無効にさせたり、接続されているハブから切断されたりすることを防ぎます。

ダウストリーム ポート

CY7C6563X は、最大 4 つのダウストリーム ポートに対応し、EEPROM 設定ではそれぞれのポートが「使用可能」か「取り外し可能」とマークされます。16 ページの「EEPROM コンフィギュレーション オプション」を参照してください。さらに、ピン ストラッピングによってコンフィギュレーションすることも可能です。17 ページの「ピン コンフィギュレーション オプション」を参照してください。

ダウストリーム D+ と D- プルダウン抵抗は CY7C6563X の各ポートに内蔵されています。ハブをコンフィギュレーションする前に、ポートは SE0 に駆動され (D+ と D- の両方を LOW に駆動するシングルエンドゼロ)、未給電状態に設定されます。ハブがコンフィギュレーションされると、ポートは駆動せず、ホストは各ポートに SetPortPower コマンドを送信することでポートに電源を供給します。ポートが電源供給されると、接続または切断のイベントはすべてハブが検知します。ポート状態

の変化はすべて、ステータス チェンジ エンドポイント (エンドポイント 1) を通してハブからホストに報告されます。

デバイスを接続したポートに対して SetPortReset 要求を受信すると、ハブは以下を実行します：

- 該当するポートで USB リセットを実行
- ポートを有効状態に設定
- ポートが有効になった後にバブル検知を有効化

バブルは、EOF2 後のポートでの非アイドル状態から成っています。有効になったポートでバブルが検知されると、そのポートは無効になります。ホストからの ClearPortEnable 要求も、指定したポートを無効にします。

ダウストリーム ポートは、SetPortSuspend 要求で、ホストによって個別に一時停止することができます。ハブが一時停止されていない場合、ポートでのリモート ウェイクアップ イベントは、ハブ ステータス チェンジ エンドポイントのポート変更表示によりホストに反映されます。ハブが一時停止した場合、このポートでのリモート ウェイクアップ イベントがホストに転送されます。ホストは ClearPortSuspend コマンドを送信することにより、ポートを再開することができます。

電源切り替え

CY7C6563X は、外部ポート電源切り替え用のインターフェース信号を持っています。ギャングと個別 (ポートごと) コンフィギュレーションの両方がピン ストラッピングによってサポートされています。17 ページの「ピン コンフィギュレーション オプション」をご覧ください。

エニユメレーションの後、ホストは各ポートに対して SetPortPower 要求を送信することでそのポートに電源を供給します。電源切り替えと過電流の検出は、外部電源切り替えデバイスに接続されたそれぞれの制御信号 (PWR#[n] と OVR#[n]) によって管理されています。両方のHIGH/LOWインネーブル電源切り替えがサポートされ、極性が GPIO 設定を介してコンフィギュレーションされています。17 ページの「ピン コンフィギュレーション オプション」をご覧ください。

過電流検出

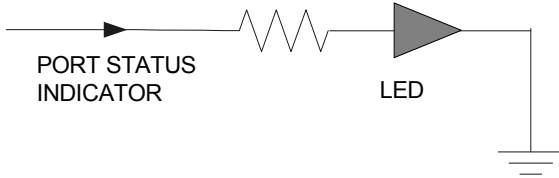
CY7C6563X シリーズの OVR#[n] ピンは、それぞれの外部電源切り替えのポート過電流表示 (出力) 信号に接続しています。過電流状態を検出した後、ハブは過電流状態をホストに報告し、外部電源デバイスへの PWR#[n] 出力を無効にします。OVR#[n] のセットアップ時間は 20ns です。過電流検出から PWR#[n] のデアサートまでは 3 ~ 4ms を要します。

ポート インジケータ

USB 2.0 ポート インジケータは、CY7C6563X によっても直接サポートされています。仕様に従って、ハブの各ダウストリーム ポートは任意的にステータス インジケータをサポートしています。ダウストリームの対向ポートのインジケータの存在は、ハブ クラス ディスクリプタの Hub Characteristics フィールドのビット 7 によって指定されます。デフォルトの CY7C6563X ディスクリプタは、ポート インジケータがサポートされていることを指定します。CY7C6563X ポート インジケータは、自動と手動の 2 つの動作モードを持っています。

電源投入時に、CY7C6563X はデフォルトとして自動モードになり、ポート インジケータの色 (緑、アンバー、オフ) が CY7C6563X ポートの機能ステータスを示します。デバイスが一時停止すると、LED はオフになります。

図 1. ポート ステータス インジケータ LED



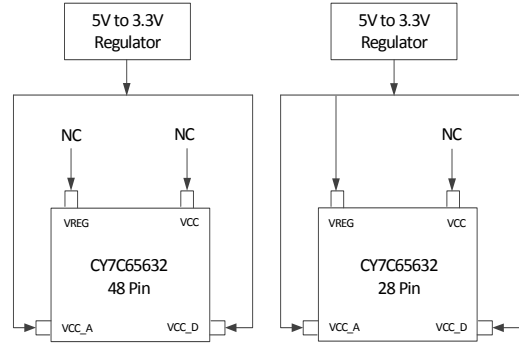
電源レギュレータ

CY7C6563X は、内部コア ロジックおよび USB 物理レイヤ (PHY) の通常動作に 3.3V のソース電源を必要とします。内蔵の低ドロップ電源レギュレータは、USB ケーブル (Vbus) からの 5V 電源入力を 3.3V ソース電源に変換します。3.3V 電源出力は、入力電圧が 4.75V ~ 5.25V の範囲内にある場合、内部電圧リファレンス回路によって保証されています。レギュレータの最大電流負荷は 150mA です。これにより、CY7C6563X の通常消費電力 (100mA 未満) に許容差を提供します。オンチップレギュレータの静止電流は 28μA です。

外部レギュレータ使用の場合

CY7C6563X は、外部レギュレータ使用と内蔵レギュレータ使用の双方をサポートしています。外部レギュレータを選択した場合、48 ピンパッケージでは、VCC と VREG は接続なしの開放状態にします。外部レギュレータ出力 3.3V は VCC_A と VCC_D ピンに接続する必要があります。この接続は基板上のチップの外側で行われます。28 ピンパッケージでは、外部レギュレータからの 3.3V 出力は、VREG、VCC_A、および VCC_D に接続する必要があります。VCC ピンは接続せずに、開放のままにします。チップの内部使用のために、外部 3.3V 入力から 1.8V がチップ内部で生成されます。

図 2. 外部レギュレータ使用の場合

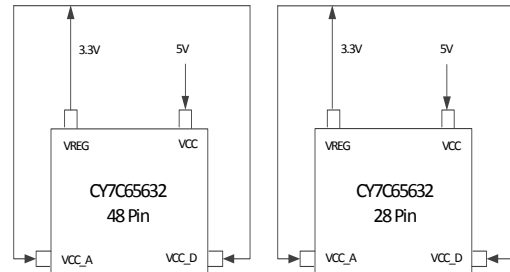


External Regulation Scheme

内蔵レギュレータ使用の場合

内蔵レギュレータを選択した場合、VCC ピンは 48 ピンと 28 ピンパッケージの両方で 5V に接続する必要があります。内蔵されたレギュレータによりチップの内部使用のために 3.3V と 1.8V を生成します。また、3.3V 出力を VREG ピンで利用可能です。このピンは外部で VCC_A と VCC_D に接続する必要があります。

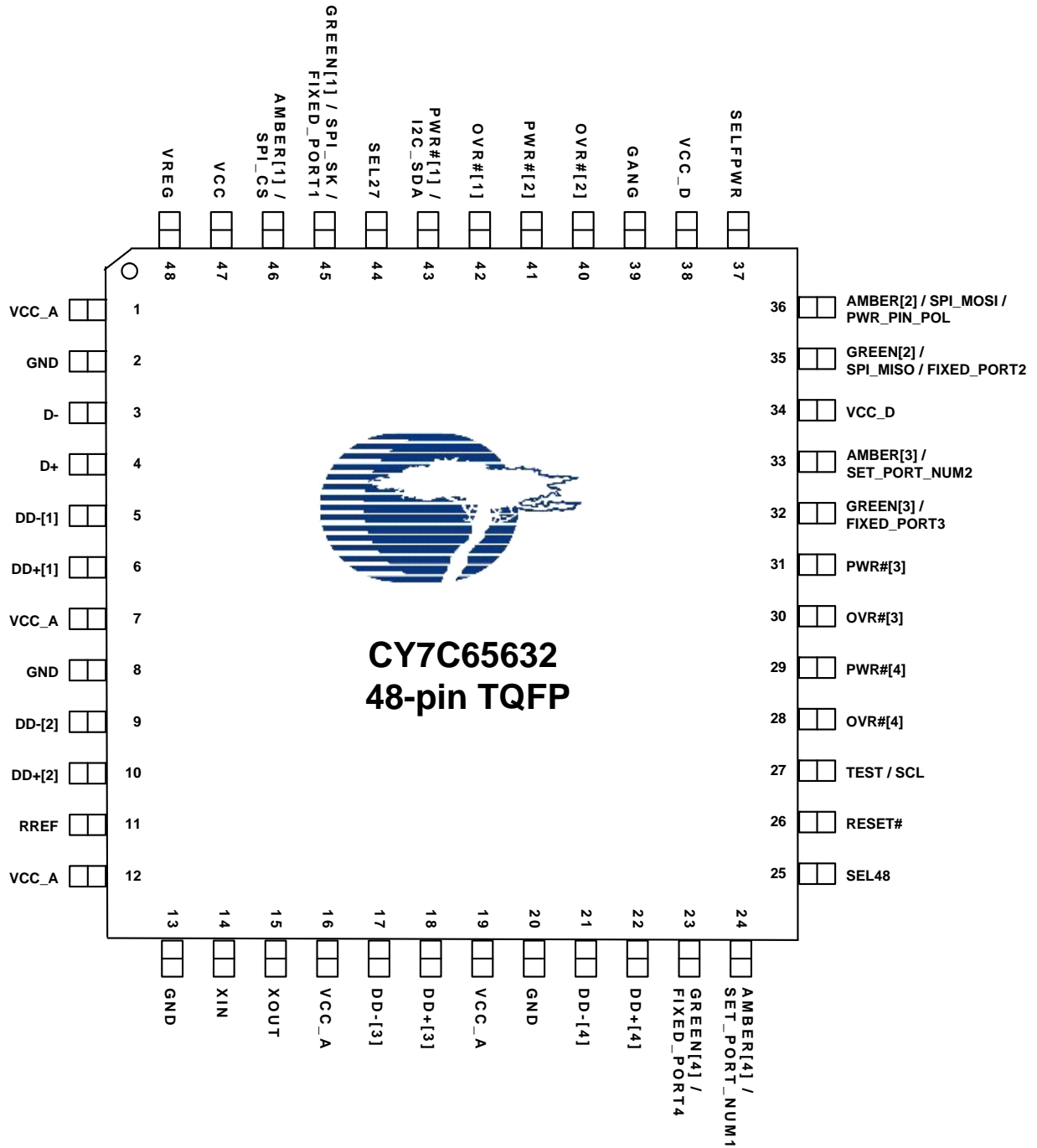
図 3. 内蔵レギュレータ使用の場合



Internal Regulation Scheme

ピン コンフィギュレーション

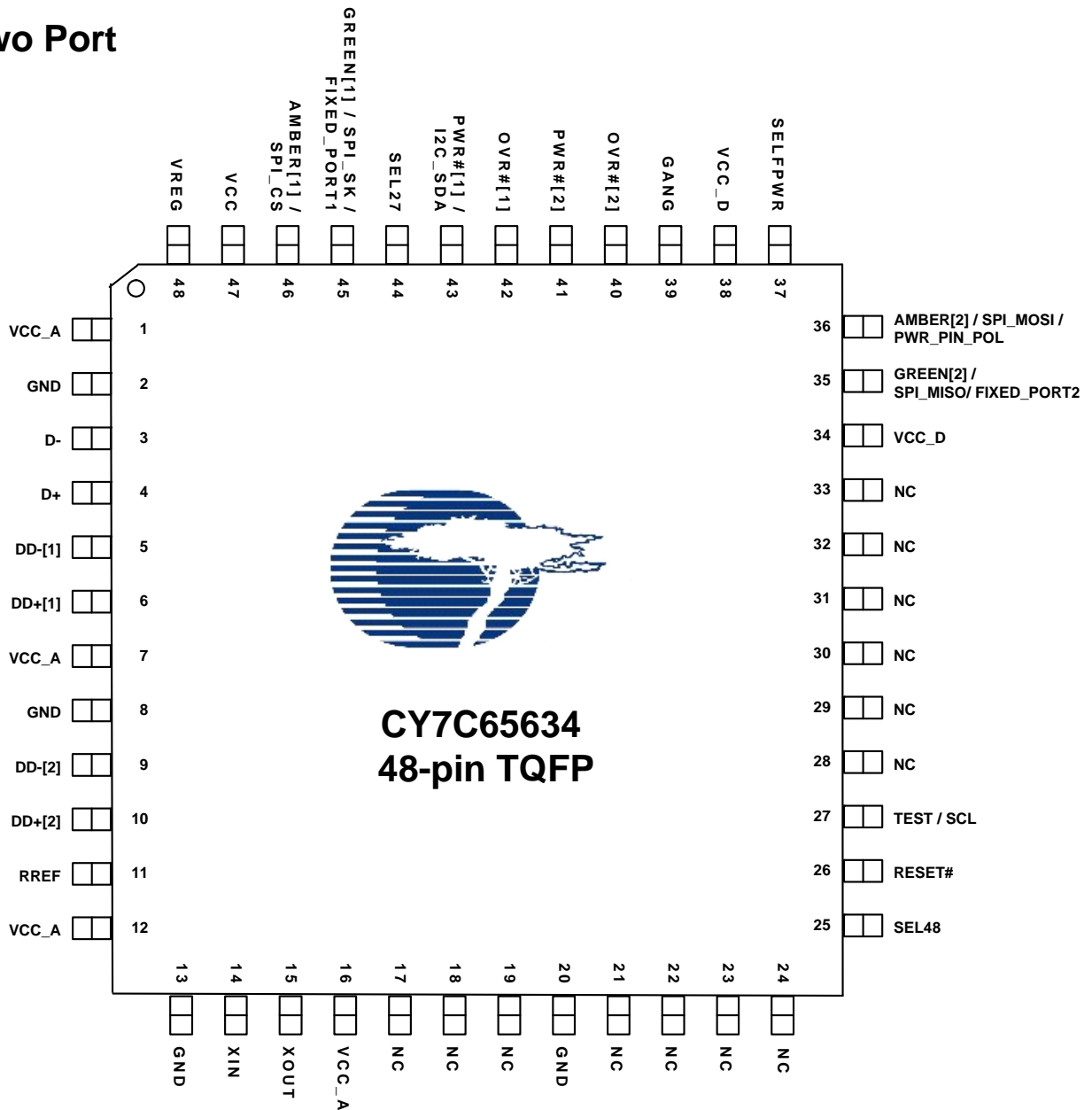
図 4. 48 ピン TQFP (7 x 7 x 1.4mm) ピン配置



ピンコンフィギュレーション (続き)

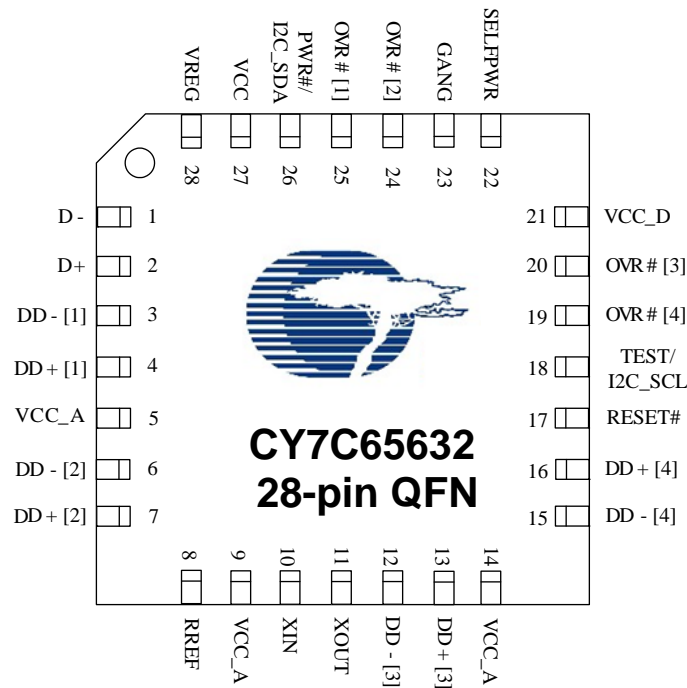
図 5. 48 ピン TQFP (7 x 7 x 1.4mm) ピン配置

Two Port



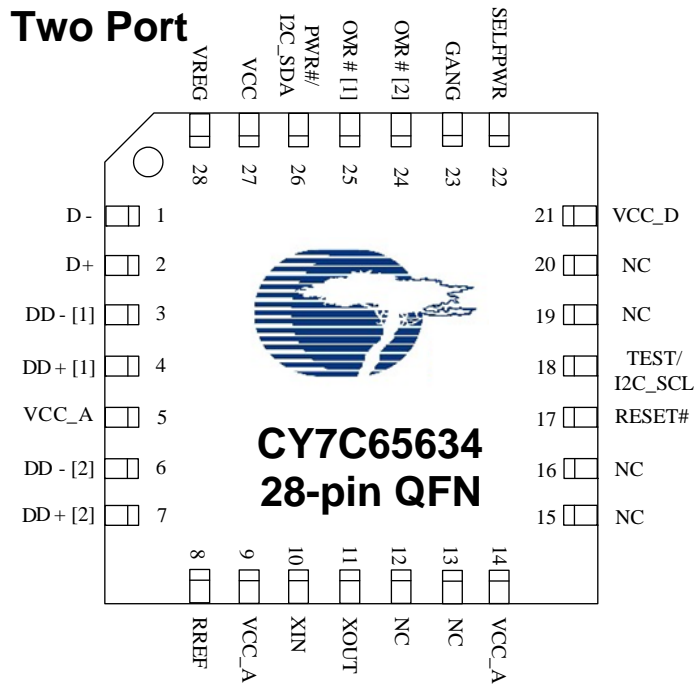
ピン コンフィギュレーション (続き)

図 6. 28 ピン QFN (5 × 5 × 0.8mm) ピン配置



ピン コンフィギュレーション (続き)

図 7. 28 ピン QFN (5 × 5 × 0.8mm) ピン配置



ピン機能

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ ^[1]	説明
電源とクロック			
VCC_A	1	P	V _{CC A} 。チップへの 3.3V アナログ電源
VCC_A	7	P	V _{CC A} 。チップへの 3.3V アナログ電源
VCC_A	12	P	V _{CC A} 。チップへの 3.3V アナログ電源
VCC_A	16	P	V _{CC A} 。チップへの 3.3V アナログ電源
VCC_A	19	P	V _{CC A} 。チップへの 3.3V アナログ電源 CY7C65634 では未接続
VCC_D	34	P	V _{CC D} 。チップへの 3.3V デジタル電源
VCC_D	38	P	V _{CC D} 。チップへの 3.3V デジタル電源
VCC	47	P	V _{CC} 。内部レギュレータへの 5V 入力；外部レギュレータを使用する場合は未接続
VREG	48	P	V _{REG} 。内部レギュレータを使用中は 5V から 3.3V レギュレータ出力；外部レギュレータを使用する場合は未接続
GND	2	P	GND 。できる限り短いパスでグラウンドに接続
GND	8	P	GND 。できる限り短いパスでグラウンドに接続
GND	13	P	GND 。できる限り短いパスでグラウンドに接続
GND	20	P	GND 。できる限り短いパスでグラウンドに接続
XIN	14	I	12MHz 水晶クロック入力, または 12/27/48MHz クロック入力
XOUT	15	O	12MHz 水晶出力
SEL48/SEL27	25 / 44	I	クロック ソースの選択入力 00: 予約済み 01: 48MHz 振動子入力 10: 27MHz 振動子入力 11: 12MHz 水晶または振動子入力
RESET#	26	I	アクティブ LOW リセット 。外部リセット入力, デフォルトで 10kΩ HIGH にプルアップ；RESET = LOW の場合, チップ全体を初期状態にリセット
SELPWR	37	I	自己給電 。自己給電/バス給電選択用の入力。0 の場合はバス給電, 1 の場合は自己給電
GANG	39	I/O	ギャング 。デフォルトはパワーオンリセット後の入力モード。 ギャング モード: 入力が 1 の場合, 出力は通常動作では 0, サスペンドでは 1 個別モード: 入力が 0 の場合, 出力は通常動作では 1, サスペンドでは 0 詳細は、「ピン コンフィギュレーション オプション」節のギャング/個別電源切り替えモードを参照
RREF	11	I/O	649Ω の抵抗を RREF とグラウンドの間に接続することが必要
システム インターフェース			
Test I2C_SCL	27	I(R _{DN}) I/O(R _{DN})	テストが 0 の場合は通常動作, 1 の場合はチップがテストモードに入る I2C_SCL : I ² C クロック ピンとして使用し, I ² C EEPROM にアクセス可能
アップストリーム ポート			
D-	3	I/O/Z	アップストリーム D- 信号
D+	4	I/O/Z	アップストリーム D+ 信号
ダウンストリーム ポート 1			
DD-[1]	5	I/O/Z	ダウンストリーム D- 信号 。ポート 1 のダウンストリーム D- 信号

- 注
- ピンタイプ: I = 入力, O = 出力, P = 電源/グラウンド, Z = 高インピーダンス, R_{DN} = パッド内部プルダウン抵抗, R_{UP} = パッド内部プルアップ抵抗。
 - これらのピンの LED インジケータとしての代替機能は、ピンが論理 HIGH にストラップされている場合に利用できません。ただし、60ms のパワーオンリセット (POR) 後にこれらのピンが出力として再コンフィギュレーションされた時に、ピンを論理 HIGH から切断するように独立した回路が設計されている場合はこの限りではありません。

ピン機能 (続き)
48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ ^[1]	説明
DD+[1]	6	I/O/Z	ダウンストリーム D+ 信号。 ポート 1 のダウンストリーム D+ 信号
AMBER[1] ^[1, 2] SPI_CS	46	O(R _{DN}) O(R _{DN})	LED。 アンバー LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 SPI_CS。 チップ選択として使用し、外部 SPI EEPROM にアクセス可能
GREEN ^[1, 2] SPI_SK FIXED_PORT1	45	O(R _{DN}) O(R _{DN}) I(R _{DN})	LED。 緑の LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 SPI_SK。 SPI クロックとして使用し、外部 SPI EEPROM にアクセス可能。 FIXED_PORT1。 POR では、ポート 1 を取り外し不可ポートとして設定するために使用。「ピンコンフィギュレーション」節を参照
OVR#[1]	42	I(R _{UP})	アクティブ LOW 過電流 条件検出入力。 ポート 1 の過電流条件検出入力。
PWR#[1] I2C_SDA	43	O/Z I/O	電源 切り替え ドライバー出力。 デフォルトはアクティブ LOW。 I2C_SDA。 I ² C データ ピンとして使用し、I ² C EEPROM に接続することが可能
ダウンストリーム ポート 2			
DD-[2]	9	I/O/Z	ダウンストリーム D- 信号。 ポート 2 のダウンストリーム D- 信号
DD+[2]	10	I/O/Z	ダウンストリーム D+ 信号。 ポート 2 のダウンストリーム D+ 信号
AMBER[2] ^[2] SPI_MOSI PWR_PIN_POL	36	O(R _{DN}) O(R _{DN}) I(R _{DN})	LED。 アンバー LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 SPI_MOSI。 データ出力として使用し、外部 SPI EEPROM にアクセス可能。 PWR_PIN_POL。 電源切り替えイネーブル ピンの極性設定に使用。「コンフィギュレーション」節を参照
GREEN[2] ^[2] SPI_MISO FIXED_PORT2	35	O(R _{DN}) I(R _{DN}) I(R _{DN})	LED。 緑の LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 SPI_MISO。 データ入力として使用し、外部 SPI EEPROM にアクセス可能。 FIXED_PORT2。 POR では、ポート 2 を取り外し不可ポートとして設定するために使用。「コンフィギュレーション」節を参照
OVR#[2]	40	I(R _{UP})	アクティブ LOW 過電流 条件検出入力。 ポート 2 の過電流条件検出入力
PWR#[2]	41	O/Z	電源 切り替え ドライバー出力。 デフォルトはアクティブ LOW。
ダウンストリーム ポート 3			
DD-[3]	17	I/O/Z	ダウンストリーム D- 信号。 CY7C65634 では未接続
DD+[3]	18	I/O/Z	ダウンストリーム D+ 信号。 CY7C65634 では未接続
AMBER[3] ^[2] SET_PORT_NUM2	33	O(R _{DN}) I(R _{DN})	LED。 アンバー LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 SET_PORT_NUM2。 SET_PORT_NUM1 と共に、ポート番号の設定に使用。「ピンコンフィギュレーション」節を参照 CY7C65634 では未接続
GREEN[3] ^[2] FIXED_PORT3	32	O(R _{DN}) I(R _{DN})	LED。 緑の LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 FIXED_PORT3。 POR では、ポート 3 を取り外し不可ポートとして設定するために使用。「ピンコンフィギュレーション」節を参照 CY7C65634 では未接続
OVR#[3]	30	I(R _{UP})	アクティブ LOW 過電流 条件検出入力。 ポート 3 の過電流条件検出入力。 CY7C65634 では未接続
PWR#[3]	31	O/Z	電源 切り替え ドライバー出力。 デフォルトはアクティブ LOW。 CY7C65634 では未接続

- 注**
- ピンタイプ: I = 入力, O = 出力, P = 電源/グランド, Z = 高インピーダンス, R_{DN} = パッド内部プルダウン抵抗, R_{UP} = パッド内部プルアップ抵抗。
 - これらのピンの LED インジケータとしての代替機能は、ピンが論理 HIGH にストラップされている場合に利用できません。ただし、60ms のパワーオンリセット (POR) 後にこれらのピンが出力として再コンフィギュレーションされた時に、ピンを論理 HIGH から切断するように独立した回路が設計されている場合はこの限りではありません。

ピン機能 (続き)

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ ^[1]	説明
ダウンストリーム ポート 4			
DD-[4]	21	I/O/Z	ダウンストリーム D- 信号。 CY7C65634 では未接続
DD+[4]	22	I/O/Z	ダウンストリーム D+ 信号。 CY7C65634 では未接続
AMBER[4] ^[2] SET_PORT_NUM1	24	O(R _{DN}) I(R _{DN})	LED。 アンバー LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 SET_PORT_NUM1。 SET_PORT_NUM2 と共に、ポート番号の設定に使用。「コンフィギュレーション」節を参照 CY7C65634 では未接続
GREEN[4] ^[2] FIXED_PORT4	23	O(R _{DN}) I(R _{DN})	LED。 緑の LED 用のドライバー出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。 FIXED_PORT4。 POR では、ポート 4 を取り外し不可ポートとして設定するために使用。「コンフィギュレーション」節を参照 CY7C65634 では未接続
OVR#[4]	28	I(R _{UP})	アクティブ LOW 過電流 条件検出入力。 ポート 4 の過電流条件検出入力。 CY7C65634 では未接続
PWR#[4]	29	O/Z	電源 切り替え ドライバー出力。 デフォルトはアクティブ LOW。 CY7C65634 では未接続

- 注**
1. ピンタイプ: I = 入力、O = 出力、P = 電源/グランド、Z = 高インピーダンス、R_{DN} = パッド内部プルダウン抵抗、R_{UP} = パッド内部プルアップ抵抗。
 2. これらのピンの LED インジケータとしての代替機能は、ピンが論理 HIGH にストラップされている場合に利用できません。ただし、60ms のパワー オン リセット (POR) 後にこれらのピンが出力として再コンフィギュレーションされた時に、ピンを論理 HIGH から切断するように独立した回路が設計されている場合はこの限りではありません。

ピン機能

28 ピン QFN パッケージ

ピン名	ピン番号	タイプ ^[2]	説明
電源とクロック			
VCC_A	5	P	V _{CC A} 。チップへの 3.3V アナログ電源
VCC_A	9	P	V _{CC A} 。チップへの 3.3V アナログ電源
VCC_A	14	P	V _{CC A} 。チップへの 3.3V アナログ電源
VCC_D	21	P	V _{CC D} 。チップへの 3.3V デジタル電源
VCC	27	P	V _{CC} 。内部レギュレータへの 5V 入力；外部レギュレータを使用する場合は未接続
VREG	28	P	V _{CC} 。内部レギュレータを使用中は 5V から 3.3V レギュレータ出力；外部レギュレータを使用する場合は 3.3V 入力
XIN	10	I	12MHz 水晶クロック入力、または 12MHz クロック入力
XOUT	11	O	12MHz 水晶出力
RESET#	17	I	アクティブ LOW リセット。 外部リセット入力、デフォルトで 10kΩ で HIGH にプルアップ；RESET = LOW の場合、チップ全体を初期状態にリセット
SELPWR	22	I	自己給電。 自己給電／バス給電選択用の入力。0 の場合はバス給電、1 の場合は自己給電
GANG ^[5]	23	I/O	ギャング。 デフォルトはパワーオン リセット後の入力モード。 ギャングモード： 入力が 1 の場合、出力は通常動作では 0、サスペンドでは 1 個別モード： 入力が 0 の場合、出力は通常動作では 1、サスペンドでは 0 詳細は、「ピン コンフィギュレーション オプション」節のギャング／個別電源切り替えモードを参照
RREF	8	I/O	649Ω の抵抗を RREF とグラウンドの間に接続することが必要
システム インターフェース			
Test I2C_SCL	18	I(R _{DN}) I/O(R _{DN})	テストが 0 の場合は通常動作、1 の場合はチップがテスト モードに入る I2C_SCL: I ² C クロック ピン
PWR# ^[3] I2C_SDA	26	I/O	電源 切り替え ドライバー出力。 デフォルトはアクティブ LOW。 I2C_SDA: I ² C データ ピン
アップストリーム ポート			
D-	1	I/O/Z	アップストリーム D- 信号
D+	2	I/O/Z	アップストリーム D+ 信号
ダウンストリーム ポート 1			
DD-[1]	3	I/O/Z	ダウンストリーム D- 信号
DD+[1]	4	I/O/Z	ダウンストリーム D+ 信号
OVR#[1]	25	I(R _{UP})	アクティブ LOW 過電流 条件検出入力。 ポート 1 の過電流条件検出入力。ギャングモードでは、OVR # [1] (ピン 25) のみが有効になります。ギャングモードでは、OVR # [2] (ピン 24)、OVR # [3] (ピン 20) および OVR # [4] (ピン 19) は無効になります。
ダウンストリーム ポート 2			
DD-[2]	6	I/O/Z	ダウンストリーム D- 信号
DD+[2]	7	I/O/Z	ダウンストリーム D+ 信号
OVR#[2]	24	I(R _{UP})	アクティブ LOW 過電流 条件検出入力。 ポート 2 の過電流条件検出入力。ギャングモードでは、OVR # [1] (ピン 25) のみが有効になります。ギャングモードでは、このピン (OVR # [2]) は無効になります。

- 注
- ピンタイプ：I = 入力、O = 出力、P = 電源／グラウンド、Z = 高インピーダンス、R_{DN} = パッド内部プルダウン抵抗、R_{UP} = パッド内部プルアップ抵抗。
 - PWR#/I2C_SDA は、PWR# または I2C_SDA のいずれかとして使用できますが、その両方としては使用できません。EEPROM が接続されている場合、ピンは SDA として機能し、(48 ピン TQFP パッケージと違って) PWR# モードには切り替わりません。
 - ギャングモードでは、OVR#1 (ピン 25) のみが有効になります。

ピン機能 (続き)

28 ピン QFN パッケージ

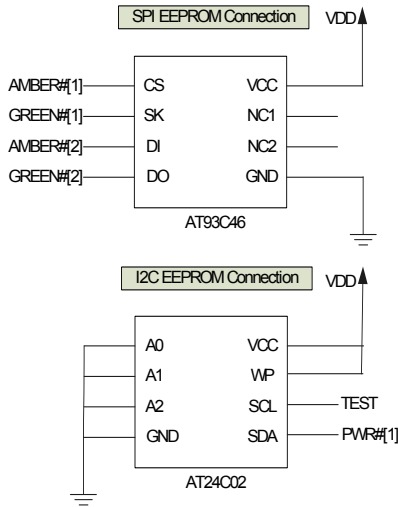
ピン名	ピン番号	タイプ ^[2]	説明
ダウストリーム ポート 3			
DD-[3]	12	I/O/Z	ダウストリーム D- 信号。CY7C65634 では未接続
DD+[3]	13	I/O/Z	ダウストリーム D+ 信号。CY7C65634 では未接続
OVR#[3]	20	I(R _{UP})	過電流 条件検出入力。デフォルトはアクティブ LOW。 CY7C65634 では未接続。ギャング モードでは、OVR # [1] (ピン 25) のみが有効になります。ギャング モードでは、このピン (OVR # [3]) は無効になります。
ダウストリーム ポート 4			
DD-[4]	15	I/O/Z	ダウストリーム D- 信号。CY7C65634 では未接続
DD+[4]	16	I/O/Z	ダウストリーム D+ 信号。CY7C65634 では未接続
OVR#[4]	19	I(R _{UP})	過電流 条件検出入力。デフォルトはアクティブ LOW。 CY7C65634 では未接続。ギャング モードでは、OVR # [1] (ピン 25) のみが有効になります。ギャング モードでは、このピン (OVR # [4]) は無効になります。
GND	PAD	P	チップ用のグランド ピン。これはチップの下にある、はんだ付け可能なエクスポートパッド。24 ページの図 12 を参照

- 注
- ピン タイプ : I = 入力、O = 出力、P = 電源 / グランド、Z = 高インピーダンス、R_{DN} = パッド内部プルダウン抵抗、R_{UP} = パッド内部プルアップ抵抗。
 - PWR#/I2C_SDA は、PWR# または I2C_SDA のいずれかとして使用できますが、その両方としては使用できません。EEPROM が接続されている場合、ピンは SDA として機能し、(48 ピン TQFP パッケージと違って) PWR# モードには切り替わりません。
 - ギャング モードでは、OVR#1 (ピン 25) のみが有効になります。

EEPROM コンフィギュレーションオプション

CY7C6563X を使用するシステムでは、デフォルトのディスクリプタを使ってハブをコンフィギュレーションするオプションがあります。そうでない場合、デバイスが固有の VID と PID を設定するために、外付け EEPROM を使用する必要があります。CY7C6563X は、93C46 のような SPI (マイクロワイヤ) EEPROM、または 24C02 のような I²C EEPROM と通信可能です。EEPROM 接続の例を以下の図に示します。

図 8. EEPROM 接続



注：28 ピン QFN パッケージは、ATMEL/24C02N_SU27 D, MICROCHIP/4LC028 SN0509, SEIKO/S24CS02AVH9 などの I²C EEPROM のみをサポートします。48 ピン TQFP パッケージには、I²C と SPI EEPROM の両方の接続オプションが含まれています。この場合、ユーザーは、EEPROM と通信する時に、SPI 接続または I²C 接続のいずれかを使用することができます。48 ピン パッケージは、前述のファミリに加えて、ATMEL/AT93C46DN-SH-T もサポートしています。HX2VL は SPI EEPROM から読み出しのみができます。このため、EEPROM のフィールドプログラミングは I²C EEPROM でのみサポートされています。

CY7C6563X は、パワーオンリセットの後にチェックサムを確認し、有効の場合は EEPROM からコンフィギュレーションを読み込みます。このコンフィギュレーションが上書きされることを防ぐために、SPI EEPROM が存在する場合は AMBER[1] を無効にします。

バイト	値
00h	VID_LSB
01h	VID_MSB
02h	PID_LSB
03h	PID_MSB
04h	ChkSum
05h	予約済み - FEh

表 1. EEPROM コンフィギュレーションオプション (続き)

バイト	値
06h	取り外し可能ポート
07h	ポート番号
08h	最大出力
09h ~ 0Fh	予約済み - FFh
10h	ベンダ文字列長さ
11h ~ 3Fh	ベンダ文字列 (ASCII コード)
40h	製品文字列長さ
41h ~ 6Fh	製品文字列 (ASCII コード)
70h	シリアル番号長さ
71h ~ 80h 以降	シリアル番号文字列

初期設定では VID は 0x4B4、PID は 0x6570 です。

バイト 0: VID (LSB)

ベンダ ID の最下位バイト

バイト 1: VID (MSB)

ベンダ ID の最上位バイト

バイト 2: PID (LSB)

製品 ID の最下位バイト

バイト 3: PID (MSB)

製品 ID の最上位バイト

バイト 4: ChkSum

CY7C6563X は、ChkSum が VID_LSB + VID_MSB + PID_LSB + PID_MSB + 1 の値に等しくない場合、EEPROM 設定を無視します。

バイト 5: 予約済み

FEh に設定

バイト 6: RemovablePorts

RemovablePorts[4:1] は、該当するダウンストリームポートに接続されているデバイスが取り外し可能 (0 に設定) であるか、または取り外し不可 (1 に設定) であることを示すビットです。ビット 1 はポート 1、ビット 2 はポート 2、... などのように対応します。デフォルト値は 0 です (取り外し可能)。これらのビット値は、HubDescriptor:DeviceRemovable フィールドで適切に報告されます。

ビット 0, 5, 6, 7 は 0 に設定されます。

バイト 7: ポート番号

ポート番号は、ダウンストリームポートの数を示します。値は 1 ~ 4 である必要があります。デフォルト値は 4 です。

バイト 8: 最大出力

この値は、コンフィギュレーション ディスクリプタの bMax-Power フィールドで報告され、ハブのアップストリーム側から要求される 2mA 単位でインクリメントする電流です。許容範囲は 00 (0mA) ~ FAh (500mA) です。デフォルト値は 32h (100mA) です。

バイト 9 ~ 15: 予約済み

FFh に設定

バイト 16: ベンダ文字列長さ

ベンダ文字列の長さ

バイト 17 ~ 63: ベンダ文字列

ベンダ文字列の値

バイト 64: 製品文字列長さ

製品文字列の長さ

バイト 65 ~ 111: 製品文字列

製品文字列の値

バイト 112: シリアル番号長さ

シリアル番号の長さ

バイト 113 以降: シリアル番号文字列

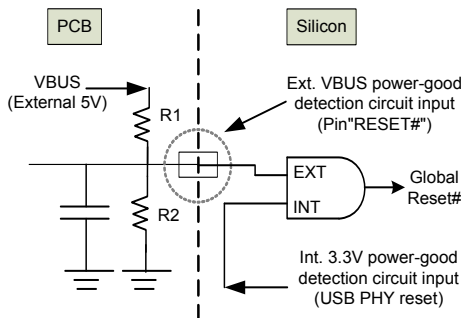
シリアル番号文字列

ピン コンフィギュレーション オプション

パワーオン リセット

パワーオン リセットは外部リセットまたは内部回路によりトリガーされます。内部リセットは、チップ内部のコア電源 (3.3V ± 10%) に対して電源が不安定な状態になった場合に開始されます。内部リセットは、電源がパワーグッド電圧 (2.5V ~ 2.8V) に達した後に、2.7µs ± 1.2% で解除されます。外部リセットピンは、図で示すようにアップストリーム側の VBUS で電圧レベル (5V) を連続的に検知します。USB の差し込み/抜き出し、または電圧降下イベントが生じた場合、外部リセットはトリガーされます。このリセット トリガーは、抵抗 R1 と R2 を使用してコンフィギュレーションできます。サイプレスは、外部リセット回路に適用されるリセット時間は、内部リセット時間よりも長くするよう推奨しています。

図 9. パワー オン リセット回路



ギャング/個別電源切り替えモード

単一のピンを使用し、個別/ギャングモードを設定し、サスペンドフラグを出力します。これにより、ピン数を減らすことができます。個別またはギャングモードは、パワー オン リセット後の 20µs 以内に決定されます。そのセットアップ時間は 1ns です。リセットしてから 50 ~ 60ms 後に、このピンは出力モードに変更します。CY7C6563X は完全に一時停止されると、一時停止フラグを出力します。個別モードでは 100K よりも大きなプルダウン抵抗が、ギャングモードでは 100K よりも大きなプルアップ抵抗が必要です。下図はサスペンド LED インジケータの回路図を示します。LED の極性に従う必要があります。そうしないと、サスペンド電流は仕様限度 (2.5mA) を超えてしまいます。

図 10. 電源切り替えモード

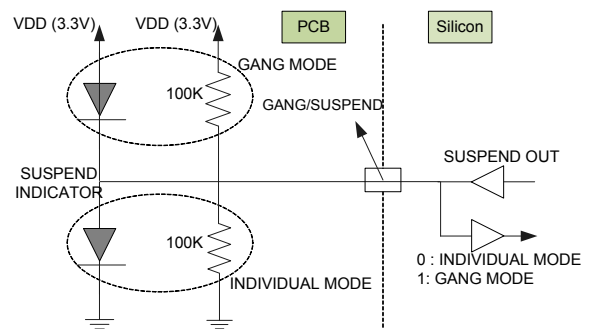


表 2. 48 ピンと 28 ピン パッケージで対応する機能

対応機能	48 ピン	28 ピン
ポート番号コンフィギュレーション	有	無
取り外し不可ポート コンフィギュレーション	有	無
リファレンス クロック コンフィギュレーション	有	無
電源切り替えイネーブル極性	有	無
LED インジケータ	有	無

電源切り替えイネーブル ピンの極性

ピンの極性は、PWR_PIN_POL ピンを 1 にストラッピングすることでアクティブ HIGH に、PWR_PIN_POL ピンを 0 にストラッピングすることでアクティブ LOW に設定されます。従って、両方の電源切り替えに対応します。この機能は、28 ピン QFN パッケージではサポートされていません。

ポート番号コンフィギュレーション

EEPROM コンフィギュレーションに加えて、前述の通りに、2/3/4 ポートのハブ コンフィギュレーションについても、下表で示すように SET_PORT_NUM1 と SET_PORT_NUM2 のピンストラッピングを使用してサポートされます。ピンストラッピング オプションは 28 ピン QFN パッケージではサポートされていません。

表 3. ピンストラップを使用したポート番号コンフィギュレーション

SET_PORT_NUM2	SET_PORT_NUM1	ポート数
1	1	1 (ポート 1)
1	0	2 (ポート 1/2)
0	1	3 (ポート 1/2/3)
0	0	4 (すべてのポート)

取り外し不可ポートのコンフィギュレーション

組み込みシステムにおいて、パワー オン リセットの前に、該当する FIXED_PORT# ピン 1 ~ 4 をストラッピングすることにより、システム内部で常に接続するダウンストリームポートを取り外し不可ポート (常時接続) として設定することができます。POR 時に、ピンが HIGH にプルアップされた場合、該当するポートは取り外し不可ポートに設定されます。これは 28 ピン QFN パッケージではサポートされていません。

リファレンス クロック コンフィギュレーション

このハブは、オプションの 27/48MHz クロック ソースをサポートすることができます。オンボード 27/48MHz クロックが存在する場合、システム インテグレータはこの機能を使用し、外部水晶を除去することで BOM コストをさらに削減することができます。これを実行するには、以下に示す GPIO ピン コンフィギュレーションを使用します。これは 28 ピン QFN パッケージではサポートされていません。

表 4. リファレンス クロック オプション

SEL48	SEL27	クロック ソース
0	1	48MHz 振動子入力
1	0	27MHz 振動子入力
1	1	12MHz 水晶／振動子入力

絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインは試験されていません。

保存温度	-55°C ~ +100°C
周囲温度	0°C ~ +70°C
グラウンド電位への 5V 電源電圧	-0.5V ~ +6.0V
グラウンド電位への 3.3V 電源電圧	-0.5V ~ +3.6V
オープン ドレイン入力ピンでの電圧 (OVR#1-4, SELFPWR, RESET#)	-0.5V ~ +5.5V
デジタル I/O の 3.3V 入力電圧	-0.5V ~ +3.6V
FOSC (振動子または水晶周波数)	12MHz ± 0.05%

動作条件

周囲温度	0°C ~ +70°C
周囲最大接合部温度	0°C ~ +125°C
グラウンド電位への 5V 電源電圧	4.75V ~ +5.25V
グラウンド電位への 3.3V 電源電圧	3.15V ~ +3.6V
USB 信号ピンの入力電源	0.5V ~ +3.6V
オープン ドレイン入力ピンでの電圧	-0.5V ~ +5.0V
温度特性 48 ピン TQFP	78.7°C/W
温度特性 28 ピン QFN	33.3°C/W

電気的特性

DC 電気的特性

パラメーター	説明	条件	Min	Typ	Max		単位
					外部レギュレータ	内部レギュレータ	
P_D	電力損失	USB 信号を除く	366.5	-	426.5		mW
V_{IH}	入力 HIGH の電圧	-	2	-	-		V
V_{IL}	入力 LOW の電圧	-	-	-	0.8		
I_I	入力リーク電流	フルスピード/ ロースピード ($0 < V_{IN} < V_{CC}$)	-10	-	+10		μA
		ハイスピードモード ($0 < V_{IN} < V_{CC}$)	-5	0	+5		
V_{OH}	出力 HIGH 電圧	$I_{OH} = 8mA$	2.4	-	-		V
V_{OL}	出力 LOW 電圧	$I_{OL} = 8mA$	-	-	0.4		
R_{DN}	パッド内部プルダウン抵抗	-	29	59	135		K
R_{UP}	パッド内部プルダウン抵抗	-	80	108	140		
C_{IN}	入力ピン静電容量	フルスピード/ ロースピードモード	-	-	20		pF
		ハイスピードモード	4	4.5	5		
I_{SUSP}	サスペンド電流	-	-	0.786	1.043	1.3	mA

注

- 電流の測定は、エニューメレーションされた外付けデバイスにより実行されます。
- 外付けデバイスがありません。

電気的特性 (続き)
DC 電気的特性 (続き)

パラメーター	説明	条件	Min	Typ	Max		単位
					外部レギュレータ	内部レギュレータ	
I _{CC}	供給電流						
	4 アクティブ ポート [6]	フルスピード ホスト, フルスピード デバイス	-	88.7	103.9	105.4	mA
		ハイスピード ホスト, ハイスピード デバイス	-	81.9	88.2	89.3	
		ハイスピード ホスト, フルスピード デバイス	-	88.2	101.2	102.3	
	3 アクティブ ポート	フルスピード ホスト, フルスピード デバイス	-	79.1	91.6	93	
		ハイスピード ホスト, ハイスピード デバイス	-	72.9	78.5	78.6	
		ハイスピード ホスト, フルスピード デバイス	-	75.9	88.7	88.8	
	2 アクティブ ポート	フルスピード ホスト, フルスピード デバイス	-	68.1	78.4	78.6	
		ハイスピード ホスト, ハイスピード デバイス	-	61.9	67.6	69.6	
		ハイスピード ホスト, フルスピード デバイス	-	64.9	75.4	76.1	
	1 アクティブ ポート	フルスピード ホスト, フルスピード デバイス	-	57.1	66.3	66.7	
		ハイスピード ホスト, ハイスピード デバイス	-	51.9	57.6	59.3	
		ハイスピード ホスト, フルスピード デバイス	-	54.7	61.1	62.5	
	アクティブ ポートなし [7]	フルスピード ホスト	-	42.8	48.9	50.3	
ハイスピード ホスト		-	44.2	49.1	50.6		

注

6. 電流の測定は、エニューメレーションされた外付けデバイスにより実行されます。
 7. 外付けデバイスがありません。

AC 電気的特性

USB トランシーバーは、ロー スピード、フル スピード、ハイ スピード モードで USB 2.0 認証を取得しています。

アップストリーム USB トランシーバーと 4 つすべてのダウンストリーム トランシーバーは、いずれも USB-IF USB 2.0 電気認可試験に合格しています。

48 ピン TQFP パッケージは、I²C または SPI のいずれかを使用して、EEPROM への通信をサポートしています。28 ピン QFN パッケージは、EEPROM への I²C 通信のみをサポートしています。

EEPROM とのこれらの 2 つのインターフェースの AC 特性は、下表にまとめます。

SPI EEPROM インターフェースの AC 特性

パラメーター	パラメーター	Min	Typ	Max	単位
t _{CS}	CS セットアップ時間	3.0	–	–	μs
t _{CSH}	CS ホールド時間	3.0	–	–	
t _{SKH}	SK HIGH 時間	1.0	–	–	
t _{SKL}	SK LOW 時間	2.2	–	–	
t _{DIS}	DI セットアップ時間	1.8	–	–	
t _{DIH}	DI ホールド時間	2.4	–	–	
t _{PD1}	「1」までの出力遅延時間	–	–	1.8	
t _{PD0}	「0」までの出力遅延時間	–	–	1.8	

I²C EEPROM インターフェースの AC 特性

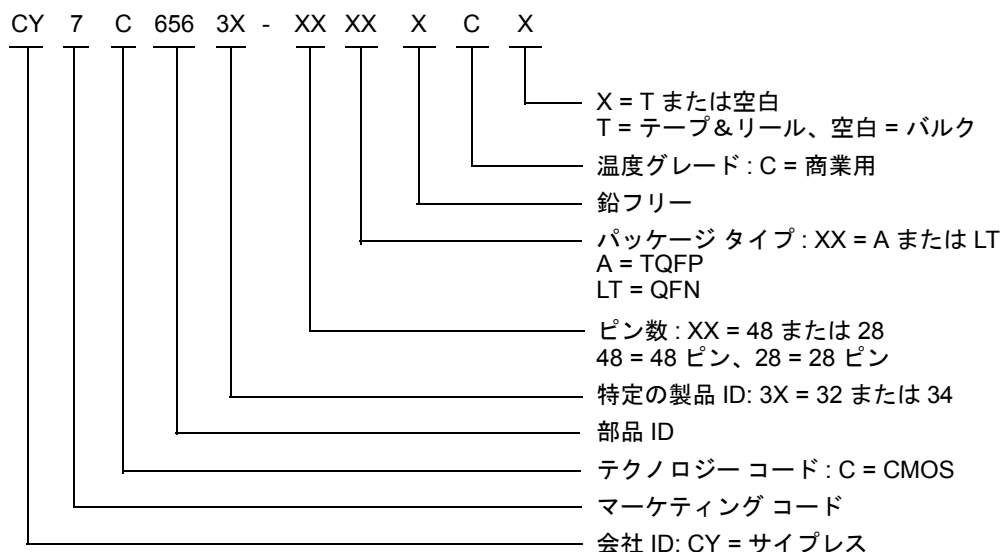
パラメーター	パラメーター	1.8V ~ 5.5V		2.5V ~ 5.5V		単位
		Min	Max	Min	Max	
f _{SCL}	SCL クロック周波数	0.0	100	0.0	400	kHz
t _{LOW}	クロック LOW 期間	4.7	–	1.2	–	
t _{HIGH}	クロック HIGH 期間	4.0	–	0.6	–	μs
t _{SU:STA}	START 条件セットアップ時間	4.7	–	0.6	–	
t _{SU:STO}	STOP 条件セットアップ時間	4.7	–	0.6	–	
t _{HD:STA}	START 条件ホールド時間	4.0	–	0.6	–	
t _{HD:STO}	STOP 条件ホールド時間	4.0	–	0.6	–	ns
t _{SU:DAT}	データ入力セットアップ時間	200.0	–	100.0	–	
t _{HD:DAT}	データ入力ホールド時間	0	–	0	–	
t _{DH}	データ出力ホールド時間	100	–	50	–	μs
t _{AA}	クロックから出力までの時間	0.1	4.5	0.1	–	
t _{WR}	書き込みサイクル時間	–	10	–	5	ns

熱抵抗

パラメーター	説明	48 ピン TQFP パッケージ	28 ピン QFN パッケージ	単位
θ _{JA}	熱抵抗 (接合部から周囲へ)	78.7	33.3	°C/W
θ _{JC}	熱抵抗 (接合部からケースへ)	35.3	18.4	

注文情報

注文コード	デバイス	パッケージタイプ
CY7C65632-48AXC	4ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	48ピンTQFPバルク
CY7C65632-28LTXC	4ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	28ピンQFNバルク
CY7C65632-48AXCT	4ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	48ピンTQFPテープ&リール
CY7C65632-28LTXCT	4ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	28ピンQFNテープ&リール
CY7C65634-48AXC	2ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	48ピンTQFPバルク
CY7C65634-28LTXC	2ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	28ピンQFNバルク
CY7C65634-48AXCT	2ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	48ピンTQFPテープ&リール
CY7C65634-28LTXCT	2ポートシングルTTハブ (GPIOとEEPROMでコンフィギュレーション可能)	28ピンQFNテープ&リール

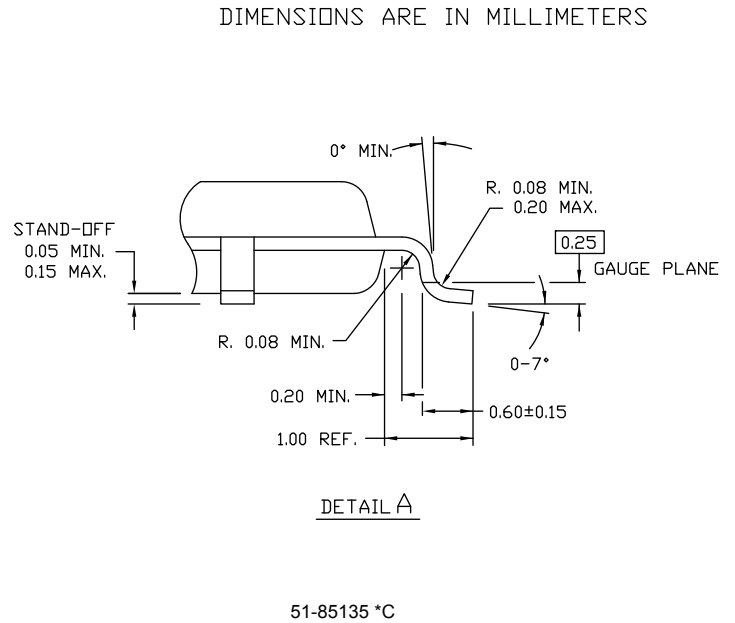
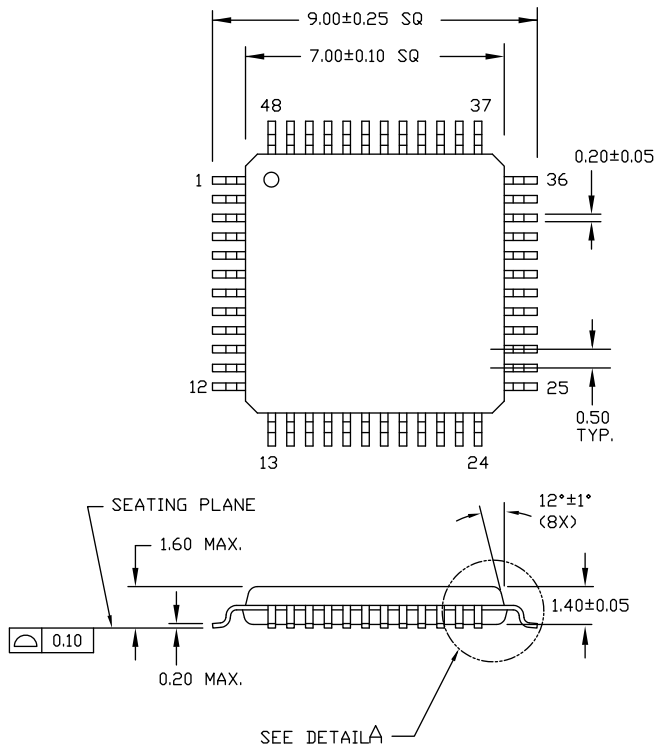
注文コードの定義


パッケージ図

CY7C65632 は以下のパッケージで提供可能です。

図 11. 48 ピン TQFP (7 × 7 × 1.4mm) A48 パッケージ図, 51-85135

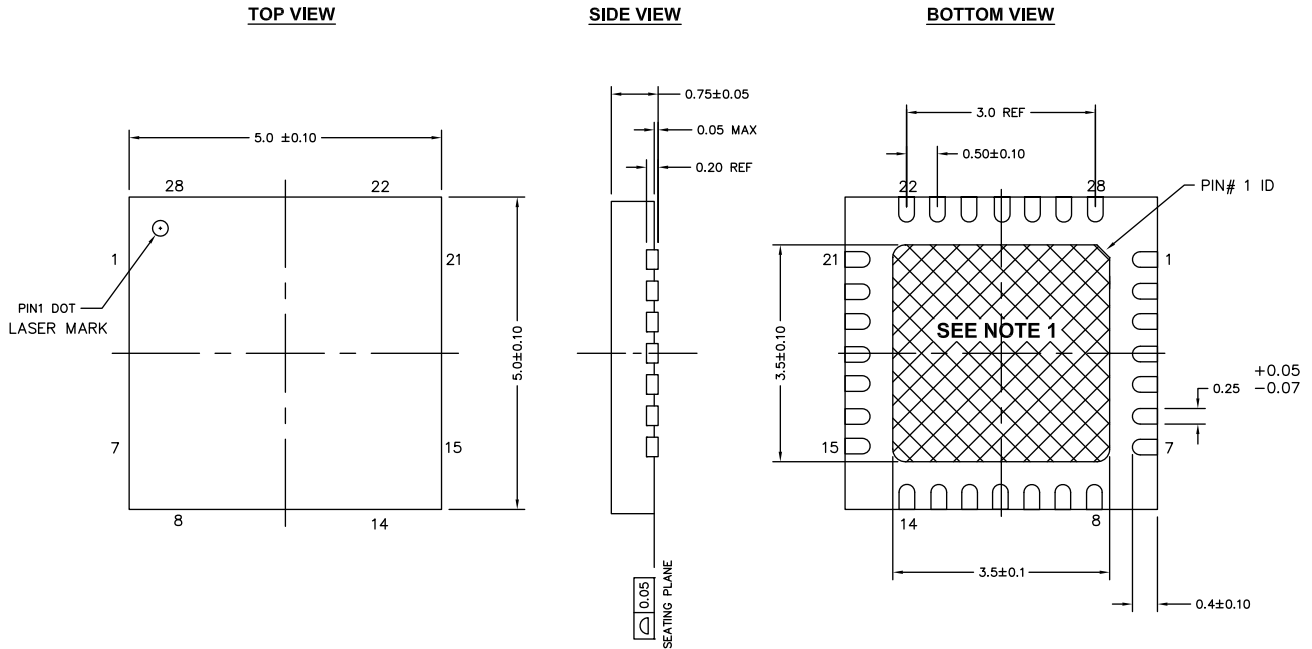
48 Lead Thin Plastic Quad Flatpack 7 X 7 X 1.4mm




パッケージ図 (続き)

CY7C65632 は以下のパッケージで提供可能です。

図 12. 28 ピン QFN (5 × 5 × 0.8mm), LT28A (3.5 × 3.5 E-Pad), Sawn パッケージ図, 001-64621



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-220
3. PACKAGE WEIGHT: ~0.05gr
4. DIMENSIONS ARE IN MILLIMETERS

001-64621 *A

略語

略語	説明
AC	alternating current (交流電流)
ASCII	american standard code for information interchange (情報交換用米国標準コード)
EEPROM	electrically erasable programmable read only memory (電氣的消去プログラム可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁妨害)
ESD	electrostatic discharge (静電気放電)
GPIO	general purpose input/output (汎用入力/出力)
I/O	input/output (入力/出力)
LED	light emitting diode (発光ダイオード)
LSB	least significant bit (最下位ビット)
MSB	most significant bit (最上位ビット)
PCB	printed circuit board (プリント回路基板)
PLL	phase-locked loop (位相同期回路)
POR	power on reset (パワー オン リセット)
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ™)
QFN	quad flat no leads (クアドフラット(リードなし)パッケージ)
RAM	random access memory (ランダムアクセスメモリ)
ROM	read only memory (読み取り専用メモリ)
SIE	serial interface engine (シリアルインターフェースエンジン)
TQFP	thin quad flat pack (薄型クワッドフラットパック)
TT	transaction translator (トランザクショントランスレータ)
USB	universal serial bus (ユニバーサルシリアルバス)

本書の表記法
測定単位

記号	測定単位
°C	摂氏温度
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
μW	マイクロワット
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
mW	ミリワット
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
ppm	100 万分の 1
V	ボルト
W	ワット

HX2VL, CY7C65632 製品ファミリのシリコン エラッタ

本節では、HX2VL, CY7C65632 のエラッタについて説明します。詳細情報は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコン チップのリビジョンの適用可能性などを含んでいます。

何かご質問がございましたら、最寄りのサイプレスの販売代理店までお問い合わせください。

影響を受ける部品番号

製品番号	デバイスの特性
CY7C65632	USB 2.0 シングル TT ハブ

HX2VL 認定状態

製品の状態：量産中

HX2VL エラッタのまとめ

これは HX2VL エラッタの初版となります。現時点までは、HX2VL に関する既知の問題は何もありません。

改訂履歴

文書名 : CY7C65632 / CY7C65634, HX2VL™ 超低消費電力 USB 2.0 ハブ コントローラー 文書番号 : 001-79537				
版	ECN	変更者	発行日	変更内容
**	3625404	HZEN	05/23/2012	これは英語版 001-67568 Rev. *E を翻訳した日本語版 001-79537 Rev. ** です。
*A	4850630	HZEN	07/21/2015	これは英語版 001-67568 Rev. *H を翻訳した日本語版 001-79537 Rev. *A です。
*B	5863543	HIKA	08/25/2017	これは英語版 001-67568 Rev. *K を翻訳した日本語版 001-79537 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス/RF	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2011-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。